

# **Dispozitiv de calcul al mediei unui set de numere**

*Proiect realizat de către:*

*Chirteș Adrian Antonio*

*Florea Adelin Mihai*

*grupa 30213*

## Cuprins

1. Specificații.....	3
2. Proiectare.....	5
2.1 Schema bloc.....	5
2.2 Unitatea de control și Unitatea de execuție.....	6
2.3 Reprezentarea UC prin diagrama de stări(organigrama)...	8
2.4 Lista componentelor utilizate.....	9
2.5 Semnificatia notatiilor și a pinilor interfeței cu exteriorul..	10
3. Instrucțiuni de utilizare.....	11
4. Justificarea soluției alese.....	12
5. Posibilități de dezvoltare ulterioare.....	13

## 1. Specificații

Cerința proiectului este de a realiza un model VHDL al unui dispozitiv care calculează media unui set de numere generat pe 8 biți din intervalul [0,255].

Dispozitivul este alcătuit din două componente principale: *generatorul de numere* și *filtrul de medie*.

- **GENERATORUL DE NUMERE**

Generatorul de numere funcționează în funcție de un control pe 3 biți. Pentru a fi reinitializat, se va utiliza un buton de reset. Valoarea controlului se modifică de pe switch-uri. Pentru fiecare combinație a controlului generatorul se va comporta diferit, în felul următor:

Controlul	Comportamentul Generatorului
000	Mod Test
001	„Square wave”
010	Generarea unei secvențe de 6 cifre
011	Generarea unei secvențe de 6 cifre
110	Generarea unei secvențe random din [0,15]
111	Generarea unei secvențe random din [0,255]

- **FILTRUL DE MEDIE**

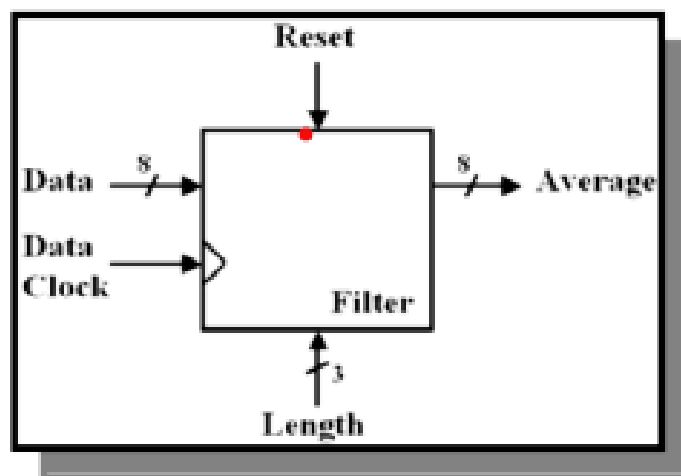
Filtrul de medie funcționează în funcție de length ul unui buffer pe 3 biți. Pentru a fi reinitializat, se va utiliza un buton de reset. Valoarea length ului se modifică de pe switch-uri. Astfel, pentru fiecare combinație a length ului, filtrul de medie va funcționa diferit:

<b>Length</b>	<b>Comportamentul Filtrului de Medie</b>
<b>000</b>	Mentținerea ultimei valori calculate
<b>100</b>	Calcularea mediei ultimelor 2 numere
<b>101</b>	Calcularea mediei ultimelor 4 numere
<b>110</b>	Calcularea mediei ultimelor 8 numere
<b>111</b>	Calcularea mediei ultimelor 16 numere

Ulterior, ieșirea (out-ul) filtrului de medie va reprezenta media efectivă a numerelor introduse. Media generată este pe 8 biți și va fi afișată pe display (afisorul cu 7 segmente al plăcuței FPGA).

## 2. Proiectare

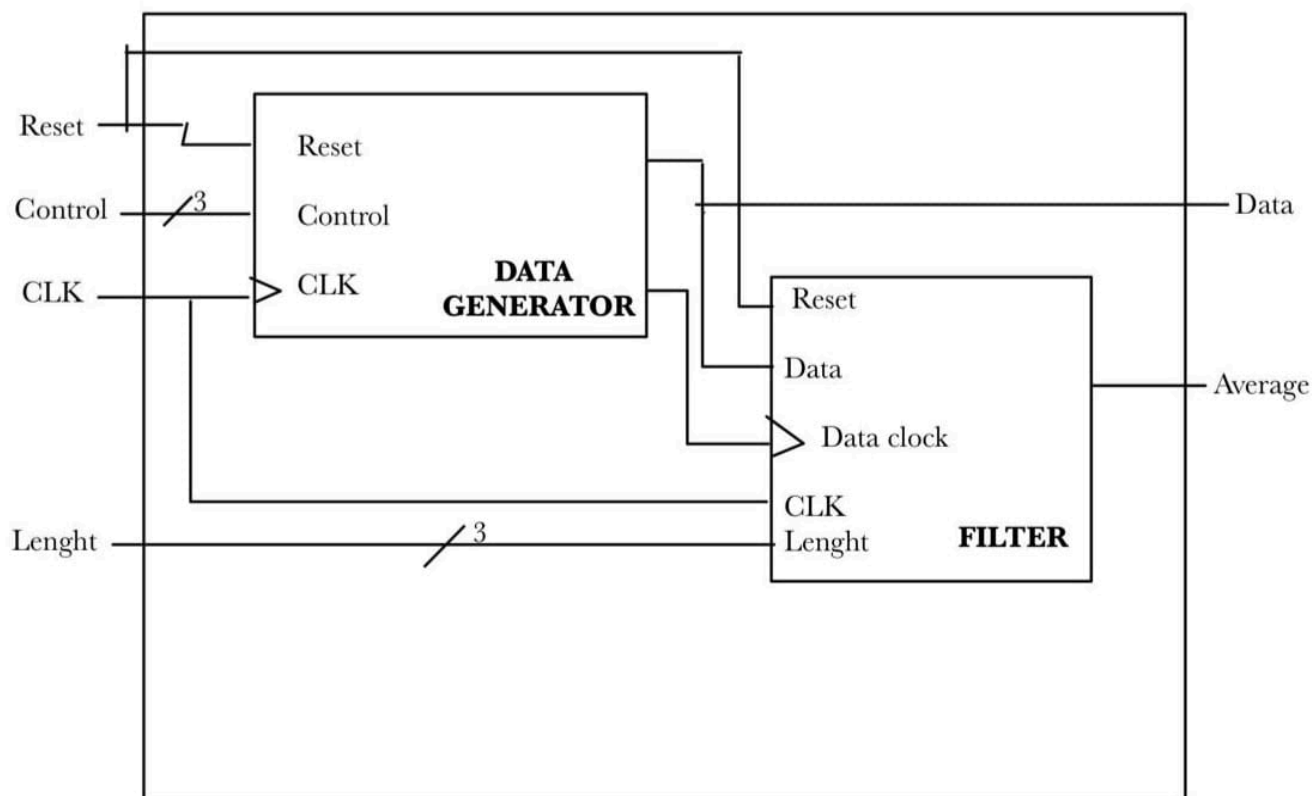
### 2.1 Schema BLOC



Schema bloc este alcatuita din urmatoarele:

- **Reset** : rol în inițializarea sau reinițializarea dispozitivului.
- **Data**: intrare pe 8 biti, cu rol in transmiterea fluxului de date.  
Introduce numerele care urmează a fi prelucrate pentru calculului mediei.
- **Data Clock**: semnalul de tact la intrare. Dispozitivul funcționează pe frontului ascendent al clock-ului.
- **Length**: selectie pe 3 biti. În funcție de valoarea acestuia se efectuează media ultimelor 2, 4, 8 sau 16 numere introduse.
- **Average**: iesire pe 8 biti. Genereaza media numerelor introduse pe intrarea Data.

## 2.2 Unitatea de control și Unitatea de execuție



**Schema BLOC a Unității de control și a Unității de execuție**

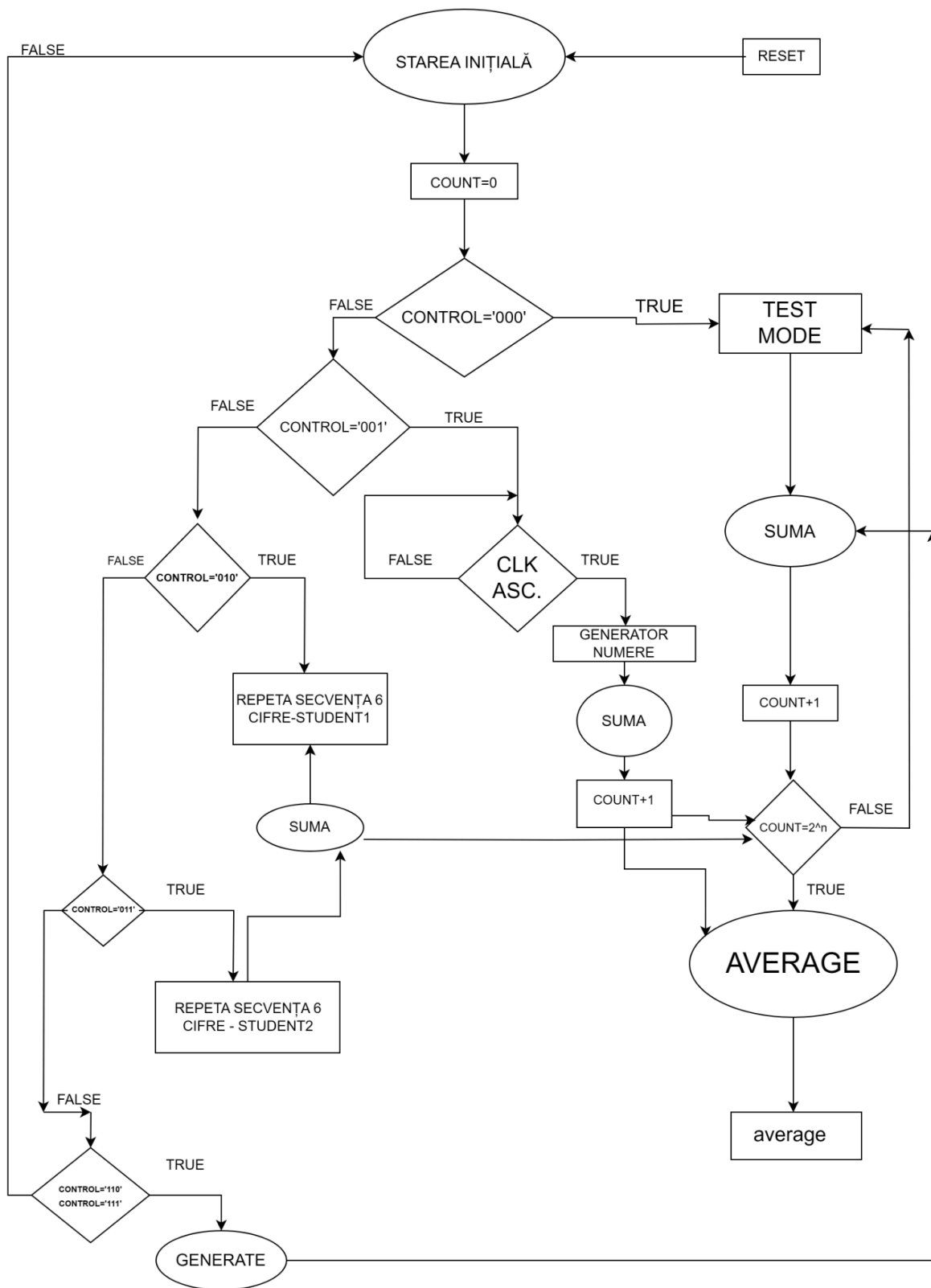
- **UNITATEA DE CONTROL**

**Unitatea de control** este reprezentată de *Data Generator*. Are rolul de a coordona funcționarea componentelor interne ale sistemului, asigurând sincronizarea și gestionarea corespunzătoare a semnalelor de control. Aceasta primește resetul, controlul (flux de date pe 3 biti) și semnalul de tact (clock-ul). Ieșirile unității de control sunt reprezentate de un flux de date Data și de un semnal Data Clock.

- **UNITATEA DE EXECUȚIE**

**Unitatea de execuție** este reprezentată de *Filter*. Are rolul de efectuare a calculelor și procesării datelor în sistemul de calculare a mediei unei secvențe de numere. Aceasta include generarea numerelor, aplicarea filtrelor, și calcularea mediei secvenței de numere, coordonate de semnalele de control primite de la unitatea de control. Ca intrare, primește resetul, un flux de date Data pe 8 biti, semnal Data Clock și o selecție length pe 3 biti. Ieșirea unității de execuție este reprezentată de media numerelor generate.

## 2.3 Reprezentarea UC prin diagrama de stări (organigrama)





## 2.4 Lista componentelor utilizate

- *Sumator pe 8 biti, realizat prin cascada de sumatoare pe 1 bit*
- *Registru de memorie pe 8 biti*
- *LFSR ( Linear Feedback Shift Register )*
- *Divizor de frecvență*
- *Counter*
- *Registru de shiftare dreapta, utilizat pentru realizarea mediei*
- *Debouncer*
- *Afisor pe 7 segmente*

De asemenea, alte componente sunt:

- **calculatorul de medie**
- **generatorul**
- **filtrul**
- **media**

Acestea utilizează componentele fundamentale menționate anterior prin intermediul semnalelor, dar și drept componente propriu-zise în propriul lor cod.

( ex:

component counter is

Port (

clk : in STD\_LOGIC;

reset : in STD\_LOGIC;

length : in STD\_LOGIC\_VECTOR(2 downto 0);

secv\_noua : out STD\_LOGIC

);

end component;

begin

C1:counter port map(clk => clk, reset => reset, length => length,  
secv\_noua => res);

## 2.5 Semnificatia notatiilor și a pinilor interfeței cu exteriorul

### Data Generator

- **Control:** vector de control de intrare pe 3 biți. Controlează diferitele moduri de funcționare ale circuitului. Ar putea fi utilizat pentru a modifica frecvența sau alte parametri interni ai generatorului.
- **Reset:** semnal de resetare de intrare. Resetează starea internă a generatorului.
- **CLK:** Semnal de ceas (clock) de intrare. Sincronizează operațiunile interne ale generatorului.
- **Data Clk:** Semnal de ceas divizat de ieșire. Furnizează un ceas divizat pentru alte componente sau module.
- **Număr:** Ieșire pentru numărul generat de 8 biți. Conține numărul pseudo-aleator generat de LFSR.
- **Div\_Frecv:** Componentă pentru divizarea frecvenței. Divizează frecvența semnalului de ceas de intrare pe baza valorii de control.
- **LFSR:** Componentă pentru Linear Feedback Shift Register (LFSR). Generează un număr pseudo-aleator de 8 biți.

### Filter

- **Sum\_in:** semnal de intrare pentru suma de 8 biți. Furnizează valoarea sumei care trebuie prelucrată pentru a calcula media.
- **Length:** vector de control pe 3 biți. Determină factorul de divizare pentru calcularea mediei.
- **Average:** semnal de ieșire pentru media calculată de 8 biți. Conține valoarea mediei calculată pe baza sumei de intrare și a factorului de divizare.

## Display

- **digit0 - digit7:** Valori de intrare pe 4 biți pentru fiecare dintre cele 8 cifre. Reprezintă cifrele care trebuie afișate pe afișajul cu 7 segmente.
- **anod:** Ieșire pentru controlul anodurilor afișajului cu 7 segmente. Activează specificația cifrei care trebuie afișată.
- **catod:** Ieșire pentru controlul catodurilor afișajului cu 7 segmente. Controlează care segmente ale cifrei active sunt iluminate pentru a forma cifra dorită.

## 3. Instrucțiuni de utilizare

- **Setarea Modulului de Control:** Folosind switch-urile de pe placa Artix7/Basys 3/ etc., setează modul de control dorit, urmând a funcționa conform tabelului de mai jos:

**Control Settings:**

Off - Off - Off	Test Mode o/p 0 (Zero)
Off - Off - On	Square wave (0.25 x data clock)
Off - On - Off	Repeated 6 digit Sequence for Student Number One
Off - On - On	Repeated 6 digit Sequence for Student Number Two
On - On - Off	Pseudo Random Sequence reduced range 0 to 15
On - On - On	Pseudo Random Sequence full range 0 to 255

- **Setarea Lungimii Bufferului:** Configurează lungimea bufferului pentru medie conform setărilor din secțiunea de mai jos:

**Buffer "Length" Settings:**

Off - Off - Off	Stop - Hold Value
On - Off - Off	2 Sample Average
On - Off - On	4 Sample Average
On - On - Off	8 Sample Average
On - On - On	16 Sample Average

- **Resetare:** Utilizarea butonul de reset pentru a inițializa sistemul.
- **Pornirea Sistemului:** Asigurarea sistemul pornit și toate componentele fiind sincronizate cu ceasul sistemului.
- **Monitorizarea Afișajului:** Verificarea afișajul pentru a vizualiza valoarea mediei calculate.

#### 4. Justificarea soluției alese

În cadrul acestui proiect, am ales să dezvoltăm un sistem simplu de procesare a semnalelor pentru calcularea mediei mobile a unui flux de date pe 8 biți, pe baza unei soluții eficiente și funcționale, ghidată de materialele și specificațiile din laboratorul de la Universitatea Tehnică din Cluj-Napoca (UTCN). Motivația și raționamentul care au stat în spatele proiectului au fost: simplitatea și ușurința de implementare, structura modulară, dar și configurație flexibilă. Soluția noastră a fost concepută pentru a fi simplă și directă, permițând o implementare rapidă și ușoară. Proiectul este împărțit în module distincte, fiecare responsabil pentru o funcționalitate specifică (generarea datelor, filtrarea și afișarea). Sistemul permite configurarea modului de operare și a lungimii bufferului de medie prin intermediul switch-urilor, oferind flexibilitate în testarea și optimizarea performanței. Astfel, considerăm că soluția noastră este una eficientă și funcțională, îndeplinind cu succes cerințele proiectului.

## **5. Posibilități de dezvoltare ulterioare**

Generatorul de date poate fi modificat astfel încât să prezinte o mai mare varietate de alegere a datelor. De exemplu, un flux de date ar putea proveni de la o memorie de tip RAM, alt flux de date ar putea fi controlat efectiv de utilizator (cu condiția ca semnalul de ceas să fie restricționat).

Implementarea filtrului din proiectul de față, pe lângă avantajul că e ușor de înțeles, mai are o calitate și anume se poate obține nu doar media aritmetică a primelor 2/4/8 numere, ci a oricăror 2/4/8 numere din registru doar printr-o simplă modificare de cablaj.

De asemenea, procesul de mărire a spațiului alocat stocării numerelor se poate realiza destul de ușor, doar urmând modelul care a fost prezentat mai sus.

