

Projektowanie systemów cyfrowych			
Sprawozdanie			
Temat: Oscyloskop VGA			
Projektant: Michał Zelek	Wydział, kierunek: Elektronika, WIEiT	Rok akad.: 3	Semestr: zimowy
Prowadzący: Dr inż. Paweł Rajda			

1. Założenia projektu

Projekt oscyloskopu cyfrowego wyświetlającego próbki z przetwornika ADC na monitorze poprzez standard VGA.

2. Opis funkcjonalny

Do obsługi układu nie są wymagane żadne zewnętrzne peryferia, jedynie dostarczenie zasilania do płytki FPGA i monitora. W celu wyświetlenia przebiegu należy podłączyć sygnał do wejścia A0 przetwornika PMOD AD1.

3. Elementy użyte w projekcie

a) Przetwornik PMOD AD1

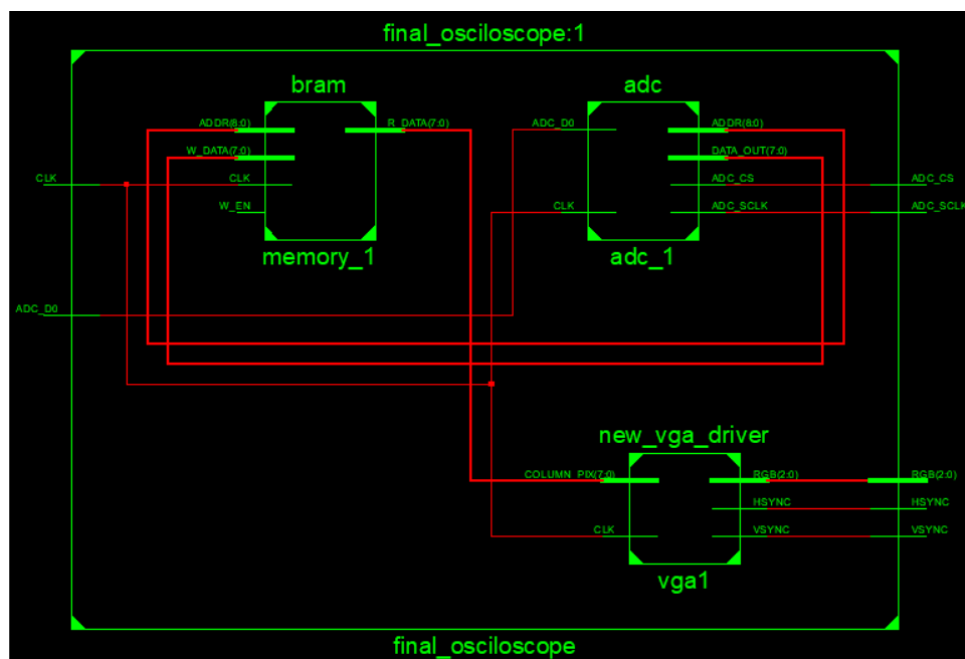


b) Płytki FPGA Mimas Spartan 6



c) Monitor LED 1920x1080

4. Schemat blokowy



Projekt podzielony jest na 3 bloki: adc, bram, vga_driver.

ADC) Blok adc jest odpowiedzialny za obsługę przetwornika, tj. zapewnienie sygnału zegarowego, sygnału CS – który rozpoczyna proces konwersji, oraz zapisywanie przychodzących szeregowo przetworzonych danych do rejestru przesuwanego. Blok ten także wysyła 8 najstarszych bitów na wejście danych bloku RAM i steruje wejściem adresowym RAM - licznik modulo 480.

BRAM) Pamięć blokowa RAM do której zapisywane są dane z przetwornika. Rozmiar bloku to 9 bitów magistrali adresowej i 8 bitów magistrali danych. Adresowaniem tej pamięci zajmuje się blok adc i tylko adresy od 0 do 479 są wykorzystywane, reszta zainicjalizowana jako 0. Sygnał WriteEnable ustawiony jest na stałe na wartość logiczną "1". Dane wyjściowe wysyłane są do sterownika VGA.

VGA_DRIVER) Sterownik VGA dla rozdzielczości 640x480 i odświeżaniu 60Hz, zapewnia odpowiednie wystawienie sygnałów sterujących tj. synchronizacji pionowej i poziomej za pomocą liczników. W momencie, gdy otrzymana z bloku RAM dana ma wartość odpowiadającą aktualnej wartości licznika pozycji poziomej wartość sygnałów R, G i B ustawiana jest na "1" - zaświecenie odpowiedniego piksela reprezentującego wartość próbki.

5. Opis modułów

a) ADC

Nazwa portu	kierunek	szerokość	funkcja
CLK	IN	1 bit	Sygnał zegarowy

ADC_CS	OUT	1 bit	Sygnał rozpoczynający konwersję danych
ADC_SCLK	OUT	1 bit	Sygnał zegarowy do przetwornika
ADC_D0	IN	1 bit	Szeregowe dane wyjściowe z PMOD AD1
DATA_OUT	OUT	8 bit	Wyjście przetworzonej próbki
ADDR	OUT	9 bit	Adresowanie bloku RAM od 0-479

Działanie modułu opiera się o sygnał zegarowy ADC_SCLK o częstotliwości 1MHz do sterowania przetwornika (otrzymany z licznika modulo 100 – podzielenie CLK przez 100) co umożliwia otrzymanie do 62 500 próbek na sekundę.

Sygnał CS wystawiany jest na 16 cykli zegara na wartość '0', co jest konieczne do przeprowadzenia pełnej konwersji tj. 4 bity startu i 12 bitów danych. Po zakończeniu konwersji na 4 takty zegara CS ustawiany jest na '1', zatrzymując konwersję, aby uniknąć zjawiska wyścigów logicznych i pozwolić na ustalenie się stanów. W rezultacie rzeczywista częstotliwość próbkowania wynosi 50 000 próbek na sekundę.

Dane szeregowe przychodzące z ADC_D0 (przetworzone z sygnału analogowego na wejściu A0 przetwornika) są zapisywane do 16 bitowego rejestru przesuwanego, gdy sygnał CS zmieni wartość na '1' dane z rejestru wystawiane są na wyjście DATA_OUT (8 najstarszych bitów z rejestru z pominięciem bitów startu).

Sygnał wyjściowy ADDR otrzymywany jest z licznika modulo 480. Odpowiada on za poprawne adresowanie bloku RAM.

b) BRAM

Nazwa portu	kierunek	szerokość	funkcja
CLK	IN	1 bit	Sygnał zegarowy
ADDR	IN	9 bit	Adresowanie pamięci
W_EN	IN	1 bit	Kontrola zapisu do pamięci
W_DATA	IN	8 bit	Dane wejściowe
R_DATA	OUT	8 bit	Dane wyjściowe spod aktualnego adresu

Moduł przechowuje wartości 8 bitowe z przetwornika, ADDR odpowiada za numer rzędu piksela, a wartość pod danym adresem kolumnę w której powinien się zaświecić piksel. Sygnał W_EN ustawiony na stałe na '1'. Na wejście W_DATA trafiają próbki sygnału z modułu ADC z wyjścia DATA_OUT.

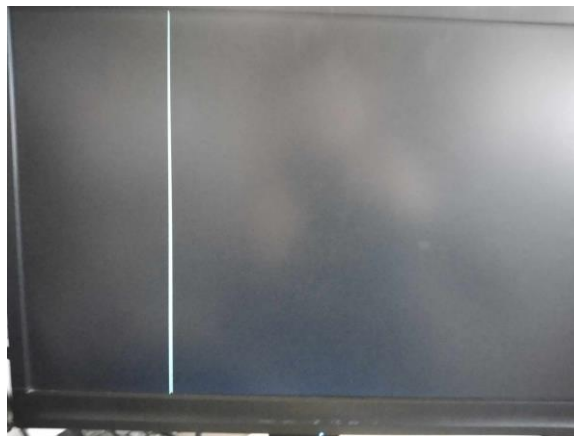
c) VGA_DRIVER

Nazwa portu	kierunek	szerokość	funkcja
CLK	IN	1 bit	Sygnał zegarowy
COLUMN_PIX	IN	8 bit	Współrzędna pozioma piksela do zaświecenia
HSYNC	OUT	1 bit	Informacja o zakończeniu rysowania w poziomie
VSNC	OUT	1 bit	Informacja o zakończeniu rysowania jednej klatki
RGB	OUT	3 bit	Rysowanie 8 kolorów

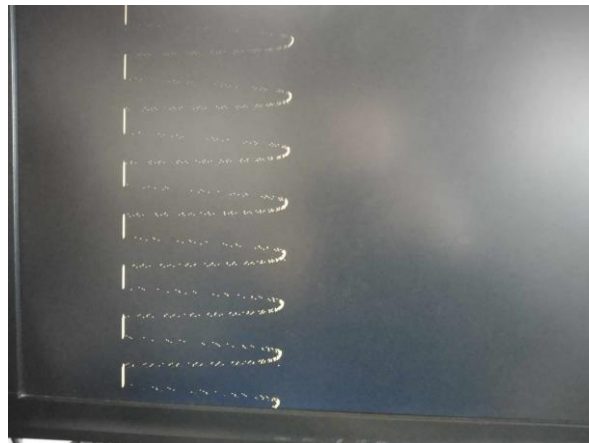
Wewnątrz modułu są liczniki modulo 800 - hPos i 525 - vPos, które odpowiadają za wystawienie sygnałów HSYNC i VSYNC. Wartości liczników wyznaczone są w oparciu o stałe wartości FrontPorch, BackPorch, SyncPulse, Display kolejno dla osi pionowej i poziomej. Wartości te wyznaczone są dla VGA o parametrach 640x480 i 60MHz. Sygnał zegarowy CLK o częstotliwości 100MHz jest podzielony do 25MHz – taki jest wymagany do używanej konfiguracji VGA. Gdy wartość licznika hPos jest równa wartości wejściowej COLUMN_PIX + 100 zostaje wyświetlony piksel (RGB <= "111") o aktualnej pozycji plus 100 – aby przesunąć przebieg od lewej krawędzi, dla efektów wizualnych.

6. Efekty końcowe

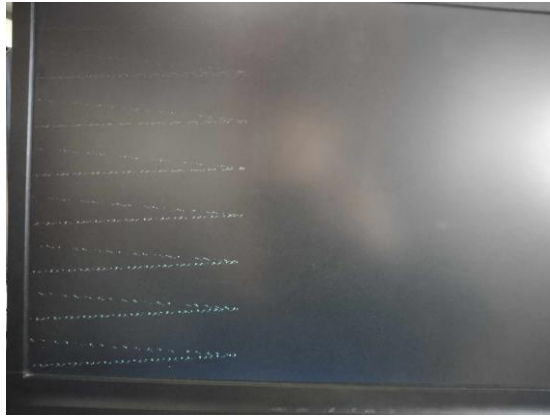
a) Sygnał wejściowy stały



b) Sygnał sinusoidalny



c) Sygnał trójkątny



d) Sygnał prostokątny



7. Wnioski, podsumowanie

Wyswietlane przebiegi są odwrócone w stosunku do osi monitora co było uwzględnione i zamierzone przy projektowaniu. Przebiegi tj. sinusoidalny i trójkątny są wyświetlane w niepełnym zakresie, wynika to z faktu wykorzystywania 8 najstarszych bitów, podczas gdy próbki sygnału wyjściowego z przetwornika są 12 bitowe. Maksymalna wartość amplitudy sygnału wejściowego ograniczona jest przez przetwornik i wynosi 3.3V. Projekt jest niedoskonały, brakuje odpowiedniej synchronizacji przychodzenia danych z rysowaniem nowej linii poziomej – nowa próbka powinna przychodzić dokładnie na początku rysowania nowej linii poziomej, w wyniku czego przebiegi przemieszczają się po ekranie i występują szumy fazowe widoczne poniżej. Podsumowując projekt został zakończony sukcesem i zostały spełnione założenia projektowe.



8. Bibliografia

VGA:

- a) <https://projectf.io/posts/video-timings-vga-720p-1080p/>
- b) <https://forum.digikey.com/t/vga-controller-vhdl/12794>

ADC:

- c) <https://digilent.com/reference/pmod/pmodad1/start?redirect=1>
- d) https://www.analog.com/media/en/technical-documentation/data-sheets/ad7476a_7477a_7478a.pdf

FPGA:

- e) <https://numato.com/product/mimas-spartan-6-fpga-development-board/>
- f) <https://numato.com/docs/mimas-spartan-6-fpga-development-board/>