（ 装 订 线 内 不 要 答 题 ）

**复旦大学计算机科学技术学院**

**2019~2020学年第2学期期末考试试卷**

🗹**A卷 □B卷 □C卷**

**课程名称： 计算机体系结构 课程代码： COMP130012.0X**

**开课院系： 考试形式：线上考试（闭卷）**

**姓名： 学号： 专业：**

我已知悉学校与考试相关的纪律以及违反纪律的后果，并将严守纪律，不作弊，不抄袭，独立答题。

学生（签名）:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 题号 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 总分 |
| 得分 |  |  |  |  |  |  |  |  |  |

**1、选择题（20分）**

请在空格内填上最合适的字母序号(如A、B、C、D等)

（1）按Flynn提出的计算机系统分类方法，下列哪一种类型为目前通用多处理机系统体系结构的主要选择 。

A．SISD B．SIMD C．MISD D．MIMD

（2）通用寄存器型指令集结构可以分为3种类型，以下指令集结构不属于通用寄存器型指令集结构的是 。

A．寄存器-寄存器型 B．寄存器-存储器型 C．累加器型 D．存储器-存储器型

（3）在以下几种Cache优化技术中，能降低不命中率，但会增加不命中开销的优化技术是 。

A．增加Cache容量 B．增加块大小 C．提高相联度 D．两级Cache

（4）与使用Tomasulo算法的浮点单元的基本结构相比较，采用硬件的推测技术后，硬件结构上主要增加的功能单元是 。

A．公共数据总线 B．保留站 C．重排序缓冲区 D．载入缓冲区

（5）指令的动态调度算法可用来解决指令间的数据相关，Tomasulo算法通过寄存器换名来消除 冲突和 冲突。

A．RAW B．RAR C．WAW D．WAR

（6）在向量长度相同前提下，在CRAY-1向量处理器中如要执行下列两条向量指令，叙述正确的是 。

V3←V1+V2

V6←V3\*V5

A．有源向量冲突，只能串行执行

B．没有功能部件冲突，存在先写后读相关，但可以链接执行

C．没有源向量冲突，可以交换执行顺序

D．没有功能部件冲突和源向量冲突，可以并行执行

（7）廉价磁盘冗余阵列RAID有多种实现方法，构成了不同的RAID级别，需要检测盘最多的方式是 。

A．RAID1 B．RAID4 C．RAID5 D．RAID2

（8）下面选项中是串行I/O总线的是 。

A．PCI B．SCSI C．RS232 D．IDE

（9）不能在多处理机中实现同步的方法是 。

A．使用“load/store” B．使用“test\_and\_set”原语

C. 使用“fetch\_and\_increment”原语 D．使用“atomic exchange”

（10）设Cube为立方体互连函数，β为蝶式函数，σ为均匀洗牌函数，

Cube3 (1001)= ，β(σ(1010))= 。

A．0011 B．0001 C．1100 D．1010

**2、（10分)考虑条件分支指令的两种不同设计方法：**

**（1）CPU1：通过比较指令设置条件码，然后测试条件码进行分支。**

**（2）CPU2：在分支指令中包括比较过程。**

**在这两种CPU中，条件分支指令都占用2个时钟周期，而所有其他指令占用1个时钟周期。对于CPU1，执行的指令中分支指令占25%；由于每条分支指令之前都需要有比较指令，因此比较指令也占25%。由于CPU1在分支时不需要比较，因此CPU2的时钟周期时间是CPU1的1.2倍。 问：哪一个CPU更快？**

**3、（10分）有一条动态多功能流水线由5段组成，加法用1、3、4、5段，乘法用1、2、5段，第2段的时间为2△t，其余各段的时间均为△t，而且流水线的输出可以直接返回输入端或暂存于相应的流水寄存器中。现要在该流水线上计算（A1×B1）＋(A2×B2）＋(A3×B3）＋(A4×B4），画出其时空图，并计算其吞吐率、加速比(与非流水线顺序执行方式相比)和效率。**



**4、（10分）给定以下的假设，试分别比较直接映象Cache和两路组相联Cache的平均访问时间以及CPU时间。**

**（1）理想Cache（命中率为100%）情况下的CPI为1.0，平均每条指令访存1.5次；**

**（2）两者Cache容量均为32KB，块大小都是16字节；**

**（3）直接映象Cache的时钟周期为1ns，组相联Cache中的多路选择器使CPU的时钟周期比直接映象Cache增加了20％；**

**（4）这两种Cache的不命中开销都是80ns；**

**（5）命中时间为1个时钟周期；**

**（6）32KB直接映象Cache的不命中率为2％，32KB两路组相联Cache的不命中率为1％。**

**5、（10分）一个字节多路通道连接有6台设备，它们的数据传输率如下表所示：**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **设备名称** | **D1** | **D2** | **D3** | **D4** | **D5** | **D6** |
| **数据传输速率（103 Bps）** | **50** | **120** | **30** | **50** | **40** | **110** |

**（1）计算该通道的实际工作流量。**

**（2）若通道的最大流量等于实际工作流量，求通道的工作周期Ts+TD。**

**6、（10分）维护多个处理器Cache的一致性，通常会采用写作废协议。试列表给出写作废协议的执行情况。（总线行为包括：Cache不命中，作废X单元，广播写X单元，空），（Cache内容可为0，1，无效）。**

**在写直达Cache的条件下，监听总线中写作废协议的实现。**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **处理器行为** | **总线行为** | **CPUA Cache内容** | **CPUB Cache内容** | **主存X单元内容** |
| **1．初态** | **空** | **无效** | **无效** | **0** |
| **2．CPU A 读X** | **Cache缺失** | **0** |  | **0** |
| **3．CPU B 读X** | **Cache缺失** | **0** | **0** | **0** |
| **4．CPUA将X单元写1** | **x作废** | **1** |  | **1** |
| **5．CPUA将X单元写0** | **x作废** | **0** |  | **0** |
| **6．CPU B 读X** | **Cache缺失** | **0** | **0** | **0** |

**7、（10分）在实现一个应用程序的并行化时，理想加速比应当等于处理器的个数。但它要受到两个因素的限制：应用程序中可并行化部分所占的百分比和通信开销。**

**（1）如果应用程序的80%可以并行化，N个处理器的加速比为多少？（忽略通信开销。）**

**（2）如果应用程序的80%可以并行化，原来有一个处理器，在此基础上每增加一个处理器，增加的通信开销为原执行时间的1%，则8个处理器的加速比为多少。**

**8、（20分）下面的一段代码是MIPS汇编程序，用于完成下面公式的计算：**

**Y = a × X +b× Y。其浮点指令延迟如下表所示：**

|  |  |  |
| --- | --- | --- |
| **产生结果的指令** | **使用结果的指令** | **延迟（插入的时钟周期数）** |
| **浮点计算** | **另一个浮点计算** | **3** |
| **浮点计算** | **浮点store** | **3** |
| **整数运算和所有load** | **所有指令** | **1** |

**浮点和整数部件均采用流水线，分支延迟是1个时钟周期。X中的最后一个元素存放在存储器中的地址为DONE。浮点寄存器F0用于保存常数a，浮点寄存器F1用于保存常数b，R1被设置为数组X的基地址，R2被设置为数组Y的基地址。**

**FOO: L.D F2, 0(R1)**

**MUT.D F2,F2,F0**

**L.D F4,0(R2)**

**MUT.D F4,F4,F1**

**ADD.D F6,F2,F4**

**S.D F6, 0[R2]**

**DADDIU R1,R1, #8**

**DADDIU R2,R2, #8**

**DSUBIU R3,R1, #DONE**

**BNEZ R3, FOO**

**（1）对于标准的MIPS单流水线，上述循环计算一个Y值需要多少时间？其中有多少空转周期？**

**（2）对于标准的MIPS单流水线，将上述循环顺序展开最少的次数，并优化和调度指令，使调度后的程序没有停顿。计算一个Y值平均需要多少时间？**