

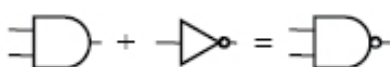
Kombinační logické obvody, hazardy. Minimalizace logických funkcí.
 Kombinační obvody výpočetní techniky: multiplexory, demultiplexory,
 dekodéry, komparátory, sčítačky, obvody zrychleného přenosu.
 Programovatelné logické obvody. (A0B35SPS)

25.1 Kombinační logické obvody

- jejich výstupní stav je dán pouze kombinací vstupních stavů
- nejjednodušší jsou základní logické funkce AND, NAND, OR, XOR, NOT

Buffer		$Y = a$	Invertor		$Y = \bar{a}$
AND		$Y = ab$	NAND		$Y = \overline{ab}$
OR		$Y = a + b$	NOR		$Y = \overline{a + b}$
XOR		$Y = a\bar{b} + \bar{a}b$ $Y = a \oplus b$	XNOR		$Y = ab + \bar{a}\bar{b}$ $Y = a \equiv b$

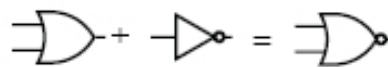
Negace



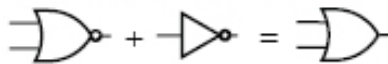
AND + NOT = NAND



NAND + NOT = AND



OR + NOT = NOR



NOR + NOT = OR

25.1.1 Hazardy

- hazard = chybový stav, kombinační obvod má na výstupu chybnou hodnotu
- nežádoucí
- rozdělujeme na
 - **statický hazard:** může dojít k jednorázové chybě na výstupu, vzniká často nestejně dlouhou cestou signálu. Každé logické hradlo má v reálných podmínkách určitou dobu zpoždění, jsou-li tedy na vstup nějakého hradla přivedeny signály každý s odlišným zpožděním, v jednu chvíli hradlo rozhoduje např. na základě jednoho aktuálního vstupu a jednoho "zastaralého", který ještě nestačil přes cestu s dlouhým zpožděním dorazit.

- **dynamický hazard:** může dojít k opakovaným chybám, obvod může oscilovat mezi stavy 0 a 1 na předem nedefinované frekvenci. K tomuto jevu dochází např. u neplatných vstupů přivedených na některé klopné obvody, nebo zavedením zpětné vazby.

25.2 Minimalizace logických funkcí

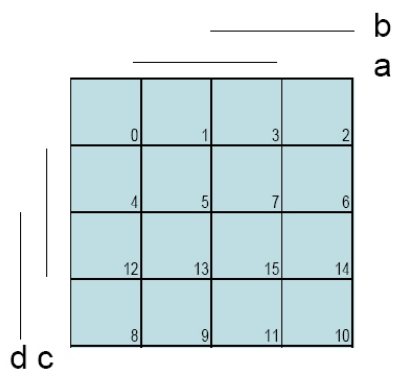
Snaha o snížení počtu potřebných operací (a při realizaci tedy logických hradel) k vykonání funkce.

K minimalizaci lze využít:

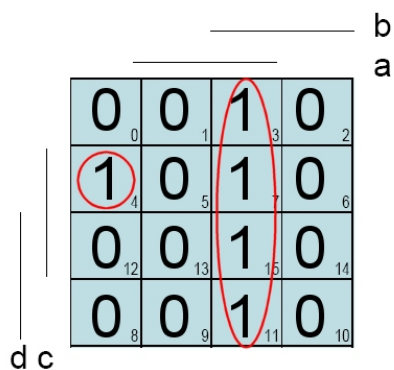
- úpravy pomocí booleovy algebry s využitím pravidel:

Vlastnost	AND OR 0 1	OR AND 1 0
Komutativita	$a + b = b + a$	$a \cdot b = b \cdot a$
Identita	$a + 0 = a$	$a \cdot 1 = a$
Distributivita	$a + (b \cdot c) = (a + b) \cdot (a + c)$	$a \cdot (b + c) = a \cdot b + a \cdot c$
Komplementarita	$a + a' = 1$	$a \cdot a' = 0$
Idempotence	$a + a = a$	$a \cdot a = a$
Agresivita	$a + 1 = 1$	$a \cdot 0 = 0$
Dvojitá negace	$(a')' = a$	
Asociativita	$a + (b + c) = (a + b) + c$	$a \cdot (b \cdot c) = (a \cdot b) \cdot c$
DeMorgan	$(a + b)' = a' \cdot b'$	$(a \cdot b)' = a' + b'$
Absorpce	$a + (a \cdot b) = a$	$a \cdot (a + b) = a$
Sloučení	$(x \cdot y) + (x \cdot y') = x$	$(x + y) \cdot (x + y') = x$

- minimalizaci pomocí Karnaughovy mapy:
pravdivostní tabulku funkce přepíšeme do Karnaughovy mapy, skupiny shodných hodnot lze potom použít k definici funkce jednodušším zápisem. Karnaughova mapa pro zápis funkce 4 proměnných, čára u proměnné popisuje stav, kdy je proměnná rovna 1. (např. pozice označená 0 - všechny proměnné jsou v 0, pozice označená 5 - proměnné a a c jsou v 1)



příklad pro funkci $f = ab\bar{c}\bar{d} + abc\bar{d} + abcd + ab\bar{c}d + \bar{a}\bar{b}c\bar{d}$:



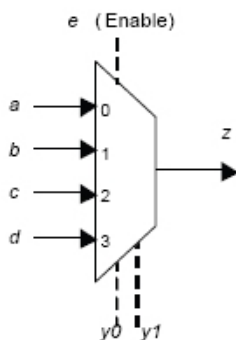
z mapy je vidět, že nám k popisu funkce stačí jednodušší výraz (získaný vytvořením smyček)

$$f = ab + \bar{a}\bar{b}c\bar{d}$$

25.3 Kombinační obvody výpočetní techniky

Multiplexor

je obvod, který má n vstupů, adresní vstupy a jeden výstup. Adresa určuje, který ze vstupů se přepoše na výstup.



Demultiplexor

je opak multiplexoru, obvod má jeden vstup, adresní vstupy a n výstupů. Adresa určuje, na který výstup se přepoše vstup.

Dekodér

je totéž jako demultiplexor, pouze má místo vstupu konstantu.

Komparátor

je obvod, který zkoumá dvě binární čísla přivedená na jeho vstupy A a B na rovnost či nerovnost. Má zpravidla 3 výstupy, těm je přiřazena funkcionalita $A == B$, $A > B$, $A < B$.

Poloviční jednobitová binární sčítačka

je obvod, který zvládne sečíst dvě jednobitová čísla. Na jeho výstupu je součet čísel a přetečení do vyššího řádu (binárně $1 + 0 = 1$, ale $1 + 1 = 10$, výstup 0, přetečení 1).

Úplná jednobitová binární sčítačka

se od poloviční liší tím, že má jako další vstup také přetečení z nižšího řádu, je tedy možné sčítačky řetězit a počítat s n -bitovými čísly (a ne pouze s jednobitovými).

Obvody zrychleného přenosu

Jelikož přenosy u zřetězeného sčítání “probublávají” postupně do vyšších řádů, sčítání je omezeno prodlevou jednotlivých hradel. To má negativní vliv na rychlost sčítání větších čísel, kdy celková prodleva narůstá s bitovou velikostí čísel lineárně. Proto se používají sčítačky s tzv. Carry Look-Ahead, kdy přenosy mezi řády nejsou propojeny přímo, ale obsluhuje je vnější logika, která se zároveň snaží i predikovat stavy přetečení paralelním sčítáním na několika řádech najednou.

25.4 Programovatelné logické obvody

Jedná se o obvody, které nemají předem určenou funkcionalitu, tu lze programovat. V principu takový obvod obsahuje velké množství různých hradel a programováním se pak myslí vytvoření spojů mezi jednotlivými hradly. Tato spojení pak definují, jakou logickou funkci bude daný obvod vykonávat. Mezi nejznámější druhy patří (C)PLD ((Complex) Programmable logic device) a dnes rozšířené obvody FPGA (tzv. hradlová pole).

Hlavním rozdílem obvodů FPGA oproti PLD je jejich využívání Look-Up tabulek, čili místo toho, aby byla logika realizována ze základních hradel, ukládají obvody FPGA pravdivostní tabulky.

Samotné nastavení propojů mezi hradly může být buď jednorázové, nebo ukládáno do paměti. Tato paměť může být permanentní, není to ale podmínkou, často se nastavení hradlových polí rekonfigurují při spuštění systému.

Výhody oproti klasické logice jsou zřejmě - zrychlení a snížení nákladů na vývoj aplikací a možnost změnit realizovaný obvod (a to i za běhu).