



Politechnika
Śląska



UCZELNIA
BADAWCZA
INICJATYWA DOSKONAŁOŚCI

Projekt Inżynierski

Realizacja gry logicznej "Mistrz intelektu" na bazie układu FPGA

Promotor:
Tomasz Garbolino

Wykonanie:
Michał Gold



Cel i Opis Projektu

Celem pracy było zaprojektowanie i wykonanie układu **realizującego grę logiczną "Mistrz intelektu"** (ang. "Master Mind") w oparciu **układ FPGA**.

Zaprojektowany układ wyświetla obraz gry na monitorze z **interfejsem VGA i/lub HDMI**. Sterowanie odbywa się poprzez **przyciski** obecne na osobnej płytce stykowej podłączonej do urządzenia.

Projekt wyposażony jest również w **głośnik**, potrafiący odtwarzać proste melodie.

Użytkownik jest w stanie **konfigurować wiele parametrów gry**, takich jak ilość dostępnych kolorów, rozmiar planszy oraz liczba dozwolonych prób odgadnięcia ukrytej sekwencji. Możliwe jest też **ustawienie rozmiaru czcionki** wyświetlanej na ekranie oraz **palety barw**, jaka jest wykorzystywana do rysowania wielu elementów.

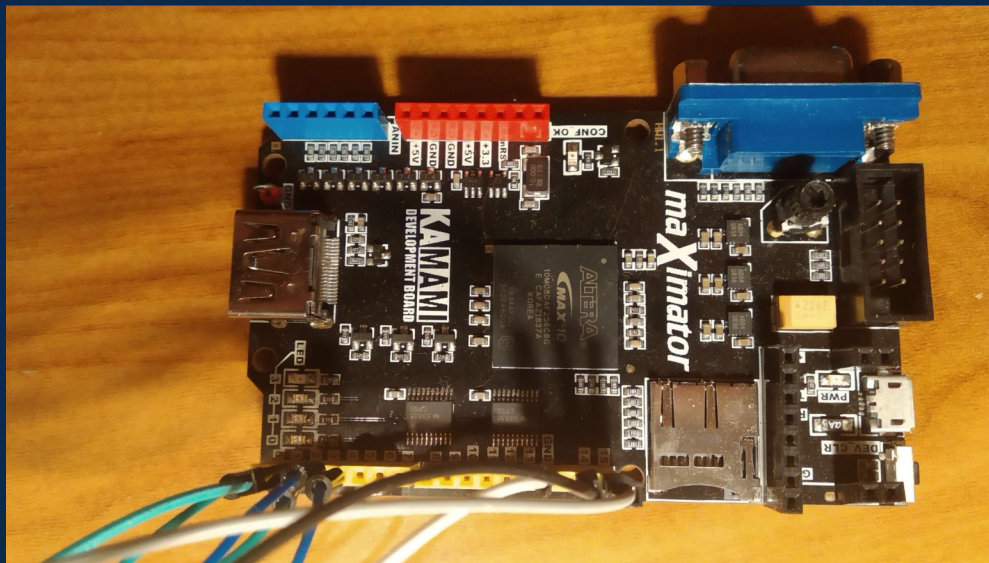
Mistrz Intelaktu

3



Wykorzystane Technologie - Układ FPGA

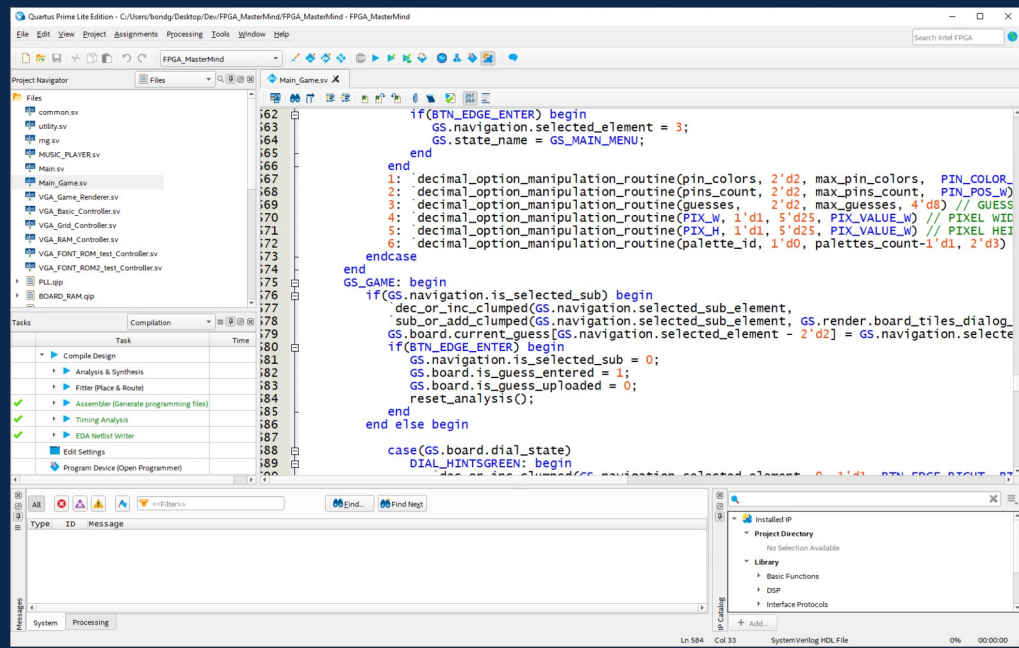
Układ FPGA **10M08DAF256C8G** z rodziny MAX10 firmy Altera, zestaw startowy **MAXimator**



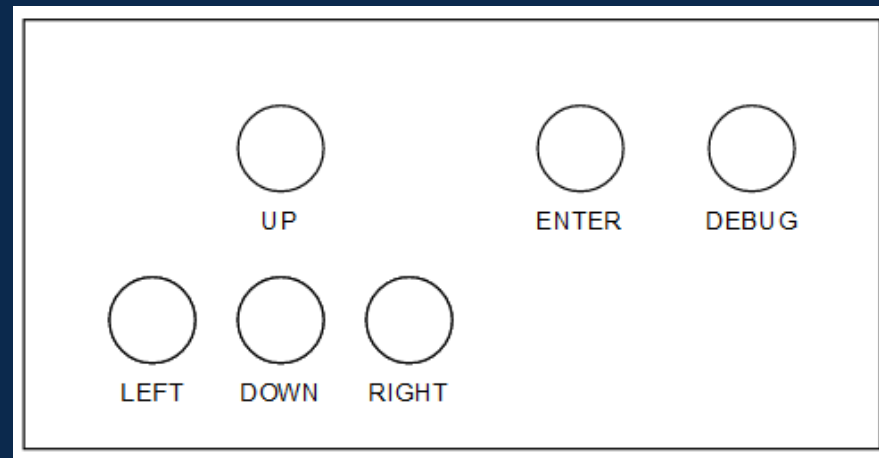
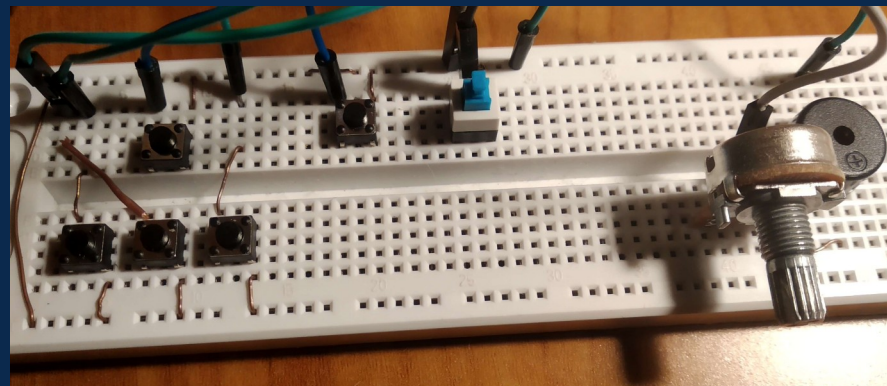
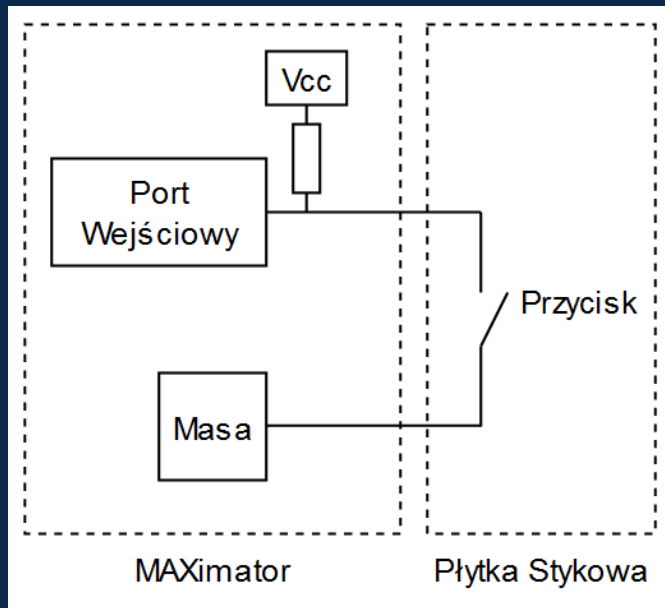
Wykorzystane Technologie - Oprogramowanie

Do stworzenia projektu wykorzystano program **Quartus Prime Lite** firmy Intel oraz język opisu sprzętu **SystemVerilog**.

Do testów wykorzystano program **Questa Sim**.

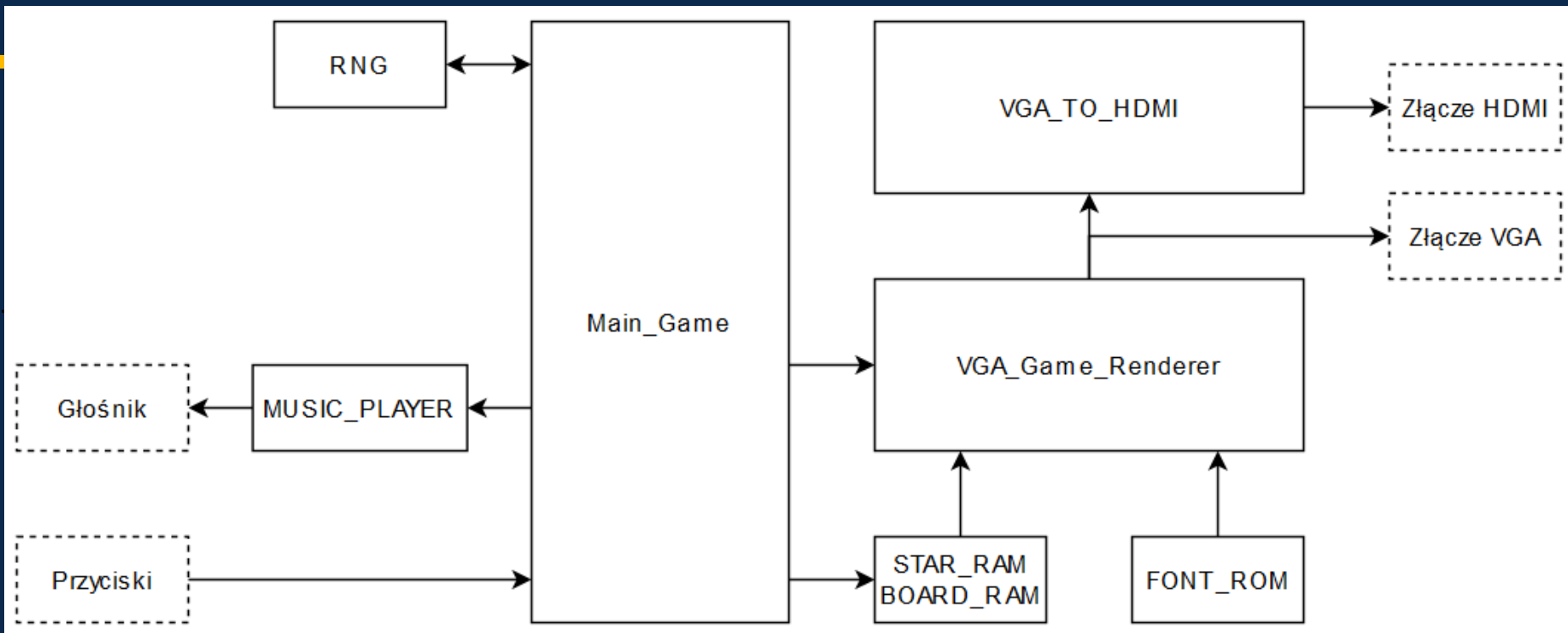


Sterowanie



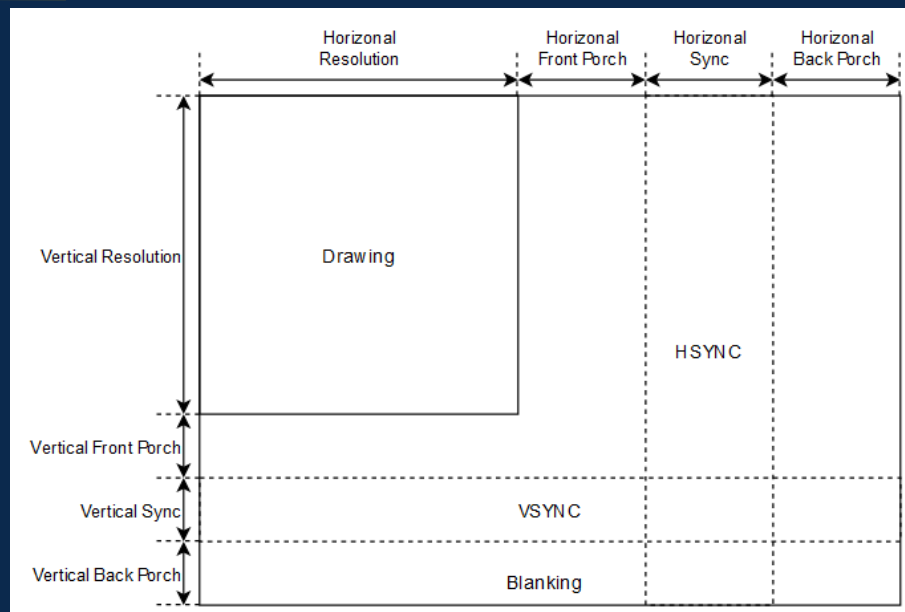
Przy odczycie stanu przycisków zastosowano **Debouncing**. Sygnał musi być stabilny przez **2ms**.

Ogólna Struktura Projektu



Generowanie Obrazu VGA

Parametry czasowe rozdzielczości 640x480
z odświeżaniem 60Hz, standard VESA



Parametr	Wartość	Jednostka
Częstotliwość Zegara Pikseli	25.175	MHz
Horizontal Resolution	640	Cykle Zegara Pikseli
Horizontal Front Porch	16	Cykle Zegara Pikseli
Horizontal Sync	96	Cykle Zegara Pikseli
Horizontal Back Porch	48	Cykle Zegara Pikseli
Vertical Resolution	480	Linie obrazu
Vertical Front Porch	10	Linie obrazu
Vertical Sync	2	Linie obrazu
Vertical Back Porch	33	Linie obrazu

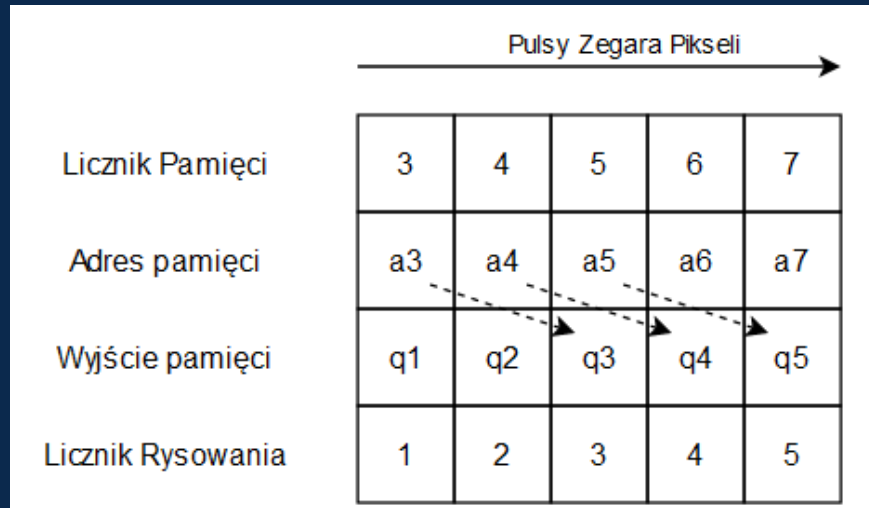
Obraz **HDMI**: Analogicznie jak VGA, ale z zegarem pikseli o 10x większej częstotliwości (251,75Hz) i kodowaniem **TMDS**.

Ze względu na ograniczenia technologiczne, wykorzystano częstotliwości zegarów **25,2Hz** oraz **252Hz**.

Problem z synchronizacją modułu VGA z modułami RAM i ROM

Moduły RAM oraz ROM posiadają opóźnienie równe **2 taktom zegara**.

W projekcie zastosowano więc dwa zestawy liczników. Pierwszy zestaw jest opóźniony względem drugiego o **2 cykle sygnału zegarowego**. Drugi zestaw wykorzystywany jest do obliczeń adresu pamięci RAM i ROM, a drugi wykorzystywany jest do wyznaczenia generowanego koloru na podstawie aktualnej odpowiedzi zwracanej przez moduły pamięci.

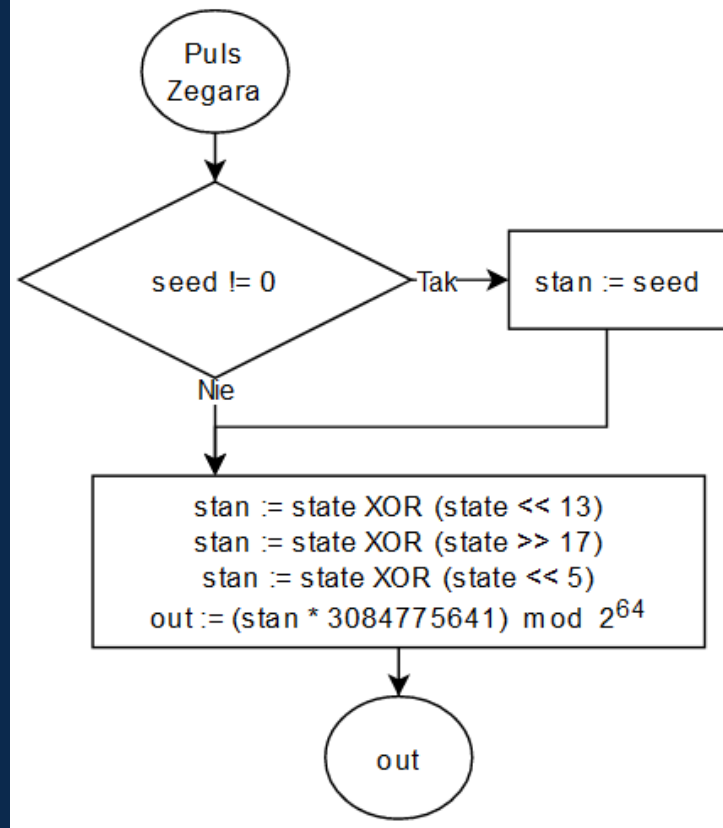


Generowanie Liczb Losowych

Algorytm **XorShiftStar.**

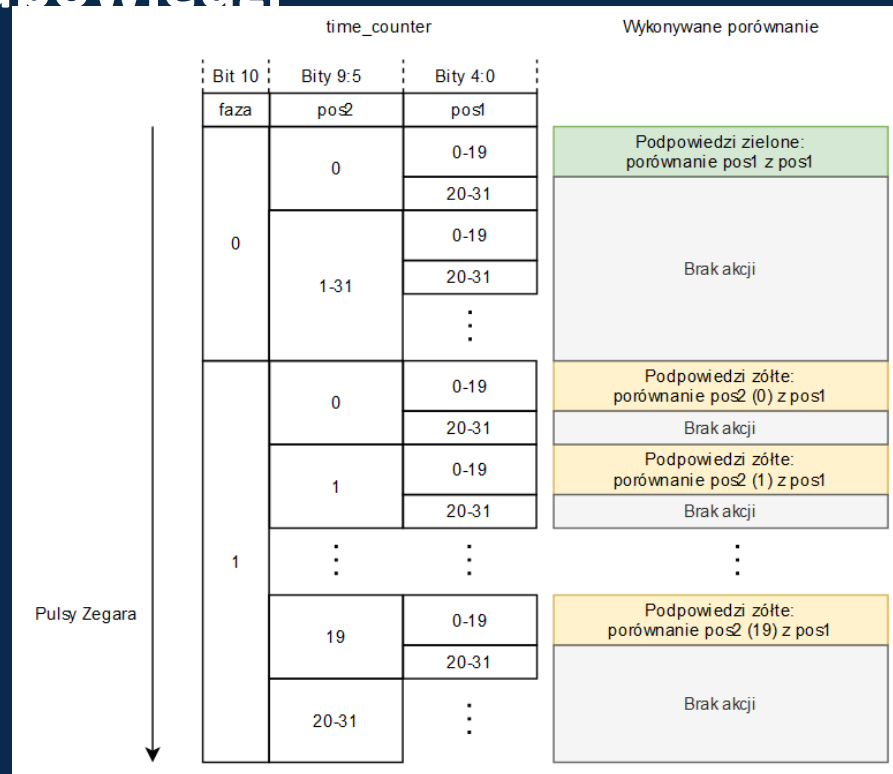
Początkowy **seed** ustawiany jest na jako liczbę cykli sygnału zegarowego w momencie rozpoczęcia rozgrywki, jaka minęła od uruchomienia urządzenia

```
1 module RNG(  
2     input clk,  
3     input en,  
4     input [31:0] seed,  
5     output wire [31:0] res,  
6     output wire [63:0] res_full  
7 );  
8 localparam [31:0] init_state = 32'd2463534242;  
9 localparam [31:0] multiplier = 32'd3084775641;  
10 reg [31:0] state = init_state;  
11 reg [63:0] mul_res = 0;  
12 assign res = mul_res[63:32];  
13 assign res_full = mul_res;  
14 always @(posedge clk) begin  
15     if(seed) begin  
16         state = seed;  
17     end  
18     if(en) begin  
19         state ^= (state << 13);  
20         state ^= (state >> 17);  
21         state ^= (state << 5);  
22         mul_res = state * multiplier;  
23         mul_res[63:32] = state;  
24     end  
25 end  
26 endmodule  
27
```



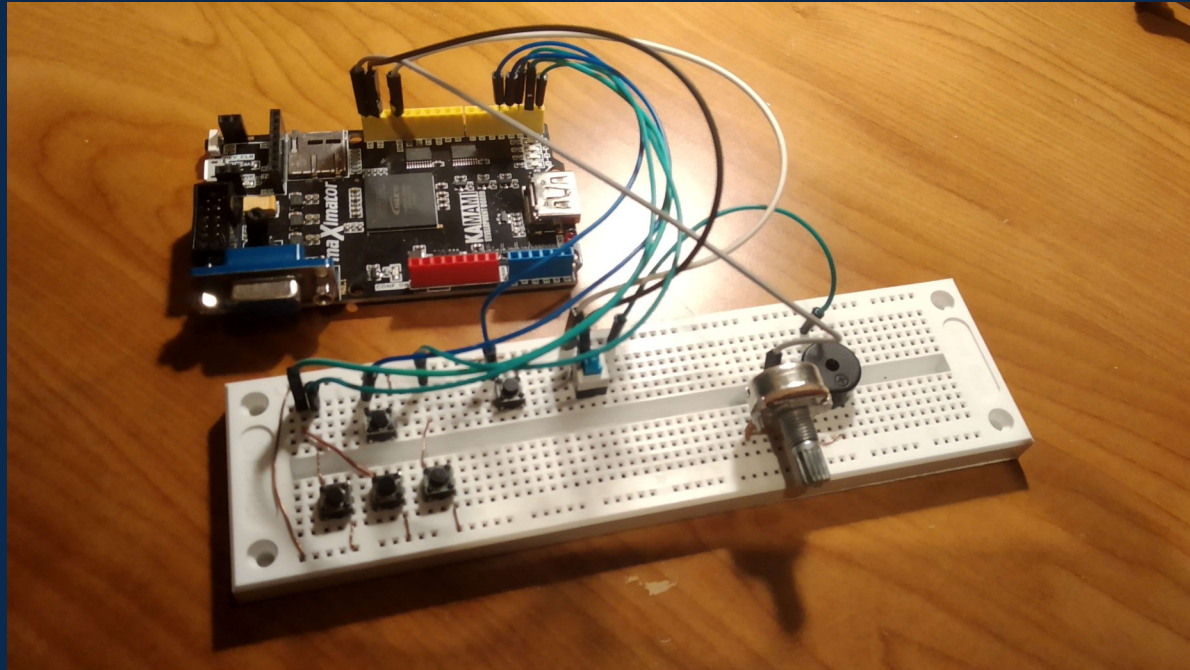
Wyznaczanie wartości podpowiedzi

System musi dokonać w najgorszym przypadku 400 porównań kolorów. Synteza takiego układu wymaga wykorzystania **130%** dostępnych jednostek logicznych na układzie FPGA. Rozłożono więc działanie algorytmu w czasie, wykonując jedno porównanie na jeden cykl zegara. To, które piny są porównywane zależy od wartości licznika cykli zegara. Ostatecznie, projekt wymagał **57%** dostępnych jednostek logicznych.



Wygląd Urządzenia

12



Gra - Menu Główne



13

Gra - Menu Opcji

◀◀ BACK ▶▶
PIN COLORS
PINS COUNT
GUESSES

PIXEL WIDTH

PIXEL HEIGHT
PALETTE

06
04
20
03
0

◀◀ BACK ▶▶
PIN COLORS
PINS COUNT

GUESSES

PIXEL WIDTH
PIXEL HEIGHT
PALETTE

06
04
30
05
06
4



Gra - Przykładowy przebieg gry



Dalsze możliwości rozwoju

Dodanie pamięci nieulotnej (EEPROM Flash lub karta MicroSD), na której zapisywane będą preferencje użytkownika. Aktualnie wartości ustawionych opcji są tracone wraz z odłączeniem urządzenia od zasilania.

Ulepszenie algorytmu liczenia podpowiedzi. Aktualnie wyznaczanie podpowiedzi zajmuje 1024 cykle zegara 1MHz, czyli około 1ms. Skupiono się na łatwości implementacji algorytmu niż na wydajności.

16



Dziękuję za Uwagę

17