



Politechnika  
Śląska



UCZELNIA  
BADAWCZA  
INICJATYWA DOSKONAŁOŚCI

Praca Magisterska

# Implementacja modułu predykcji skoków mikroprocesora RISC

Promotor:  
dr hab. inż. Robert Czerwiński

Wykonanie:  
Michał Gold



# Cel i Zakres Pracy Magisterskiej

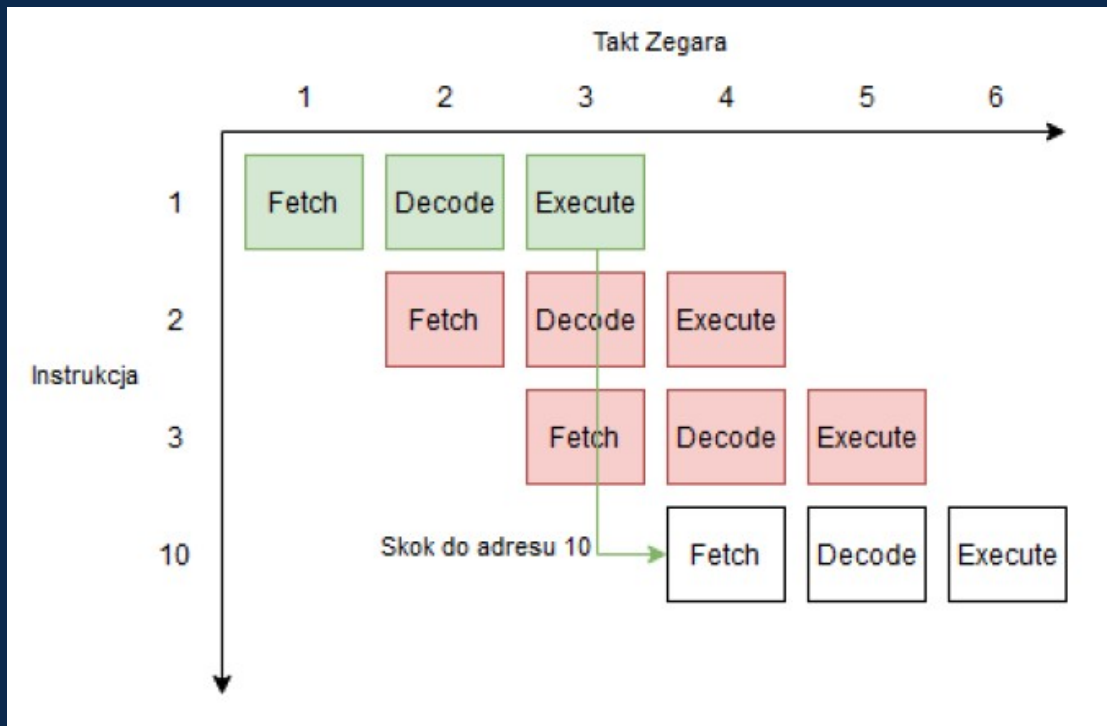
**Celem pracy magisterskiej** było zaprojektowanie, implementacja i zbadanie efektywności modułu **predykcji skoków dla mikroprocesora RISC**, bazującego na popularnej specyfikacji RISC-V.

## Zakres pracy:

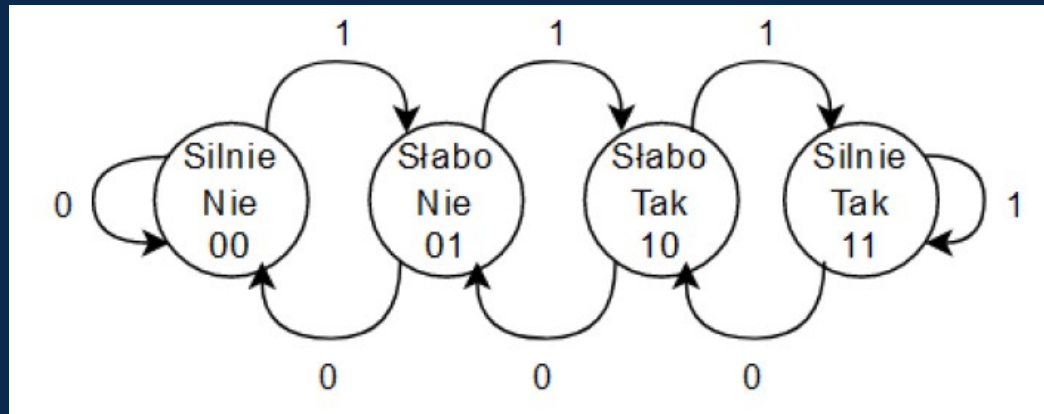
- Analiza aktualnego stanu wiedzy na temat algorytmów predykcji skoków
- Analiza implementacji mikroprocesora RISC-V.
  - Projekt mikroprocesora powstał w wyniku realizacji projektu PBL oraz innych prac magisterskich i nie obejmował modułu predykcji skoków.
- Implementacja predyktora, w wielu wariantach, wykonana w sposób możliwie modularny
- Stworzenie środowiska pozwalającego na weryfikację funkcjonalną projektu
- Porównanie efektywności zaimplementowanych algorytmów predykcji skoków



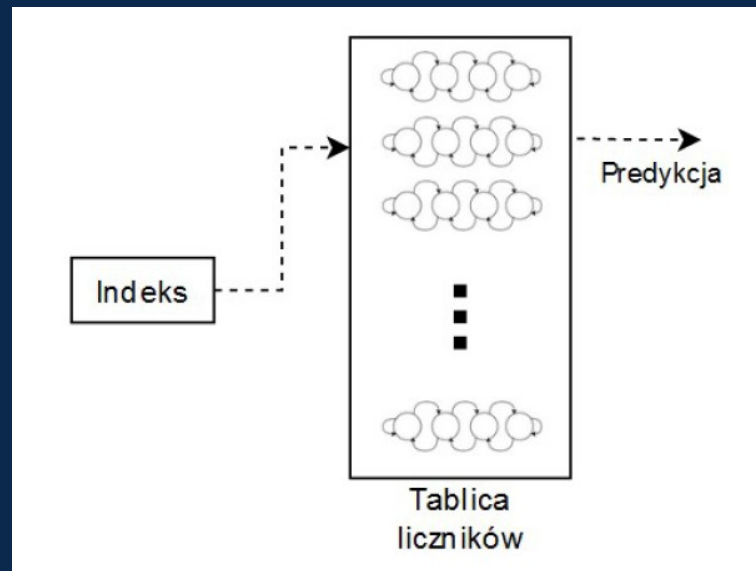
# Potok procesora, a instrukcje skoku



# Standardowe techniki predykcji skoków



2-bitowy Licznik Nasycenia



# Instrukcje skoku w RISC-V

31	20	19	15	14	12	11	7	6	0	Nazwa
imm					rd		1101111			<b>JAL</b>
imm			rs1	000	rd		1100111			<b>JALR</b>
imm	rs2		rs1	000	imm		1100011			<b>BEQ</b>
imm	rs2		rs1	001	imm		1100011			<b>BNE</b>
imm	rs2		rs1	100	imm		1100011			<b>BLT</b>
imm	rs2		rs1	101	imm		1100011			<b>BGE</b>
imm	rs2		rs1	110	imm		1100011			<b>BLTU</b>
imm	rs2		rs1	111	imm		1100011			<b>BGEU</b>

**CALL** - JAL z *rd* równym *x1*

**RET** - JALR z *rs1* równym *x1*

**JAL** - bezwzględny, bezwarunkowy

**JALR** - względny, bezwarunkowy

**Bxx** - bezwzględny, warunkowy

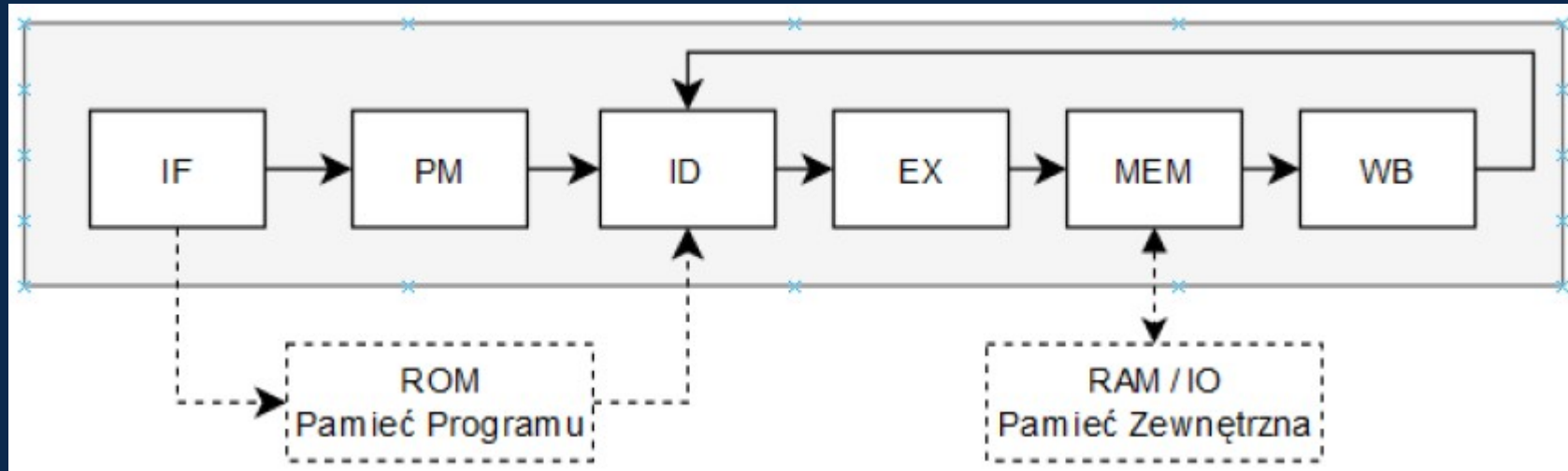


# Analizowane mikroprocesory RISC-V

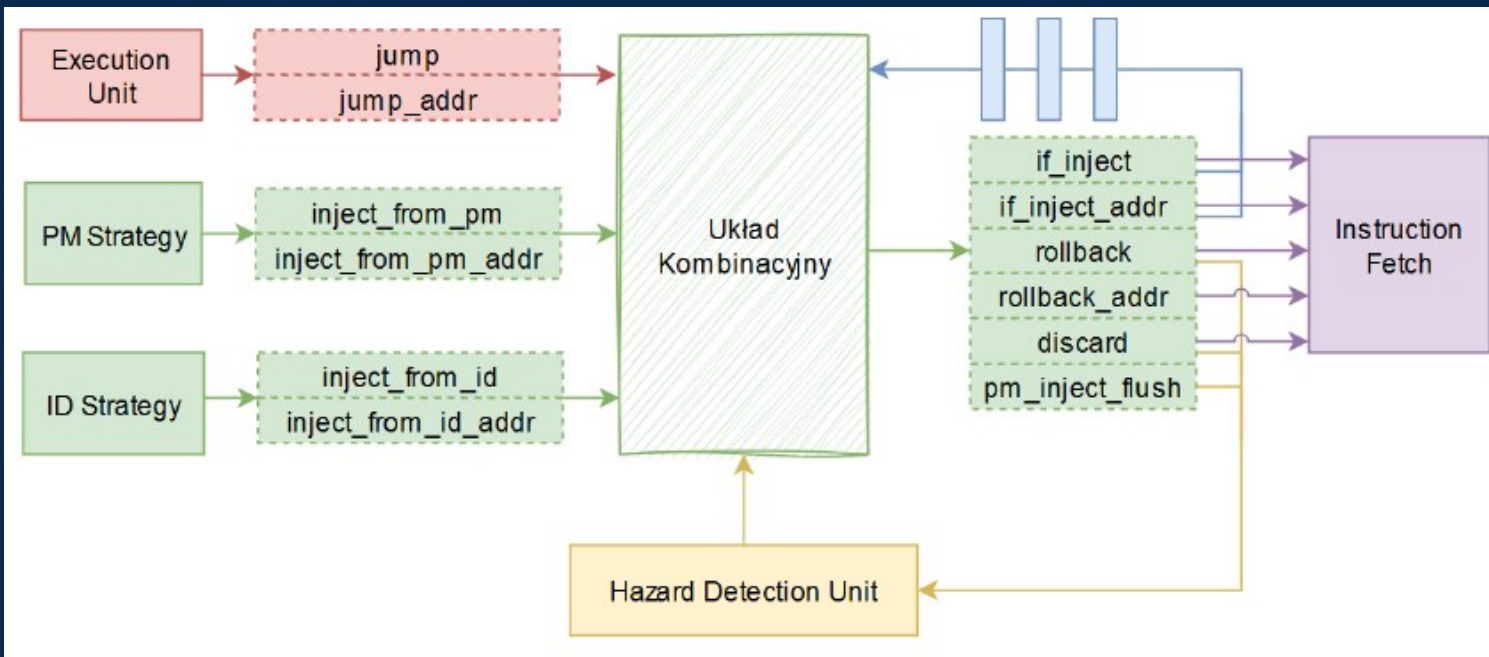
- **IBEX**
  - Tylko 2-fazowy potok
  - Predykcja wyłącznie statyczna, wyłącznie skoków bezwzględnych (bez JALR)
- **CV32A65X**
  - 6-fazowy potok
  - Predykcja bazująca na BTB (Branch Target Buffer), BHT (Branch History Table) oraz RAS (Return Address Stack)
- **SonicBOOM**
  - Około 10-fazowy potok, z rozgałęzieniami
  - 2 rodzaje predykcji
    - NLP (Next Line Predictor) - szybszy, podobnie jak w **CV32A65X**
    - BPD (Backing Predictor) - dokładniejszy, algorytm **TAGE** (Tagged Geometric)



# Potok rozbudowywanego mikroprocesora



# Moduł Predykcji Skoków





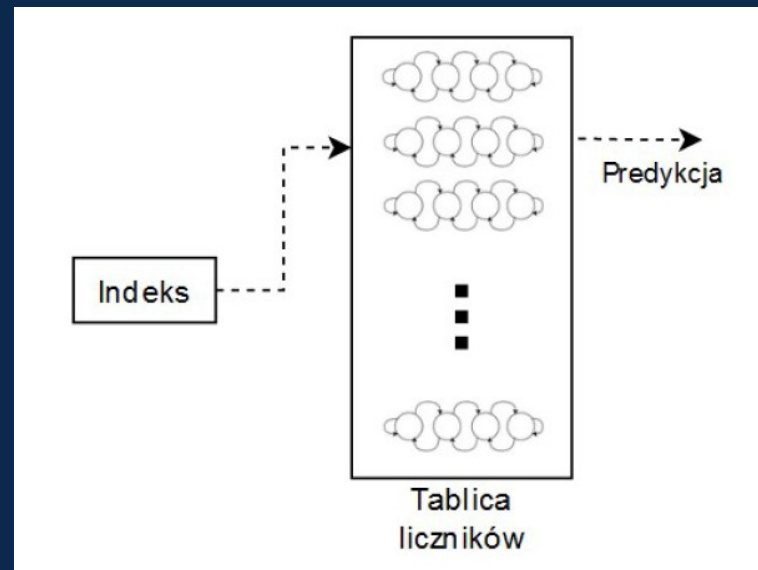
# Zaimplementowane algorytmy predykcji:

## PM Strategy:

- Hardcoded
- Random
- BTB
- BHT
- BHTRET

## ID Strategy:

- JUMP
- JUMPRET



# Porównanie efektywności predyktorów - JUMP i JUMPRET

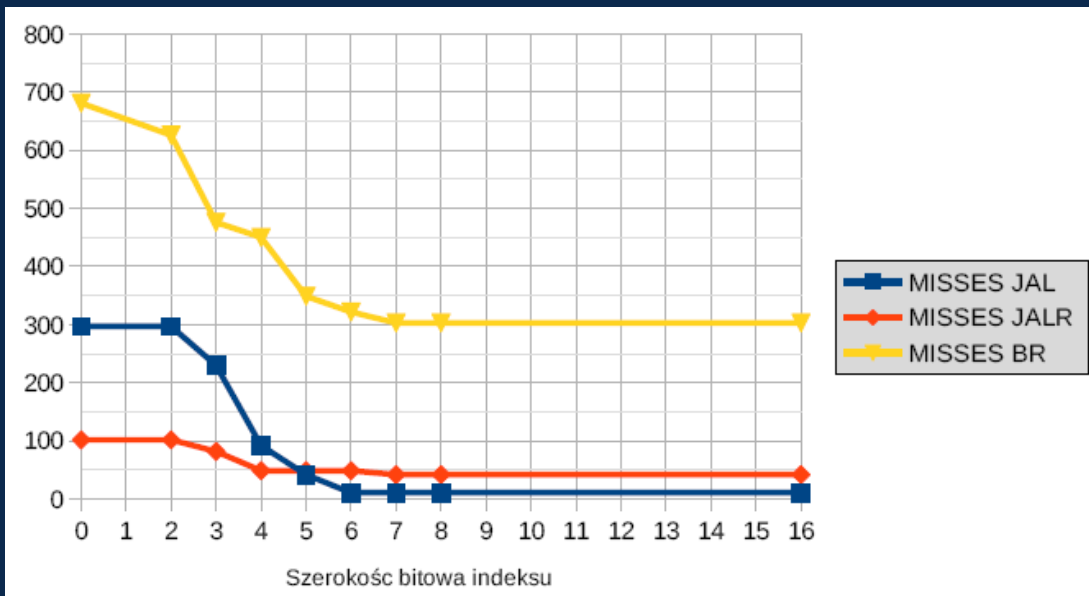
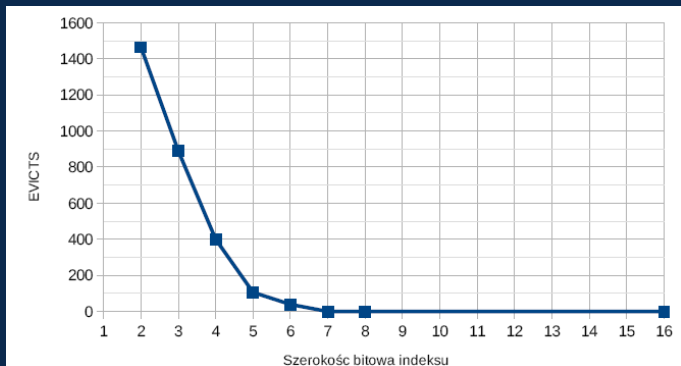
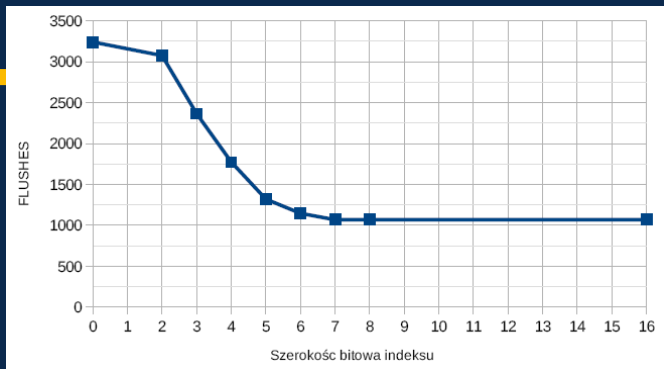
Jako program testowy wykorzystano **FizzBuzz**.

ID Strategy	FLUSHES	MISSES JAL	MISSES JALR	MISSES BR
<b>Brak</b>	40.3% (3240/8049)	100%+0% (297+0/297)	100%+0% (102+0/102)	63.3%+0% (681+0/1075)
<b>JUMP</b>	35.5% (2646/7455)	0%+100% (0+297/297)	100%+0% (102+0/102)	63.3%+0% (681+0/1075)
<b>JUMPRET</b>	33.7% (2442/7251)	0%+100% (0+297/297)	0%+100% (0+102/102)	63.3%+0% (681+0/1075)

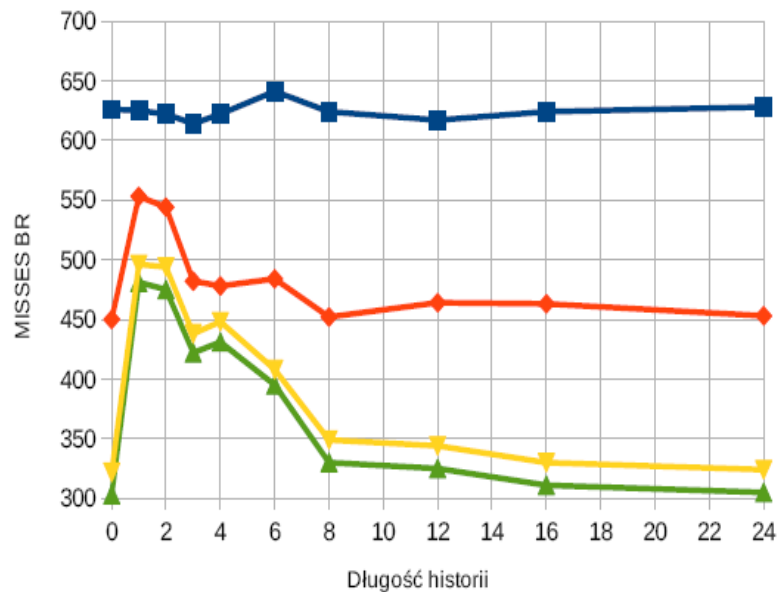


# Porównanie efektywności predyktorów - BTB

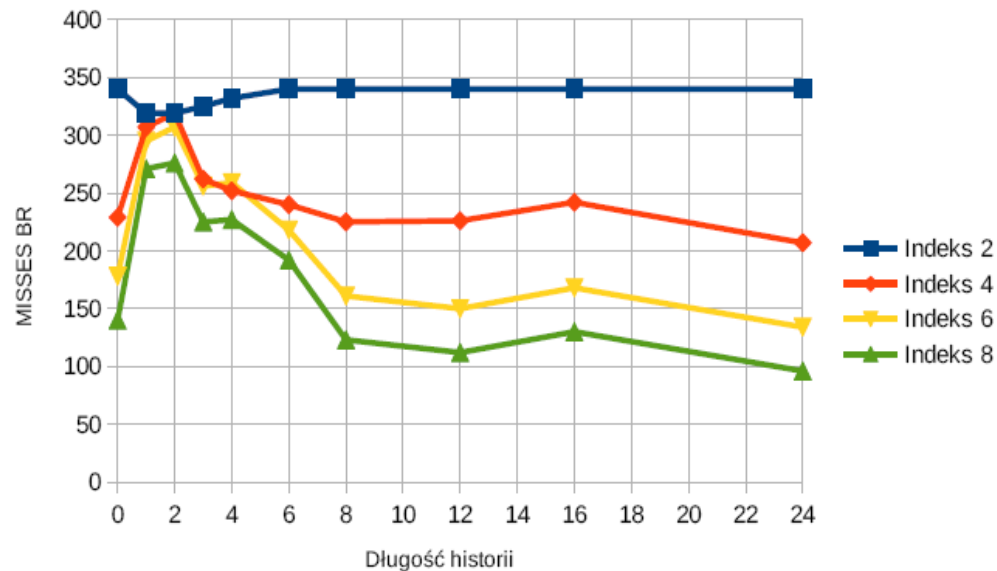
Badanie PM Strategy przeprowadzono z wyłączoną ID Strategy!



# Porównanie efektywności predyktorów - BHT



Wersja z mnożeniem



Wersja bez mnożenia

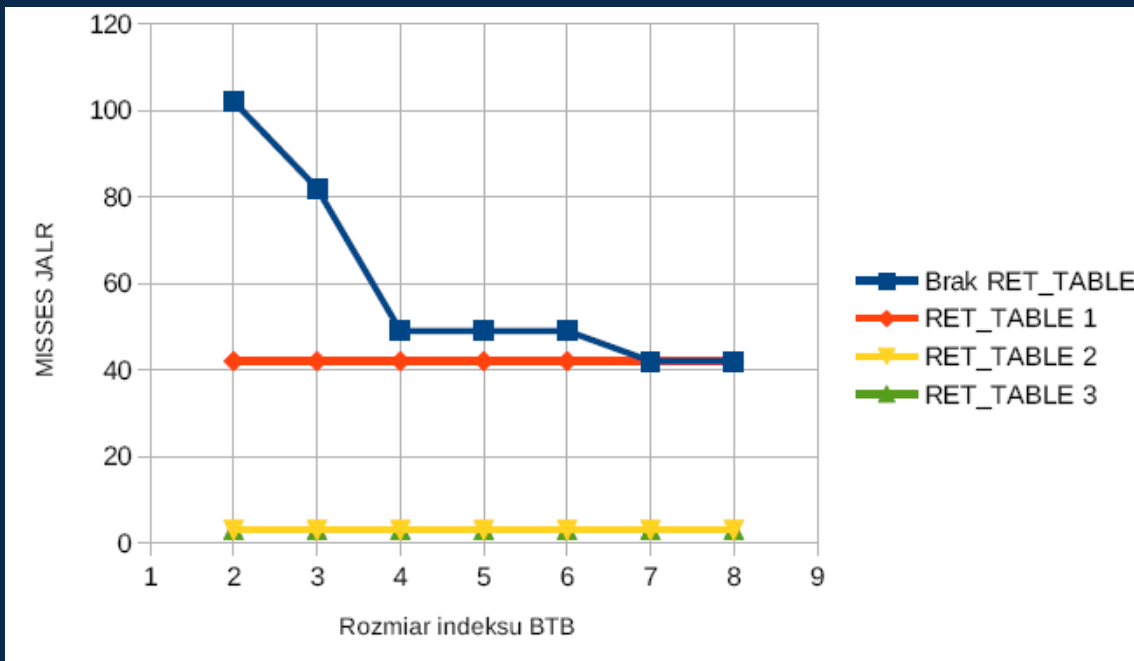


Politechnika  
Śląska



UCZELNIA  
BADAWCZA  
INICJATYWA INŻYNIERSKA

# Porównanie efektywności predyktorów - BHTRET



# Podsumowanie

Pomyślnie osiągnięto cel pracy magisterskiej, a zakres w pełni zrealizowano.

Stworzono **wiele różnych algorytmów predykcji**, korzystających ze **wspólnego interfejsu**, pozwalając na prostą ingerencję w algorytm predykcji, bez potrzeby znania całej struktury mikroprocesora i sygnałów między jego modułami.

Wykonano **badanie każdego z zaimplementowanych algorytmów**, dla **wielu różnych parametrów**, sprawdzając jego efektywność. **Najciekawsze wyniki dał algorytm BHT**, który w prawie każdym przypadku dawał gorsze efekty, niż brak zastosowania jakiegokolwiek predyktora.

Stworzono też **rozbudowane środowisko testowe**, składające się między innymi z **modelu referencyjnego oraz wizualizatora stanu potoku**, pozwalając na weryfikację funkcjonalną oraz łatwe wykrywanie błędów.

Znaczny czas pracy nad projektem poświęcono także na **wykrycie i naprawę błędów** w już istniejącej implementacji procesora RISC-V, które uniemożliwiały wykonanie miarodajnych badań.





# Dziękuję za Uwagę



Politechnika  
Śląska



UCZELNIA  
BADAWCZA  
INŻYNIERIA DOKONANEGO