



Taxonomía de Duncan

Alumna:

Esther Milagros Bautista Peralata

Semestre: *VIII - semestre*

Docente:	<i>Fred Torres Cruz</i>
Facultad:	Ingeniería Estadística e Informática
Año académico:	October 26, 2022- II

Contents

1	Taxonomía de Duncan	1
2	Arquitecturas Sincrónicas	1
2.1	Procesadores vectoriales	1
2.2	Arquitecturas SIMD	2
2.2.1	Conjunto de procesadores	3
2.2.2	Memoria asociativa	4
2.3	Matrices sistólicas	4
3	Arquitecturas MIMD	5
3.1	Multiprocesadores de memoria compartida	5
3.2	Multiprocesadores de memoria distribuida	6
4	Paradigma arquitectónico basado en MIMD	7
4.1	SIMD/MIMD	7
4.2	Flujo de Datos	7
4.3	Reducción	8
4.4	Frente de Onda	8
5	Evidencia del trabajo en LATEX	9

1 Taxonomía de Duncan

Duncan propuso algunas modificaciones a la taxonomía de Flynn para incluir procesadores de vectores segmentados y otras arquitecturas que intuitivamente parecen merecer su inclusión como arquitecturas paralelas, pero que el esquema original de Flynn no puede acomodar amablemente. Esto se logró simplemente ampliando los criterios de clasificación, con algunas subcategorías que no se encuentran en el esquema de Flynn, para reflejar permutaciones de características arquitectónicas y cubrir características de paralelismo de nivel inferior. La Figura 1 muestra una taxonomía basada en la modificación de Duncan.

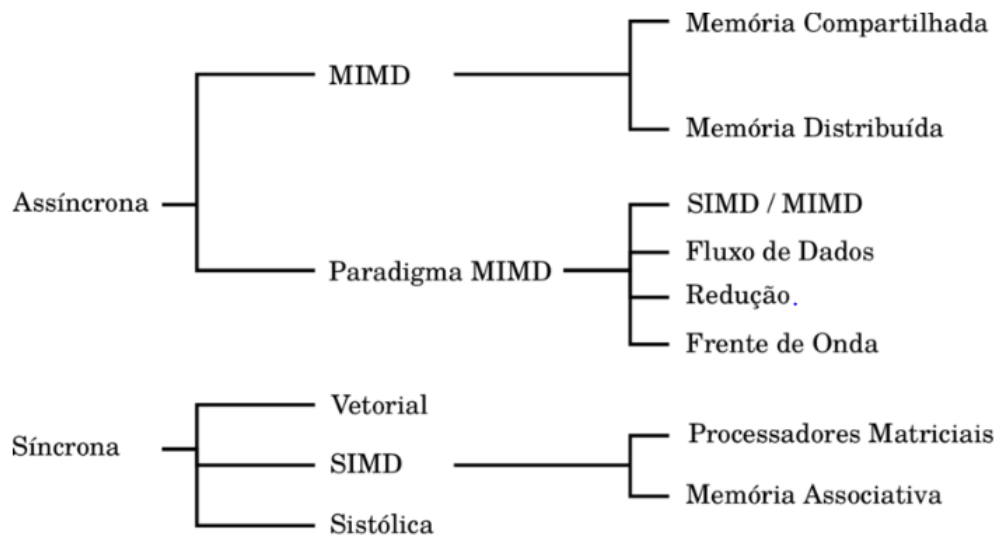


Figure 1: Modificación de Duncan de la taxonomía de Flynn.

2 Arquitecturas Sincrónicas

Las arquitecturas síncronas coordinan operaciones concurrentes al unísono a través de relojes globales, unidades de control central o controladores de unidades vectoriales. Esta clase incluye tres subclases. Son:

1. Procesadores vectoriales;
2. Arquitecturas SIMD; y
3. Matrices sistólicas.

Las arquitecturas SIMD se clasifican además como conjuntos de procesadores y procesadores de memoria asociativos.

2.1 Procesadores vectoriales

Los procesadores vectoriales se caracterizan por múltiples unidades funcionales interconectadas, que proporcionan procesamiento vectorial paralelo en operandos vectoriales. Hay dos tipos de procesadores vectoriales, a saber, procesadores vectoriales de registro a registro y procesadores vectoriales de memoria a memoria. En los

procesadores vectoriales de registro a registro, los operandos y los resultados de la operación vectorial se guardan en un registro especial de alta velocidad, mientras que en los procesadores vectoriales de memoria a memoria, estos datos se guardan en un búfer de memoria especial. Las supercomputadoras de procesamiento vectorial recientes unen de cuatro a diez procesadores a través de una gran memoria compartida.

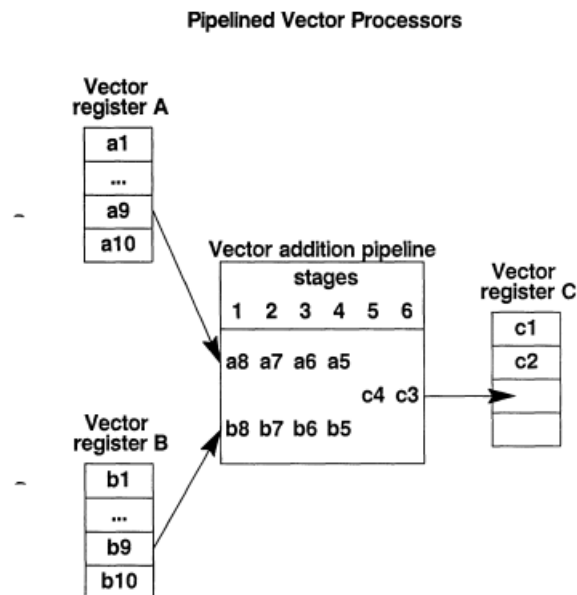


Figure 2: Procesadores de vectores canalizados.

2.2 Arquitecturas SIMD

La categoría SIMD (flujo de instrucción única, flujo de datos múltiple) de la taxonomía de Flynn como clase raíz para las subclases de matriz de procesador y memoria asociativa. Las arquitecturas SIMD se caracterizan por tener una unidad de control que transmite una instrucción común a todos los elementos de procesamiento, que ejecutan esa instrucción al mismo tiempo en diversos operandos de datos locales. Las características comunes incluyen la capacidad de los procesadores individuales para desactivar una instrucción y la capacidad de propagar los resultados de la instrucción a los vecinos inmediatos a través de una red de interconexión.

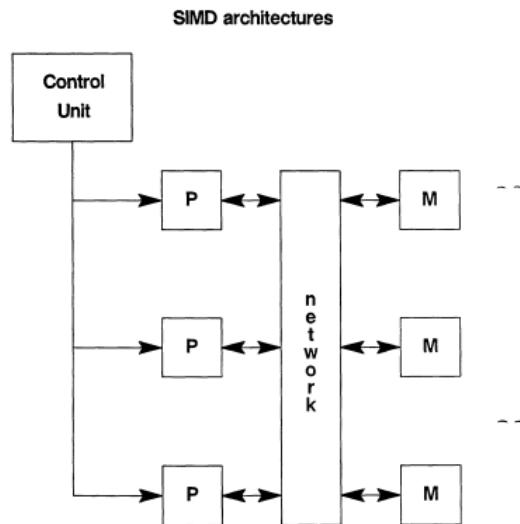


Figure 3: Arquitecturas SIMD

2.2.1 Conjunto de procesadores

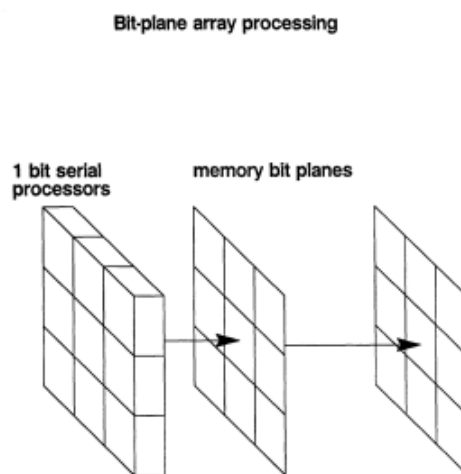


Figure 4: Procesamiento de matriz de plano de bits

2.2.2 Memoria associativa

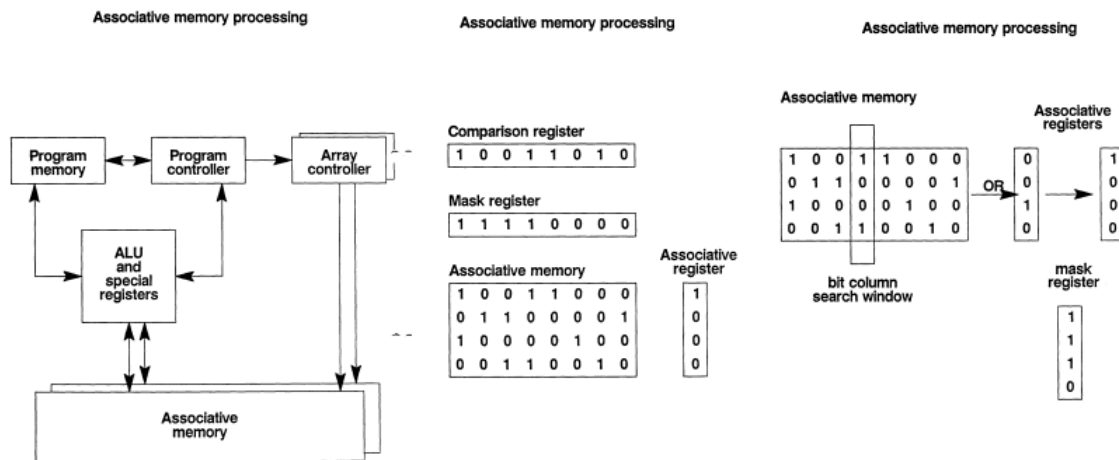


Figure 5: Procesamiento de memoria asociativa

2.3 Matrices sistólicas

Las matrices sistólicas consisten en multiprocesadores canalizados. Los datos son pulsados en forma rítmica desde la memoria ya través de una red de procesadores antes de regresar a la memoria. Un reloj global y retardos de tiempo explícitos sincronizan este flujo de datos canalizados, que consta de operandos obtenidos de la memoria y resultados parciales que utilizará cada procesador. Ejemplos de computadoras de matriz sistólica son Warp y Matrix de Saxpy, que son máquinas sistólicas reconfigurables en la Universidad Carnegie-Mellon.

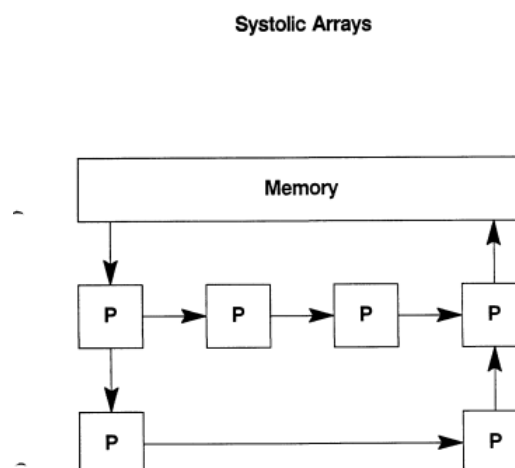


Figure 6: Matrices sistólicas

3 Arquitecturas MIMD

Las arquitecturas MIMD emplean varios procesadores que pueden ejecutar secuencias de instrucciones independientes utilizando datos locales. Por lo tanto, las computadoras MIMD admiten la ejecución en paralelo que requiere que los procesadores funcionen de manera en gran medida autónoma. Aunque los procesos de software que se ejecutan en las arquitecturas MIMD se sincronizan pasando mensajes a través de una red de interconexión o accediendo a datos en unidades de memoria compartida, las arquitecturas MIMD son computadoras asíncronas, caracterizadas por un control de hardware descentralizado. Por lo tanto, las arquitecturas MIMD también se conocen popularmente como multiprocesadores y se dividen en dos subcategorías.

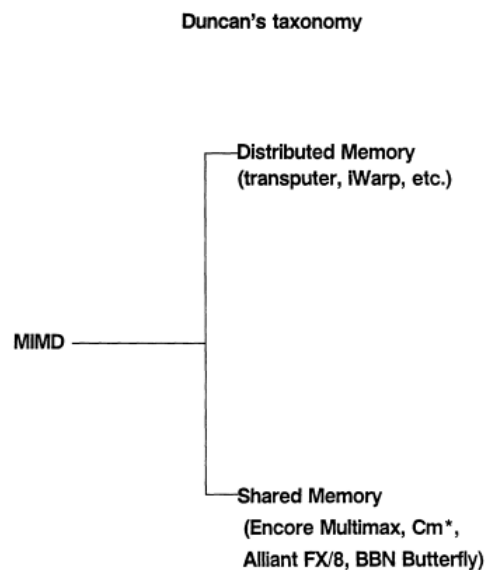


Figure 7: Categorías de la Arquitecturas MIMD

3.1 Multiprocesadores de memoria compartida

Las arquitecturas MIMD fuertemente acopladas usan memoria compartida entre sus procesadores. La arquitectura interconectada cae esencialmente en una de dos clases: biconectada por bus y conectada directamente. En la arquitectura conectada por bus, los procesadores, las memorias paralelas, las interfaces de red y los controladores de dispositivos están vinculados al mismo bus de conexión, mientras que en las arquitecturas conectadas directamente, los procesadores están conectados directamente a los mainframes de gama alta. Ejemplos de multiprocesadores estrechamente acoplados son: Univac 1100/94, Cray-XMP, Alliant/8 y el multiprocesador IBM 3090/400.

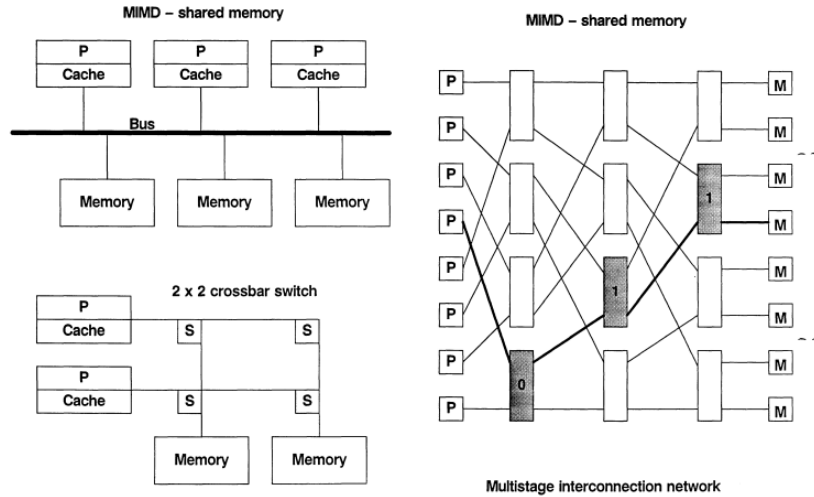


Figure 8: MIMD - memoria compartida

3.2 Multiprocesadores de memoria distribuida

Las arquitecturas MIMD débilmente acopladas tienen memorias locales distribuidas adjuntas a múltiples nodos de procesador. Las topologías de interconexión populares incluyen el hipercubo, el anillo, el interruptor de mariposa, los hiperárboles y las hiperredes (consulte la Sección 1.3). El paso de mensajes es el principal método de comunicación entre el procesador. La mayoría de los multiprocesadores están diseñados para ser escalables en rendimiento. Ejemplos de multiprocesadores débilmente acoplados : DADO2 , Non-Von of Columbia University , Cosmic Cube , Ametec Series 2010 , Intel Personal Supercomputer , Ncube / 10 , Configurable Highly Parallel Computer (CHIP) de Lawrence Snyder y Howard Siegel's Partitionable SIMD/MIMD System (Pasm)

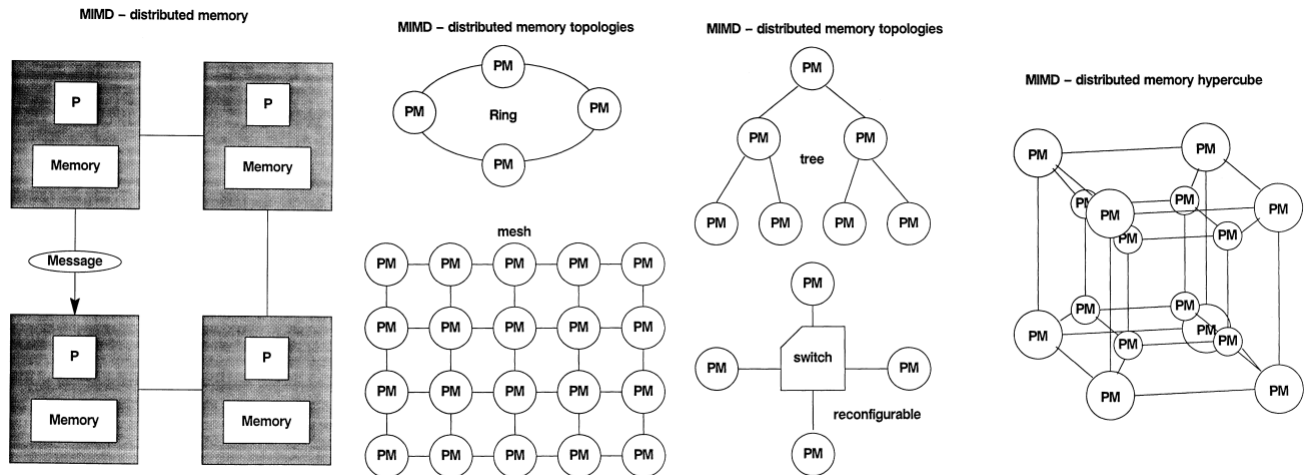


Figure 9: MIMD - memoria distribuida

4 Paradigma arquitectónico basado en MIMD

La categoría de paradigmas basados en MIMD incluye sistemas en los que un paradigma específico de programación o ejecución es al menos tan fundamental para el diseño arquitectónico como lo son las consideraciones estructurales. Por lo tanto, el diseño de arquitecturas de flujo de datos y máquinas de reducción es tanto el producto de soportar su paradigma de ejecución distintivo como el producto de conectar procesadores y memorias en forma de MIMD. Las subdivisiones de la categoría están definidas por estos paradigmas.

4.1 SIMD/MIMD

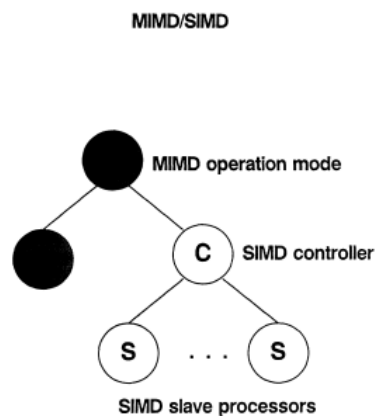


Figure 10: SIMD/MIM

4.2 Flujo de Datos

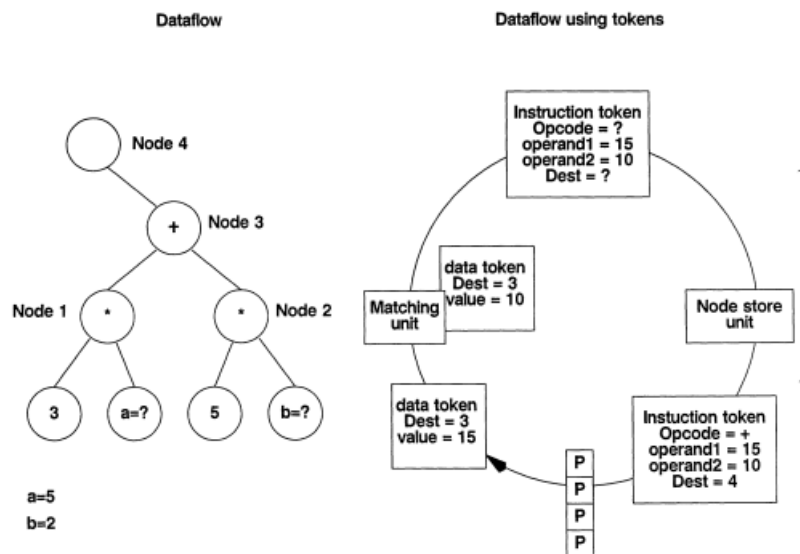


Figure 11: Ejemplo de flujo de Datos

4.3 Reducción

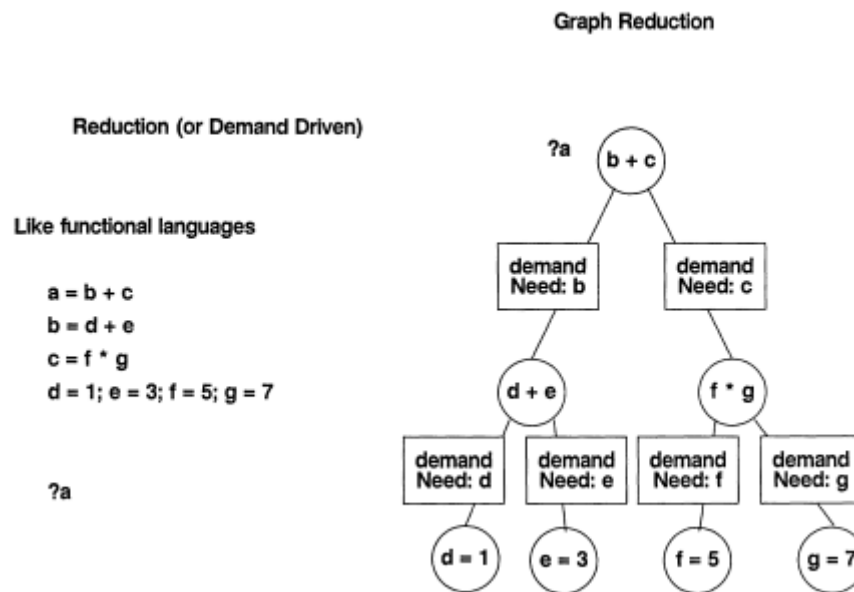


Figure 12: Ejemplo de reducción

4.4 Frente de Onda

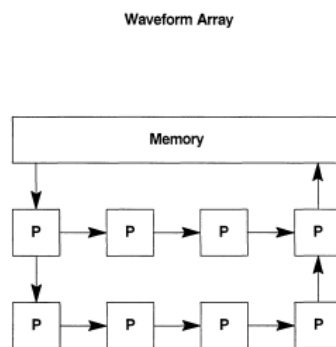


Figure 13: Matriz en forma de onda

5 Evidencia del trabajo en LATEX

Trabajo encargado (Taxonomía_Duncan)

Source Rich Text

Recompile

1 Taxonomía de Duncan

Duncan propuso algunas modificaciones a la taxonomía de Flynn para incluir procesadores de vectores segmentados y otras arquitecturas que intuitivamente parecen merecer su inclusión como arquitecturas paralelas, pero que el esquema original de Flynn no puede acomodar amablemente. Esto se logró simplemente ampliando los criterios de clasificación, con algunas subcategorías que no se encuentran en el esquema de Flynn, para reflejar permutaciones de características arquitectónicas y cubrir características de paralelismo de nivel inferior. La **Figura 1** muestra una taxonomía basada en la modificación de Duncan.

2 Arquitecturas Sincrónicas

Las arquitecturas sincrónicas coordinan operaciones concurrentes al unísono a través de relojes globales, unidades de control central o controladores de unidades vectoriales. Esta clase incluye tres subclases. Son:

1. Procesadores vectoriales;
2. Arquitecturas SIMD; y

Figure 14: <https://www.overleaf.com/read/sghmksrkgcsk>