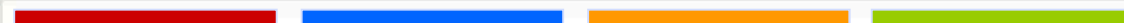


Projekat – opis

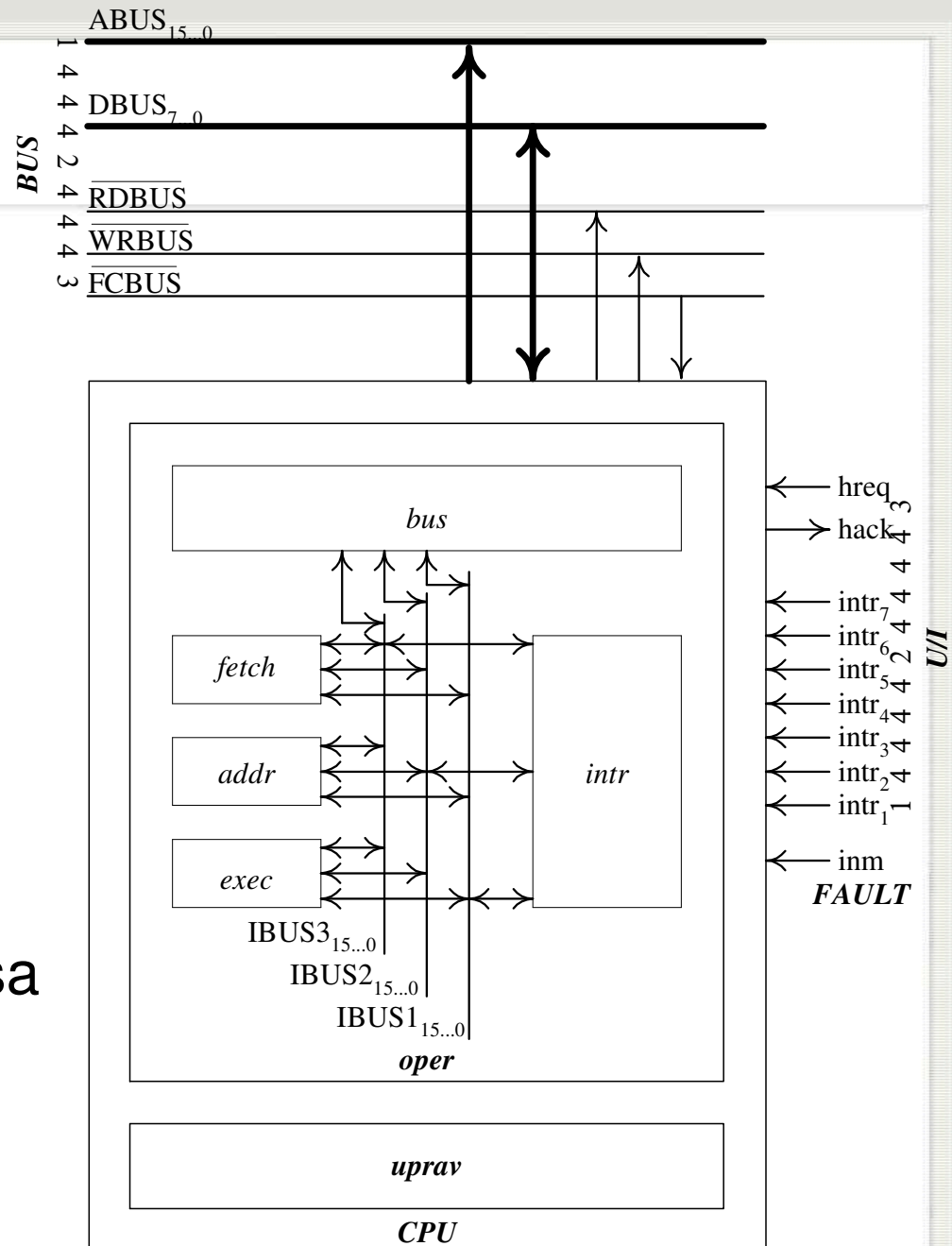


Organizacija procesora

• Operaciona jedinica **oper** se sastoji od sledećih blokova:

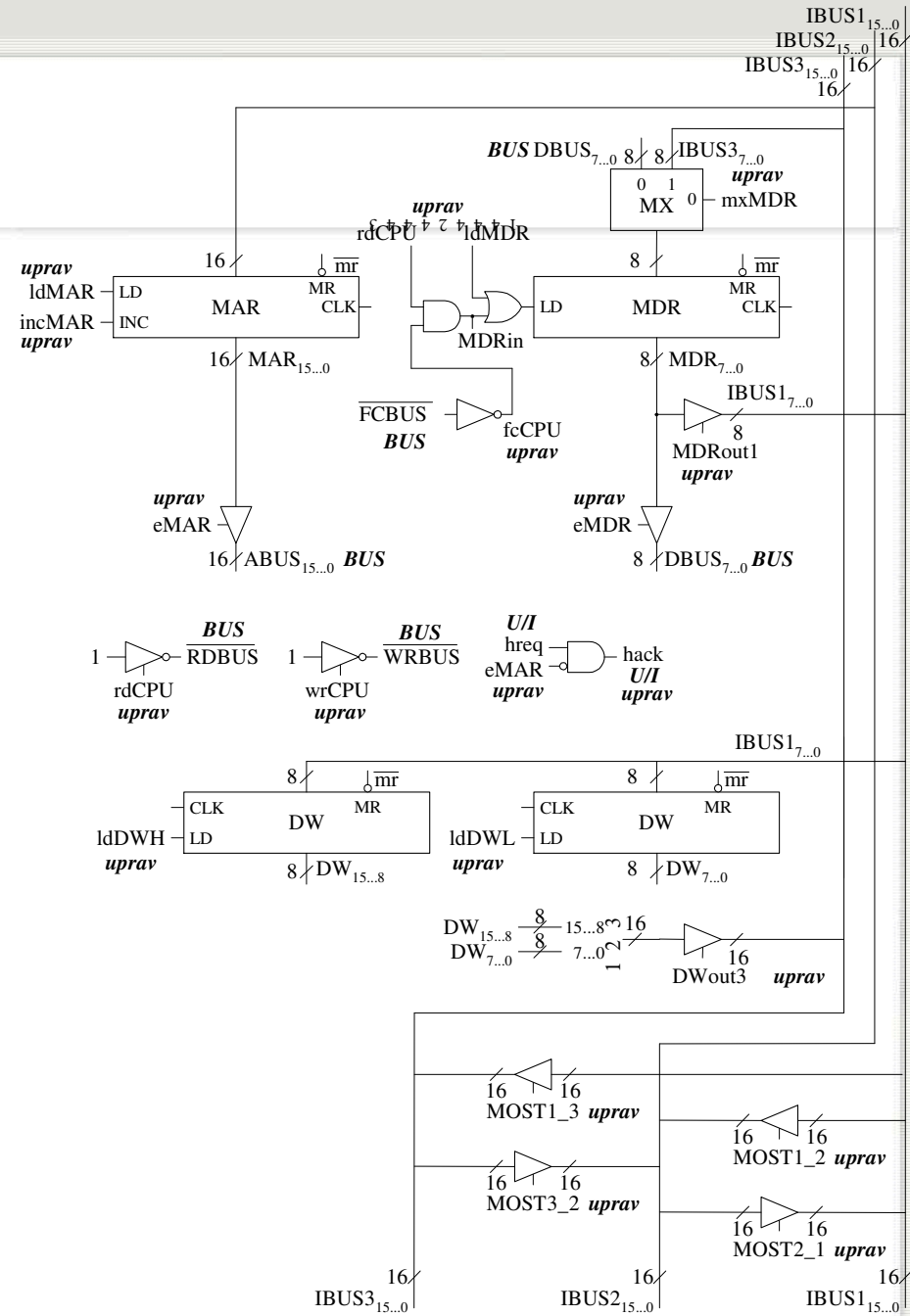
- blok *bus*,
- blok *fetch*,
- blok *addr*,
- blok *exec* i
- blok *intr*.

Ovi blokovi su međusobno povezani sa tri interne magistrale IBUS1_{15...0}, IBUS2_{15...0} i IBUS3_{15...0}.



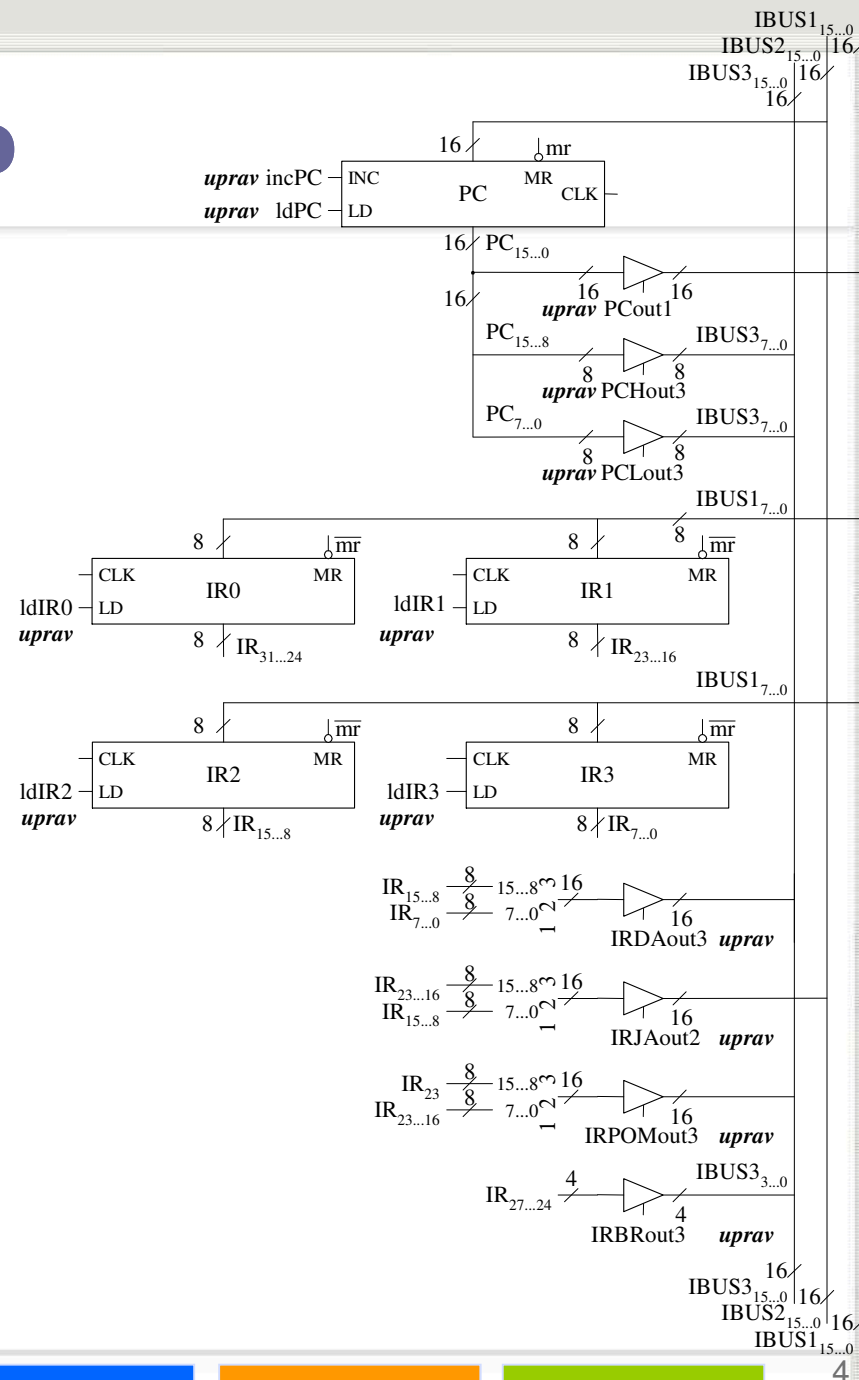
Blok bus

- Registar $MAR_{15...0}$ se koristi pri realizaciji ciklusa čitanja ili upisa na magistrali **BUS**.
- U registar $MDR_{7...0}$ se vrednošću 1 jednog od signala **MDRin** i **IdMDR** upisuje sadržaj sa izlaza multipleksera MX2.
- Registar $DW_{15...0}$ je 16-to razredni pomoćni registar koji se koristi za prihvatanje 16-to bitne veličine koja se dobija iz dve susedne 8-mo bitne memorijske lokacije u dva posebna ciklusa na magistrali.

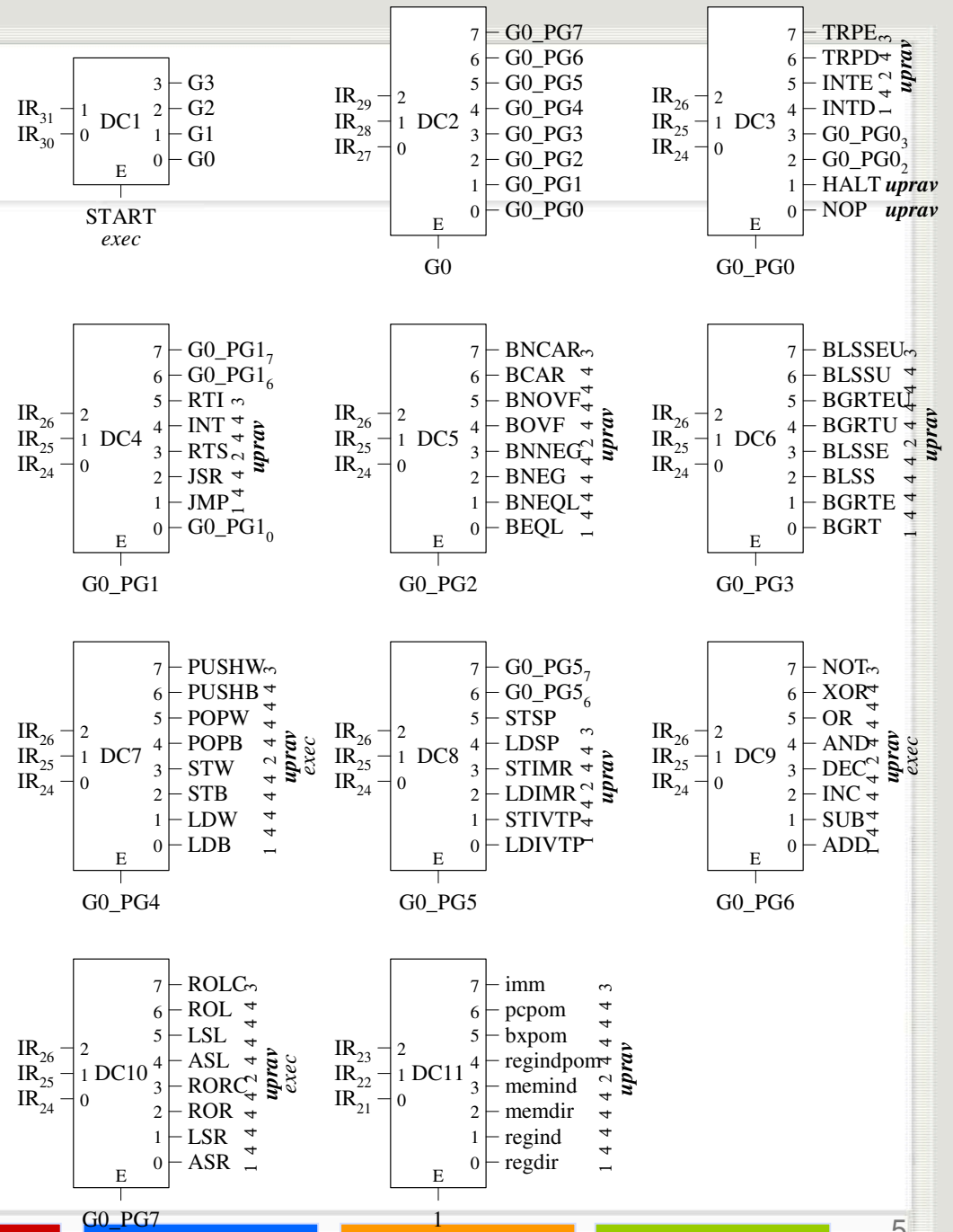


Blok fetch – I deo

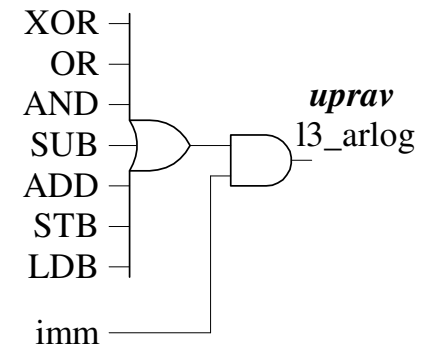
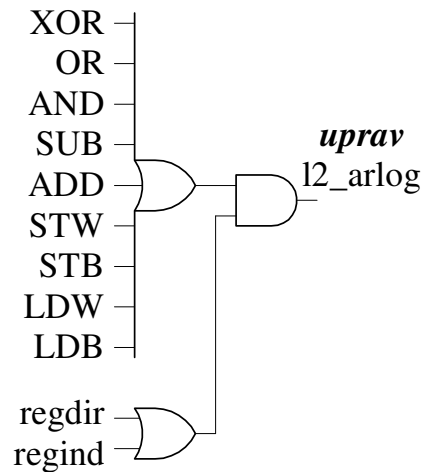
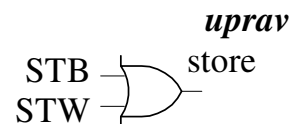
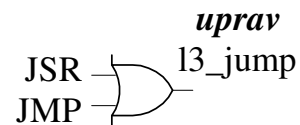
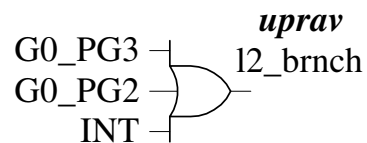
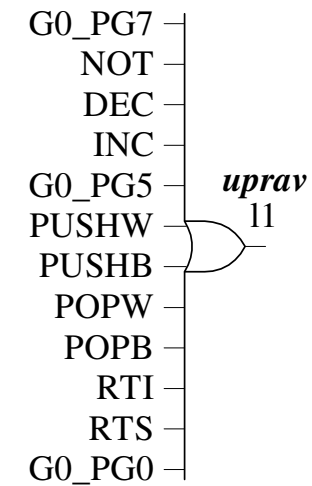
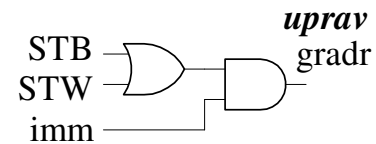
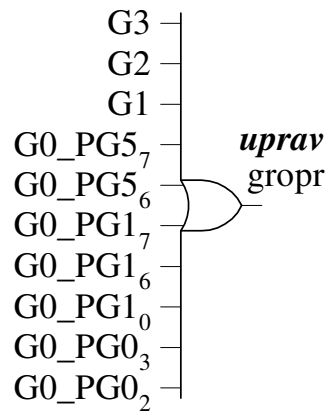
- Registar $PC_{15...0}$ predstavlja adresu memorijske lokacije počev od koje treba pročitati jedan do četiri bajta instrukcije
- Registri IR0, IR1, IR2 i IR3 su 8-mo razredni registri koji formiraju razrede $31...24$, $23...16$, $15...8$ i $7...0$, respektivno, prihvatnog registra instrukcije $IR_{31...0}$.



Blok fetch – II deo

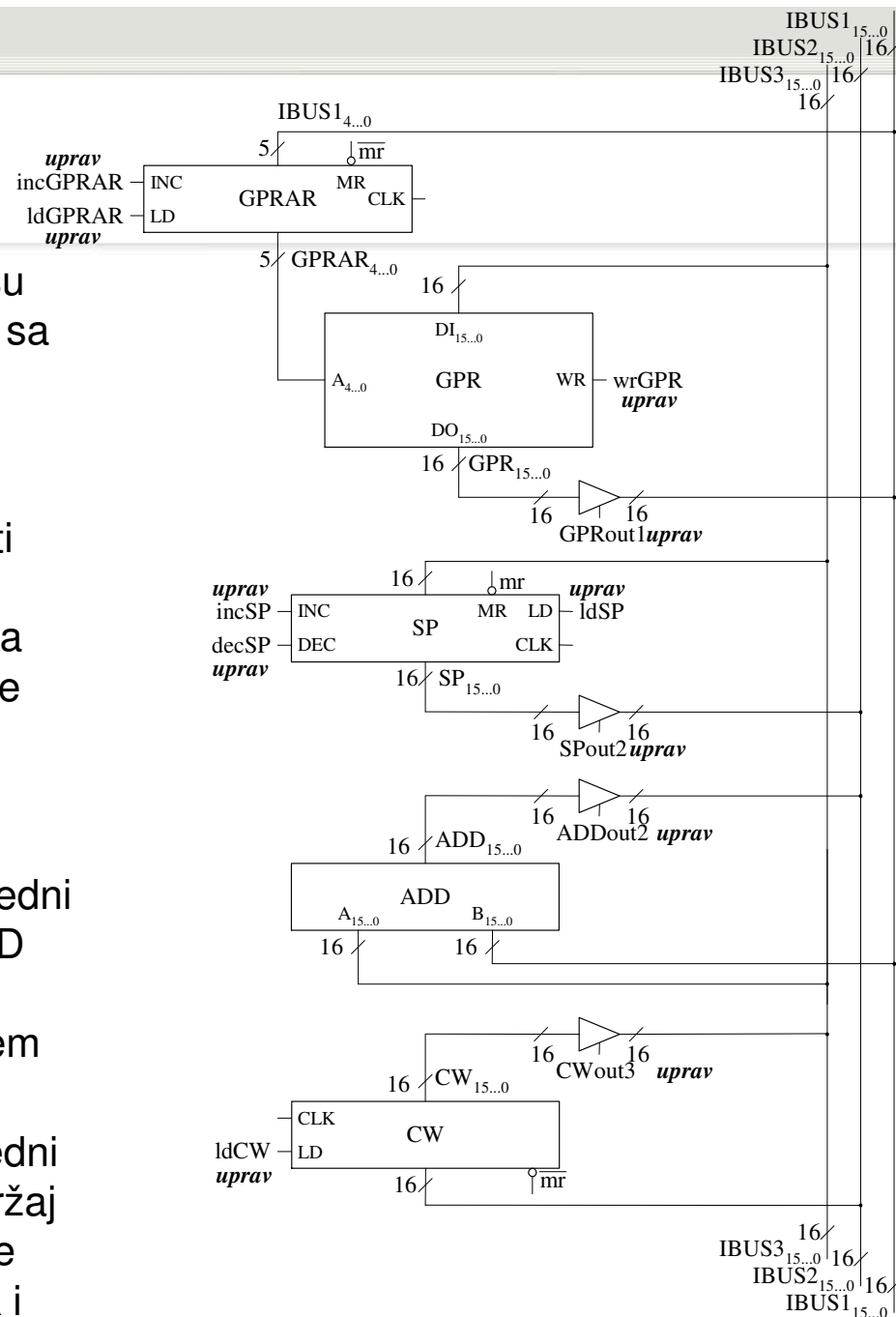


Blok fetch – III deo



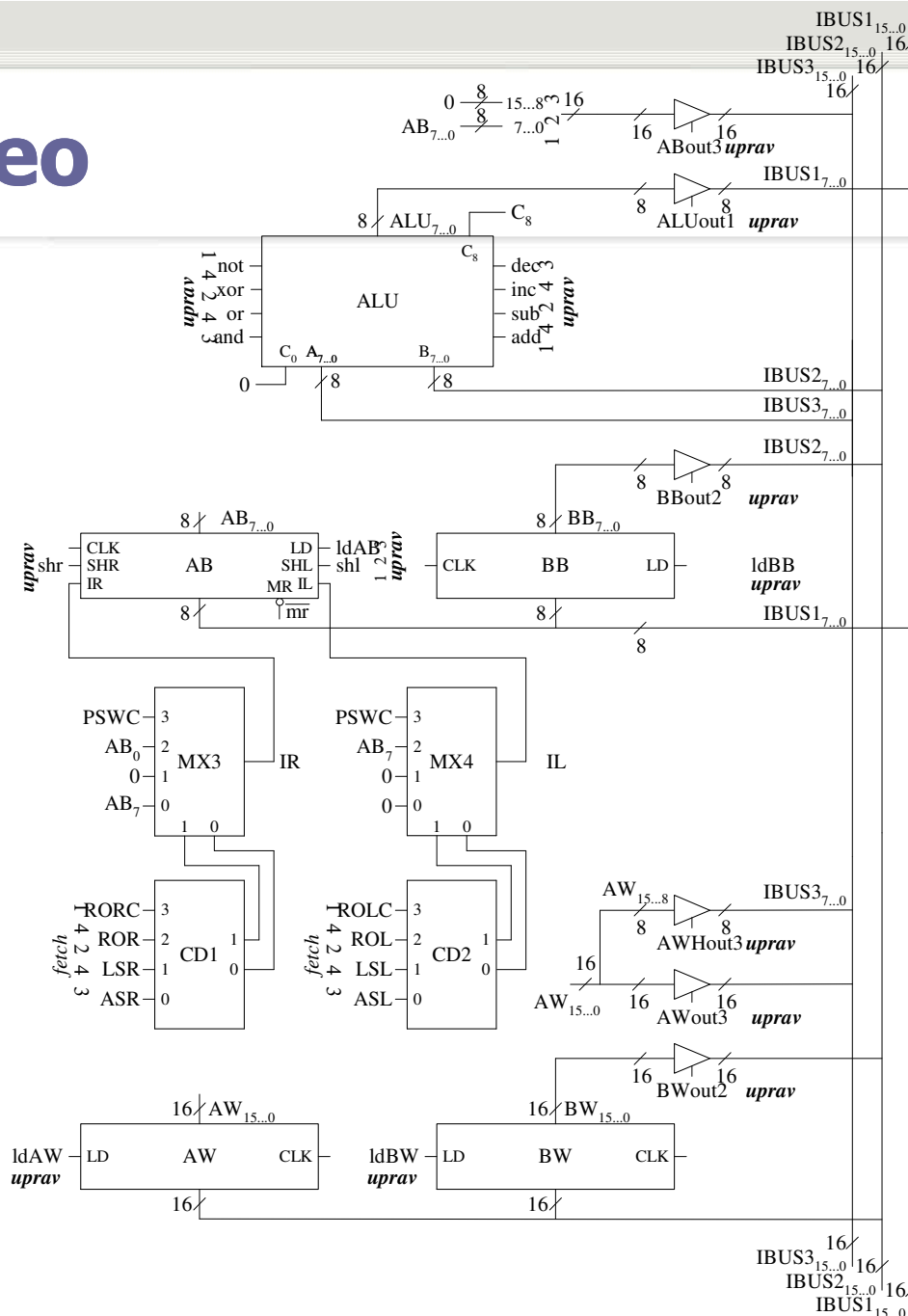
Blok addr

- Registri opšte namene GPR su realizovani kao registarski fajl sa 32 registra širine 16 bita
- Sabirač ADD je 16-to razredni sabirač koji se koristi za formiranje 16-to bitne vrednosti koja može da bude adresa sa koje treba da se pročita adresa prekidne rutine, adresa sa koje treba da se pročita ili na kojoj treba da se upiše operand ili adresa skoka
- Registar $CW_{15...0}$ je 16-to razredni prihvatni registar sabirača ADD koji se koristi samo u slučaju bazno indeksnog sa pomerajem adresiranja
- Registar $SP_{15...0}$ je 16-to razredni ukazivač na vrh steka čiji sadržaj predstavlja adresu memorijske lokacije prilikom upisa na stek i čitanja sa steka

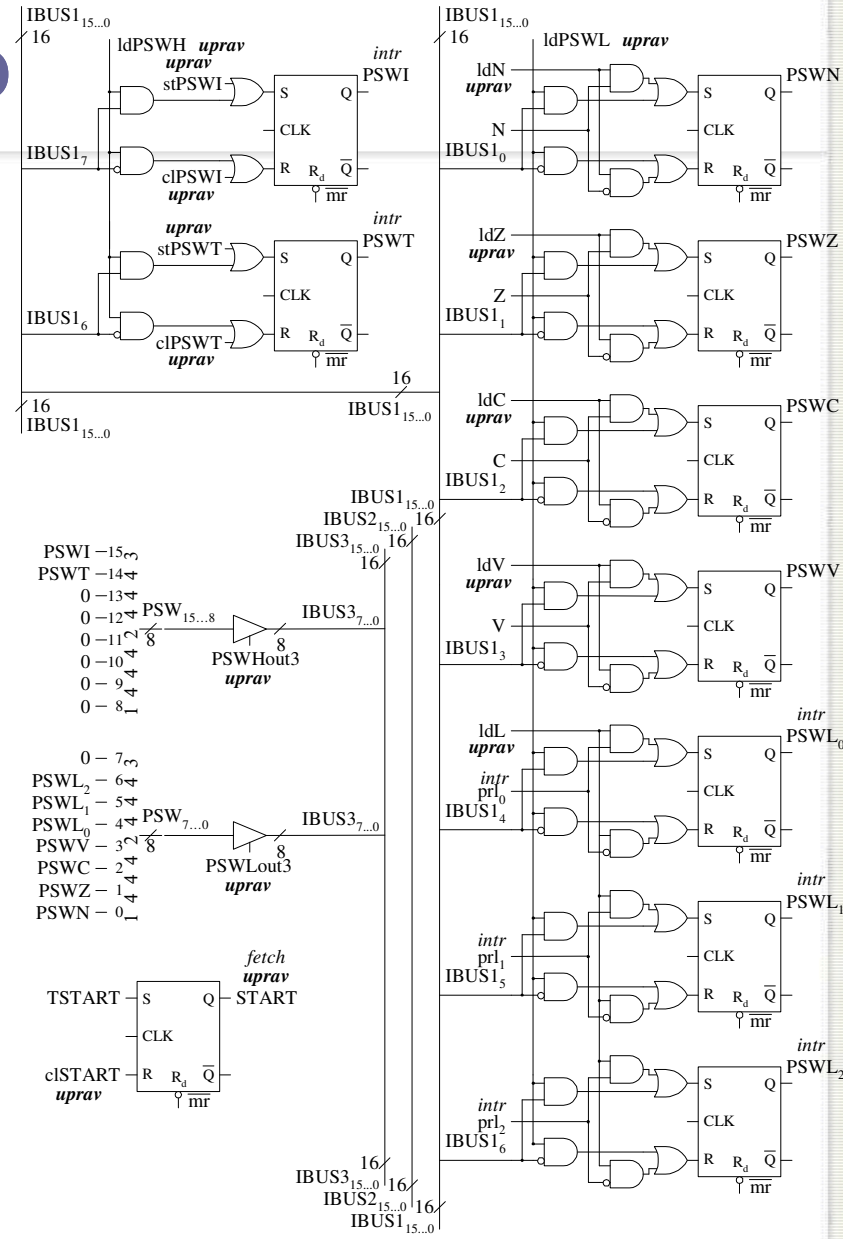


Blok exec – I deo

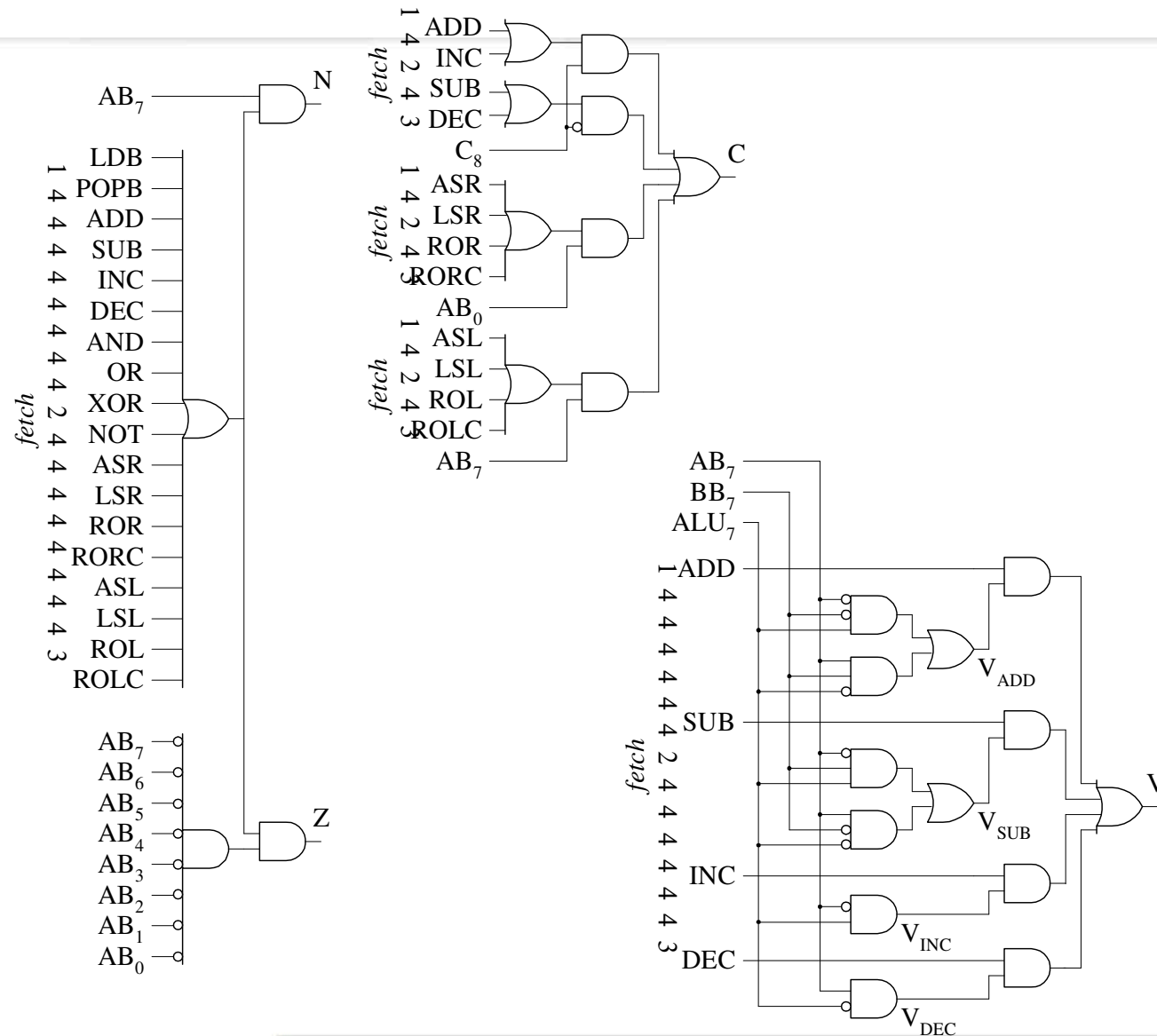
- Registar $AB_{7...0}$ je 8-mo razredni akumulator koji se koristi kao implicitno izvoriste i odredište u aritmetičkim, logičkim i pomeračkim instrukcijama
- Registar $BB_{7...0}$ je 8-mo razredni prihvatni registar u koji se privremeno smešta izvorišni operand specificiran adresnim delom svih instrukcija sa jednoadresnim formatom
- Registar $AW_{15...0}$ je 16-to razredni akumulator koji se koristi kao implicitno izvoriste u instrukcijama prenosa STW, PUSHW, STIVTP, STIMR i STSP i implicitno odredište u instrukcijama prenosa LDW, POPW, LDIVTP, LDIMR i LDSP
- Registar $BW_{15...0}$ je 16-to razredni prihvatni registar u koji se privremeno smešta izvorišni operand specificiran adresnim delom instrukcije prenosa LDW



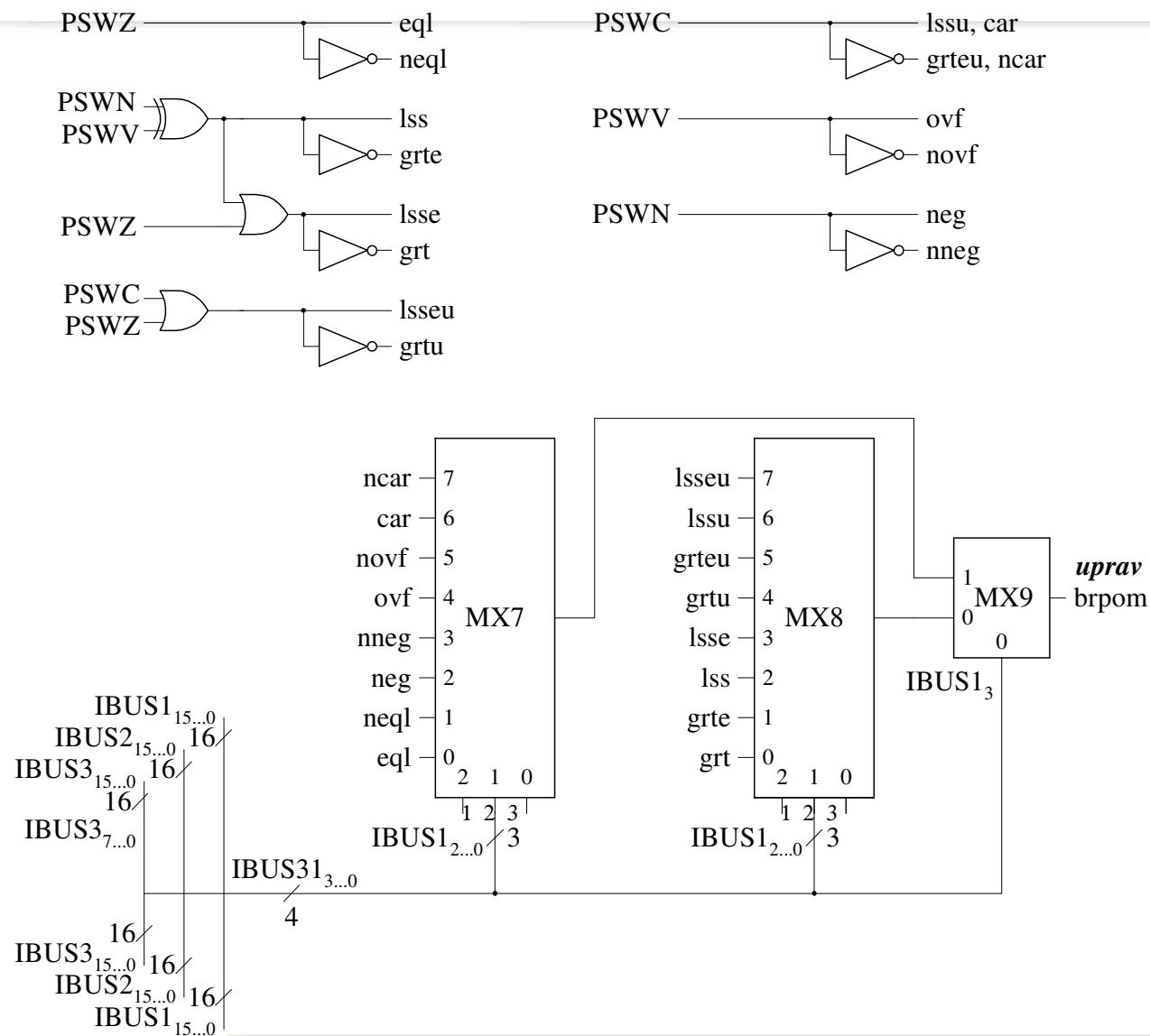
Blok exec – II deo



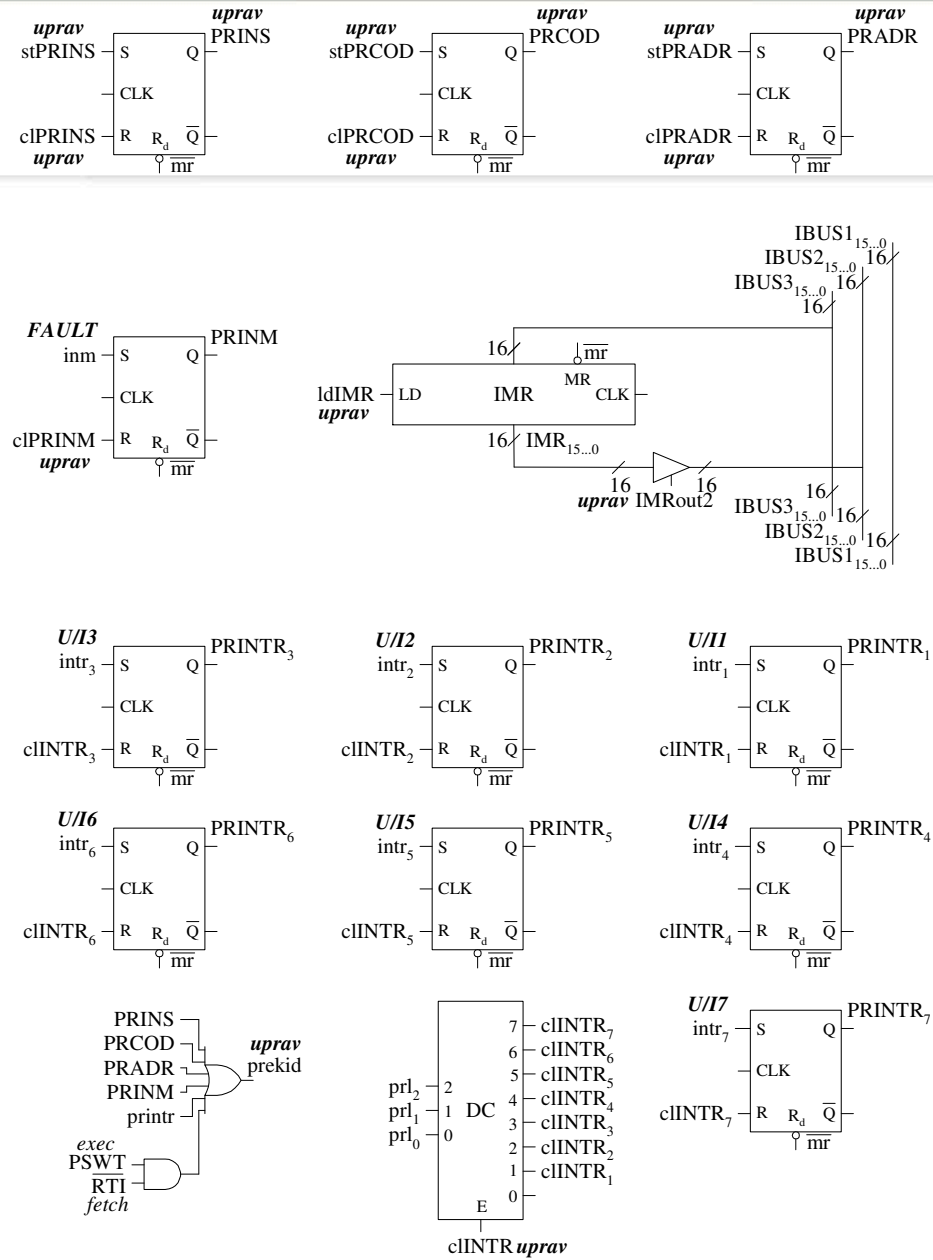
Blok exec – III deo



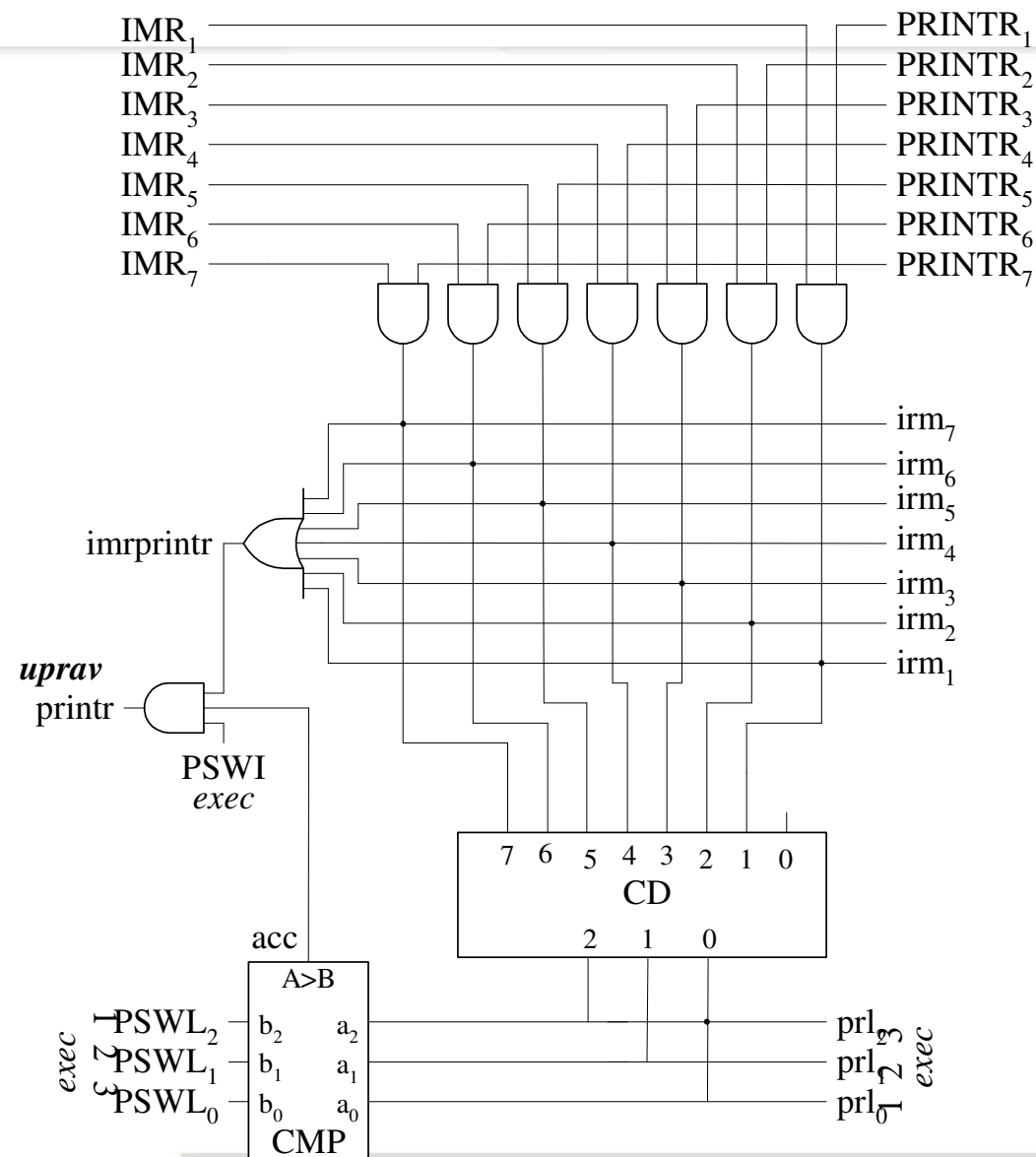
Blok exec – IV deo



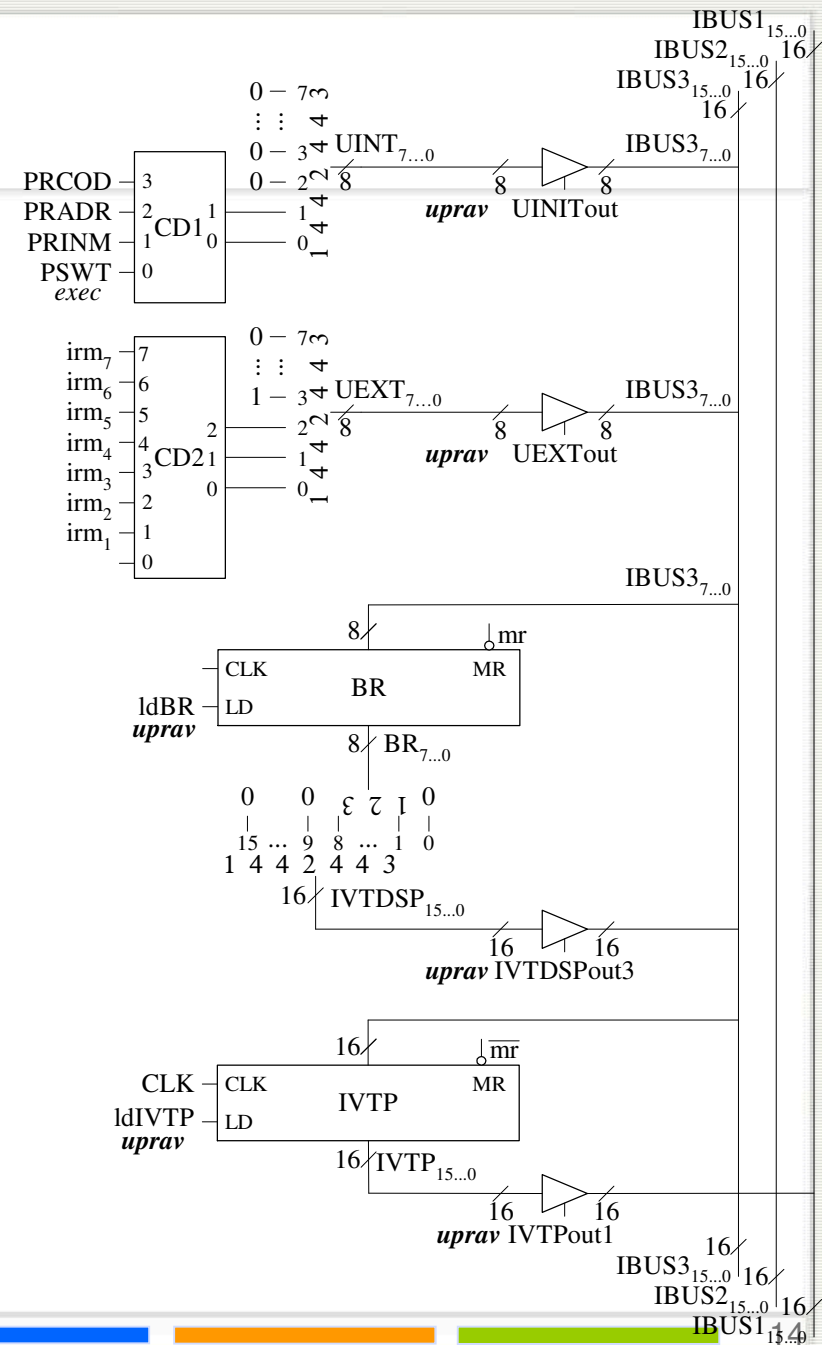
Blok intr – I deo



Blok intr – II deo

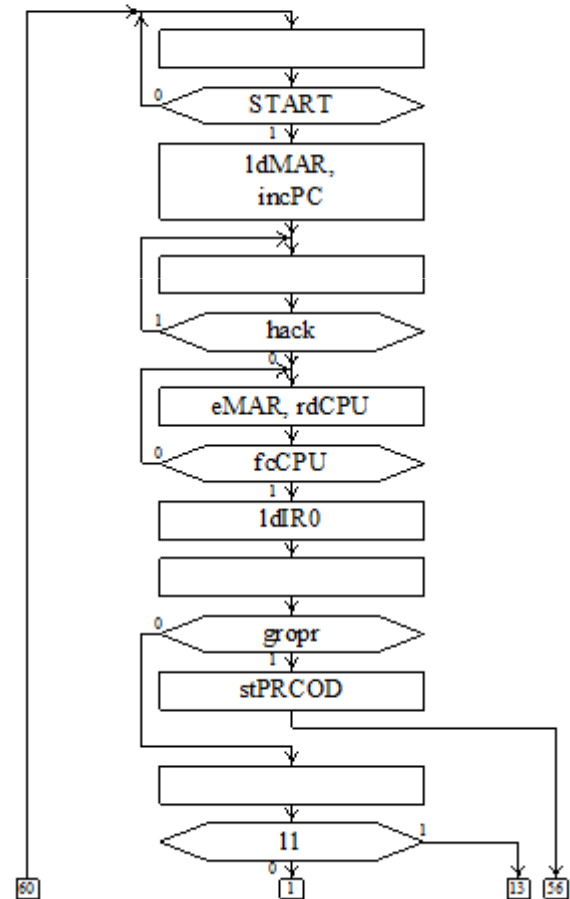
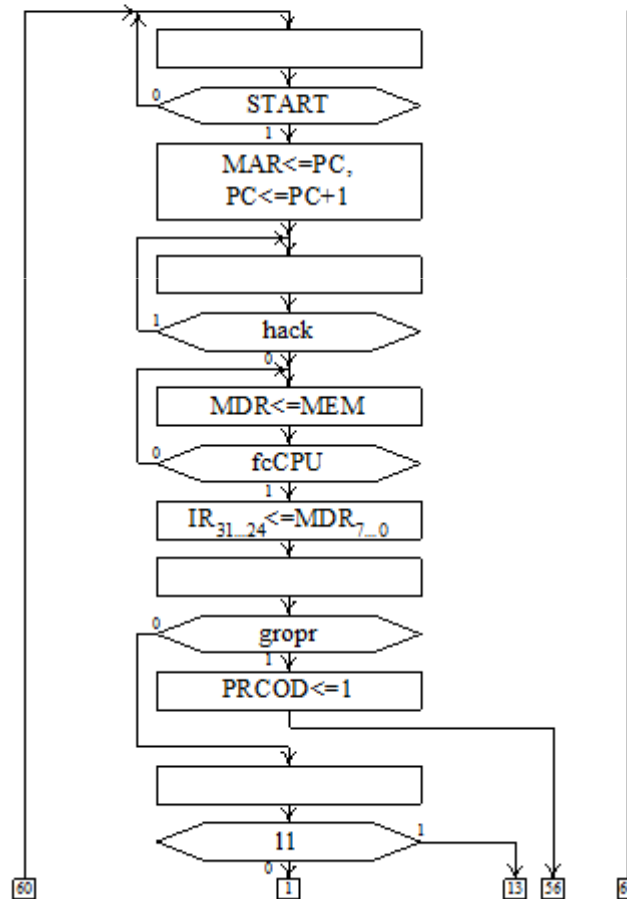


Blok intr – III deo

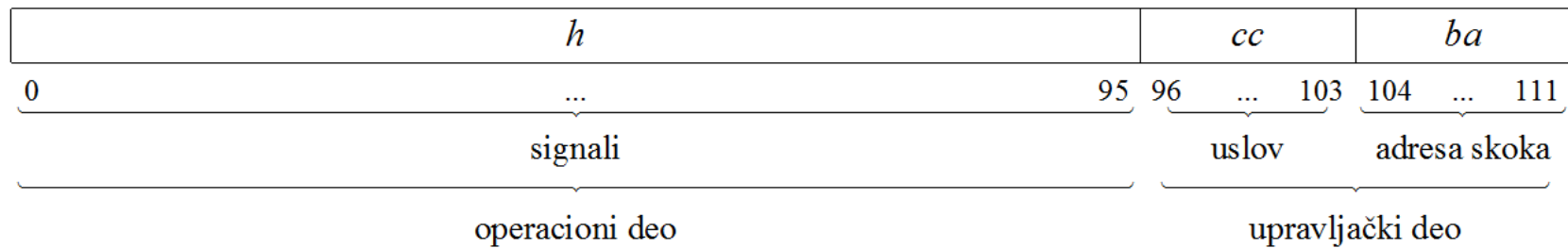


Algoritam generisanja upravljačkih signala

step₀₁ ldMAR, incPC;
 step₀₂ br (if hack then step₀₂);
 step₀₃ eMAR, rdCPU,
 br (if fcCPU then step₀₃);
 step₀₄ ldIR0;
 step₀₅ br (if gropr then step₀₇);
 step₀₆ stPRCOD, br step₀₀;
 step₀₇ br (if 11 then step₅₀);



Struktura upravljačke jedinice - format mikroinstrukcije



**Struktura
upravljačke
jedinice -
bitovi polja *h*
i upravljački
signali
operacione
jedinice**

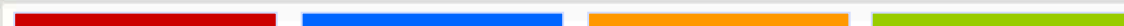
<i>h</i> _{0...95}	signal	<i>h</i> _{0...95}	signal	<i>h</i> _{0...95}	signal
0	-	32	PCout1	64	ldZ
1	MOST1_2	33	ldIR0	65	ldC
2	MOST1_3	34	ldIR1	66	ldV
3	MOST2_1	35	ldIR2	67	ldL
4	MOST3_2	36	ldIR3	68	stPSWI
5	rdCPU	37	IRPOMout3	69	clPSWI
6	wrCPU	38	IRJAout2	70	stPSWT
7	ldMDR	39	IRDAout3	71	clPSWT
8	mxMDR	40	IRBRNout3	72	PSWHout3
9	MDRout1	41	add	73	PSWLout3
10	eMDR	42	sub	74	clSTART
11	ldMAR	43	inc	75	ldIMR
12	incMAR	44	dec	76	IMRout2
13	eMAR	45	and	77	ldBR
14	ldDWL	46	or	78	IVTDSPout1
15	ldDWH	47	xor	79	ldIVTP
16	DWout2	48	not	80	IVTPout3
17	wrGPR	49	ALUout1	81	UINTout3
18	GPRout1	50	ldAB	82	UEXTout3
19	ldGPRAR	51	ABout3	83	stPRCOD
20	incGPRAR	52	shr	84	stPRADR
21	ldSP	53	shl	85	stPRINS
22	SPout2	54	ldBB	86	clPRCOD
23	incSP	55	BBout2	87	clPRADR
24	decSP	56	ldAW	88	clPRINS
25	ldCW	57	AWout3	89	clPRINM
26	CWout3	58	AWHout3	90	clINTR
27	ADDout2	59	ldBW	91	-
28	ldPC	60	BWout2	92	-
29	incPC	61	ldPSWH	93	-
30	PCHout3	62	ldPSWL	94	-
31	PCLout3	63	ldN	95	-

Struktura upravljačke jedinice

$CC96...103$	signal bezuslovnog skoka
01	bruncnd

$CC96...103$	signal uslovnog skoka	signal uslova		$CC96...103$	signal uslovnog skoka	signal uslova
02	brnotSTART	$\overline{\text{START}}$		0C	brstore	store
03	brhack	hack		0D	brLDW	LDW
04	brnotfcCPU	$\overline{\text{fcCPU}}$		0E	brregdir	regdir
05	brnotgropr	$\overline{\text{gropr}}$		0F	brnotbrpom	$\overline{\text{brprom}}$
06	brl1	I1		10	brnotPREKID	$\overline{\text{prekid}}$
07	brnotgradr	$\overline{\text{gradr}}$		11	brnotPRINS	$\overline{\text{PRINS}}$
08	brl2_branch	l2_branch		12	brnotPRCOD	$\overline{\text{PRCOD}}$
09	brl2_arlog	l2_arlog		13	brnotPRADR	$\overline{\text{PRADR}}$
0A	brl3_jump	l3_jump		14	brnotPRINM	$\overline{\text{PRINM}}$
0B	brl3_arlog	l3_arlog		15	brnotprintr	$\overline{\text{printr}}$

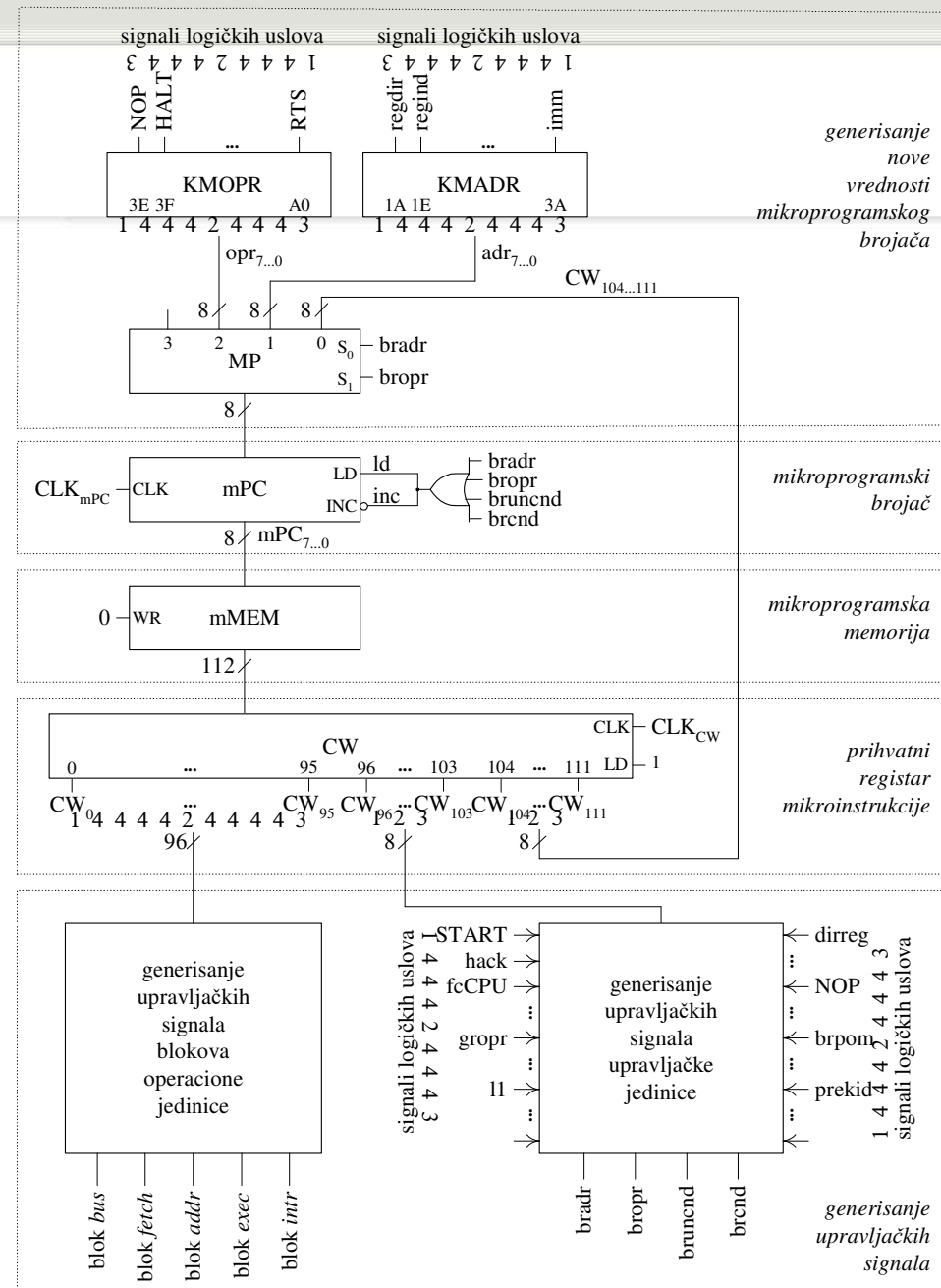
$CC96...103$	step _i	signal
16	step ₁₉	bradr
17	step _{3D}	bropr



Mikroprogram

!Čitanje instrukcije!															
00	0000	0000	0000	0000	0000	0000	0000	0000	0000	02	00	!brnotSTART, maddr ₀₀ !			
01	4010	0000	4800	0000	0000	0000	0000	0000	0000	00	00	!PCout1, MOST1_2, ldMAR, incPC!			
02	0000	0000	0000	0000	0000	0000	0000	0000	0000	03	02	!brhack, maddr ₀₂ !			
03	0404	0000	0000	0000	0000	0000	0000	0000	0000	04	03	!eMAR, rdCPU, brnotfcCPU, maddr ₀₃ !			
04	0040	0000	0400	0000	0000	0000	0000	0000	0000	00	00	!MDRout1, ldIR0!			
05	0000	0000	0000	0000	0000	0000	0000	0000	0000	05	07	!brnotgropr, maddr ₀₇ !			
06	0000	0000	0000	0000	0000	0000	0000	1000	0000	01	A9	!stPRCOD, bruncnd, maddr _{A9} !			
07	0000	0000	0000	0000	0000	0000	0000	0000	0000	06	3D	!brl1, maddr _{3D} !			
08	4010	0000	4800	0000	0000	0000	0000	0000	0000	00	00	!PCout1, MOST1_2, ldMAR, incPC!			
09	0000	0000	0000	0000	0000	0000	0000	0000	0000	03	09	!brhack, maddr ₀₉ !			
0A	0404	0000	0000	0000	0000	0000	0000	0000	0000	04	0A	!eMAR, rdCPU, brnotfcCPU, maddr _{0A} !			
0B	2040	1000	0200	0000	0000	0000	0000	0000	0000	00	00	!MDRout1, MOST1_3, ldIR1, ldGPRAR!			
0C	0000	0000	0000	0000	0000	0000	0000	0000	0000	07	0E	!brnotgradr, maddr _{0E} !			
0D	0000	0000	0000	0000	0000	0000	0000	0800	0000	01	A9	!stPRADR, bruncnd, maddr _{A9} !			
0E	0000	0000	0000	0000	0000	0000	0000	0000	0000	08	3D	!brl2_brnch, maddr _{3D} !			
0F	0000	0000	0000	0000	0000	0000	0000	0000	0000	09	19	!brl2_arlog, maddr ₁₉ !			
10	4010	0000	4800	0000	0000	0000	0000	0000	0000	00	00	!PCout1, MOST1_2, ldMAR, incPC!			
11	0000	0000	0000	0000	0000	0000	0000	0000	0000	03	11	!brhack, maddr ₁₁ !			
12	0404	0000	0000	0000	0000	0000	0000	0000	0000	04	12	!eMAR, rdCPU, brnotfcCPU, maddr ₁₂ !			
13	0040	0000	0100	0000	0000	0000	0000	0000	0000	0A	3D	!MDRout1, ldIR2, brl3_jump, maddr _{3D} !			
14	0000	0000	0000	0000	0000	0000	0000	0000	0000	0B	19	!brl3_arlog, maddr ₁₉ !			
15	4010	0000	4800	0000	0000	0000	0000	0000	0000	00	00	!PCout1, MOST1_2, ldMAR, incPC!			
16	0000	0000	0000	0000	0000	0000	0000	0000	0000	03	16	!brhack, maddr ₁₆ !			
17	0404	0000	0000	0000	0000	0000	0000	0000	0000	04	17	!eMAR, rdCPU, brnotfcCPU, maddr ₁₇ !			
18	0040	0000	0080	0000	0000	0000	0000	0000	0000	00	00	!MDRout1, ldIR3!			

Struktura upravljačke jedinice



Pitanja?

Elektrotehnički Fakultet
Univerzitet u Beogradu

