

Arquitectura de 32 bits

El procesador de RISC de 32 bits está basado en microcontroladores que tienen restricciones en la ejecución de ciclos, carga y almacenamiento de la memoria permitiendo la capacidad de operar buses de instrucción de 32 bits e incluso de 64 bits para tener las instrucciones en un solo ciclo de reloj. Se utiliza tener el rendimiento necesario en la ejecución de diversas tareas, en el ámbito de sistemas embebidos y IoT (Internet de las cosas) [1].

Las maquinas que contaban con procesadores de 32 bits trabajaban mejor que una de 16 bits con una ventaja de funcionalidad del doble de rápido y con el aumento del ancho de datos de 16 y 32 bits, abriendo nuevas áreas de aplicaciones como el movimiento de estructuras de datos grandes o gráficos con un mayor alcance, los cálculos complejos todo esto requiriendo más tiempo y esfuerzo a diferencia de un procesador de 16 bits [2].

Arquitectura x86

La arquitectura de x86 fue una gran evolución que marcaba paso a la arquitectura de 32 bits y con ello la aparición del procesador Intel 80386 en el año del 1985, también conocido como i386 o x86-32. Después AMD amplio esta arquitectura de 32 bits a una de 64 bits dando paso a procesadores x86-64 manteniendo la compatibilidad con los modos de x86 de 16 y 32 bits, permitiendo la ejecución de programas de ambas arquitecturas [3].

VAX-11/780

El primer miniordenador VAX-11/780 (Virtual Address Extended PDP-11) contaba con un procesador de 32 bits y apareció por primera vez en el año de 1977 con una arquitectura CISC y un sistema operativo OpenVMS, siendo algo novedoso para la época revolucionando los sistemas de gestión de memoria virtual y de clúster [4].



Registros

La arquitectura RISC tiene un tipo de registro general con un aumento de longitud del opcode el cual permite la utilización de 6 bits para definir una instrucción, por lo que se puede realizar hasta 63 instrucciones [2].

Registro de Flags

Los registros de Flags (Banderas) están presente en la arquitectura de 32 bits en el momento que se ejecuta una instrucción. La salida de la ALU genera un subproceso que evalúa los cambios de registros de banderas que usa 5 bits de los 32 bits disponibles banderas [2].

Instrucciones

La arquitectura MIPS de 32 bits esta diseñada con una serie de instrucciones complejas de comparación teniendo 3 tipos de codificaciones de instrucciones:

- Codificación tipo R: La ALU opera solo con registros fuente y destino. Los 5 bits del 10 al 6 contienen la cantidad de desplazamiento.
- Codificación tipo I: Las operaciones de la ALU se realizan sobre un dato de registro fuente y un dato inmediato.
- Codificación tipo J Se utiliza para instrucciones de salto que cambian el flujo de ejecución de las instrucciones, llevando la secuencia del programa a la dirección de memoria especificada [2].

BIBLIOGRAFÍA

- [1] D. V. Soundari, M. K. S. Ganesh, I. Raman, and R. Karthick, "Enhancing network-on-chip performance by 32-bit RISC processor based on power and area efficiency," in *Materials Today: Proceedings*, Elsevier Ltd, 2021, pp. 2713–2720. doi: 10.1016/j.matpr.2020.11.550.
- [2] A. Kulshreshtha, A. Moudgil, A. Chaurasia, and B. Bhushan, "Analysis of 16-Bit and 32-Bit RISC Processors," in *2021 7th International Conference on Advanced Computing and Communication Systems, ICACCS 2021*, Institute of Electrical and Electronics Engineers Inc., Mar. 2021, pp. 1318–1324. doi: 10.1109/ICACCS51430.2021.9441873.
- [3] M. A. Colombani, J. M. Ruiz, A. G. Delduca, and M. A. Falappa, "Herramientas de software para dar soporte en la enseñanza y aprendizaje de la arquitectura x86," 2020.
- [4] M. R. Abeilhé, "Curiosidades sobre la historia de los microprocesadores," Mar. 2022.