

Arquitectura de 16 bits

El procesador de 16 bits basado en la arquitectura de Harvard, RISC (Reduced Instruction Set Computing), de la cual cuenta con 5 bloques lógicos que son la unidad de control, el Contador de programa (PC), Unidad Aritmética (ALU), Unidad de ejecución y la unidad de memoria.

Obteniendo la dirección de la instrucción de la memoria, por lo que si no se ejecuta la primera instrucción no se cargará la segunda lo que recude mayor parte del consumo de energía ideal para tener un equilibrio entre la carga y el almacenamiento de los datos.[1]

Familia PDP-11

El avance de miniordenadores a miniordenadores potenciados con microprocesadores propios, se enfoco en la Familia PDP-11, a fines de la década de los 60. Digital organizó dos grupos de desarrollo para que presentaran cada cual un proyecto de familia de minicomputadoras para la década siguiente.

El proyecto seleccionado fue el de la Familia de PDP-11. Minicomputadoras de palabras de 16 bits. El segundo equipo se encargo de Digital y creó la compañía Data Genera con la Familia que denomino Eclipse. La Familia PDP-11 descansaba sobre un bus asíncrono denominado UNIBUS que les permitía a los dispositivos enviar, recibir e intercambiar datos sin la necesidad de dar un paso intermedio por la memoria en protocolo maestro/esclavo con 16 líneas de datos más 2 de paridad, 18 líneas de direcciones y otras de control.

La CPU era de características CISC contenía 6 registros de propósito general de 16 bits R0 a R7, del cual R5 tenía la palabra de estado del sistema o PSW, R6 contenía el Snack Point o puntero de pila, R7 era el contador de programa o PC. La CPU resistía un conjunto de instrucciones altamente ortogonal, con ocho modos de direccionamiento.[2]



Figura 1. Familia PDP-11

Registro de Banderas:

Los registros de banderas están disponibles también en los procesadores RISC de 16 bits, pero el alcance y uso son limitados debido a cálculos más simples y el conjunto de instrucciones limitado. Cuando se ejecuta cualquier instrucción, la salida de la ALU obtiene un subproducto que se puede evaluar mediante los cambios en el Registro de Banderas. Se utilizan 5 bits de un total de 32 bits.[3]

4	3	2	1	0
CF	ACF	SF	ZF	PF

Figura 1. Registro de Banderas

Eficiencia total

El DSP de 16 bits presenta mejoras notables en los parámetros de retardo y consumo de energía en comparación del procesador actual. La reducción del retardo lógico y la de retardo total en el procesador propuesto implica un aumento bastante considerable en la velocidad y de la eficiencia del procesamiento, la cual lo convierte en una excelente opción para las aplicaciones en tiempo real. Además, de la disminución del consumo dinámico de energía y de la energía total en chip se destaca una mayor eficiencia energética, lo cual podría ayudar a conducir al ahorro de energía. Estos resultados resaltan las ventajas de adoptar el procesador propuesto para las tareas de procesamiento de señales en tiempo real.[1]

Bibliografía:

- [1] M. Bharathi, K. Mohanarangam, Y. J. M Shirur, and J. R. Choi, "Accelerating DSP Applications on a 16-Bit Processor: Block RAM Integration and Distributed Arithmetic Approach," *Electronics (Switzerland)*, vol. 12, no. 20, Oct. 2023, doi: 10.3390/electronics12204236.
- [2] M. R. Abeilhé, "Curiosidades sobre la historia de los microprocesadores," 2021.
- [3] A. Kulshreshtha, A. Moudgil, A. Chaurasia, and B. Bhushan, "Analysis of 16-Bit and 32-Bit RISC Processors," in *2021 7th International Conference on Advanced Computing and Communication Systems, ICACCS 2021*, Institute of Electrical and Electronics Engineers Inc., Mar. 2021, pp. 1318–1324. doi: 10.1109/ICACCS51430.2021.9441873.