

UNIVERSIDAD TÉCNICA ESTATAL DE QUEVEDO



**CIENCIAS DE LA INGENIERÍA
INGENIERÍA EN SOFTWARE ECUADOR**

Arquitectura de las computadoras INTEL

AUTORES:

**FUERTES ARRAES EDSON DANIEL
LLERENA ABRIL ANGELINA JULEXY
SABANDO TOAQUIZA INGRID ANDREINA
VACA ROMERO DAVID OCTAVIO**

DOCENTES:

ING. GUERRERO ULLOA GLEISTON CICERON

CURSO/PARALELO:

SEGUNDO SOFTWARE “B”

SPA 2025 – 2026

1. Introducción

La evolución de los procesadores ha sido un pilar fundamental en el desarrollo de la computación moderna. Este documento investigativo explora las arquitecturas de los procesadores de IBM e Intel, desde sus inicios con diseños de 4 bits hasta los modelos actuales de 64 bits, analizando sus registros y conjuntos de instrucciones clave para comprender su impacto en el rendimiento y la compatibilidad de sistemas.

2. Arquitecturas de 4 y 8 bits

Los microprocesadores de 4 y 8 bits fueron las primeras generaciones en ser utilizadas considerablemente en la historia de la informática.

La particularidad de estas arquitecturas consiste en manejar datos pequeños, lo que simplifica el hardware y permite que la arquitectura sea simple. Resultan adecuados para sistemas integrados, calculadoras o computadoras personales.

En una arquitectura de 8 bits, el tamaño de palabra, los registros y el bus de datos son de 8 bits, lo que permite realizar directamente operaciones sobre un byte de información. Las instrucciones están adaptadas a este tamaño, y es así como se describe tanto la codificación como la ejecución de instrucciones [1].

2.1. Intel 4004

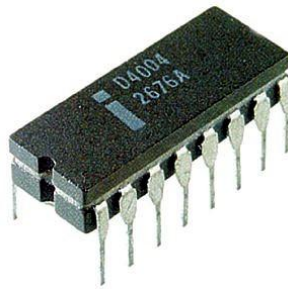


Figura 1 Intel 4004

Como se observa en la Figura 1, el Intel 4004 fue el primer microprocesador comercial, lanzado en 1971. Se diseñó inicialmente para calculadoras, las cuales dieron inicio al desarrollo posterior de procesadores más complejos.

Características:

- Tenía 2300 transistores y operaba a una frecuencia de reloj de 740 kHz.
- Ejecutaba alrededor de 92600 instrucciones por segundo.
- Su arquitectura era de 4 bits [2].

2.2. Intel 8008

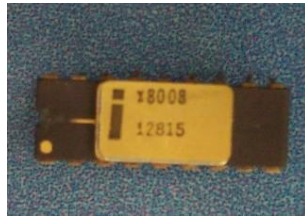


Figura 2 Intel 8008

Como se observa en la Figura 2, el Intel 8008 fue uno de los primeros microprocesadores de 8 bits creados después del Intel 4004. Se lanzó en 1972 y representó un avance significativo hacia microprocesadores más flexibles.

Características:

- Su arquitectura era de 8 bits
- Podía direccionar hasta 16 KB de memoria
- Fue diseñado inicialmente para terminales de computadoras.
- Abrió el camino al desarrollo de Intel 8080.

2.3. Intel 8080

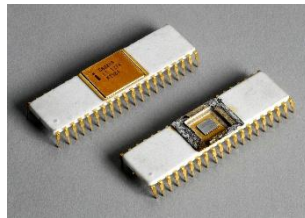


Figura 3 Intel 8080

Como se observa en la Figura 3, el Intel 8080 se lanzó en 1974 y fue el primer microprocesador de propósito general con éxito comercial.

Características:

- Su arquitectura era de 8 bits y más potente que el 8008.
- Permitió la creación de computadoras como la Altair 8800.
- Se contenía en un solo chip y costaba alrededor de 360 dólares [3].

2.4. Registros simples

Los microprocesadores de 4 y 8 bits manejan una estructura de registros reducida pero eficiente. Entre los más comunes se encuentran:

A y B	Acumuladores	Utilizados para almacenar temporalmente datos y resultados de operaciones
X e Y	índice o desplazamiento	Empleados para direccionamiento indexado o relativo.
PC	Program Counter	Indica la dirección de la siguiente instrucción a ejecutar.
SP	Stack Pointer	Gestiona la pila en llamadas a subrutinas e interrupciones.
PSW	Program Status Word	Almacena las banderas de estado como cero, acarreo, negativo, etc.

2.5. Conjunto de instrucciones básicos.

El conjunto de instrucciones (ISA) de estos procesadores incluye operaciones aritméticas, lógicas, de transferencia, de salto y de control. Estas instrucciones se codifican en binario, dividiéndose en campos que definen el tipo de operación, los registros implicados y los modos de direccionamiento [1]. Entre las más comunes están:

Instrucción	Descripción
LDA #\$10	Cargar el valor 10 hexadecimal al acumulador.
ADD A,B	Sumar el contenido del acumulador A y el registro B.

JMP \$2000	Saltar a la dirección de memoria 2000h.
NOP	Instrucción nula, sin efecto, usada para sincronización o depuración.

3. Arquitectura de 16 bits

El procesador de 16 bits basado en la arquitectura de Harvard, RISC (Reduced Instruction Set Computing), de la cual cuenta con 5 bloques lógicos que son la unidad de control, el Contador de programa (PC), Unidad Aritmética (ALU), Unidad de ejecución y la unidad de memoria.

Obteniendo la dirección de la instrucción de la memoria, por lo que si no se ejecuta la primera instrucción no se cargará la segunda lo que recude mayor parte del consumo de energía ideal para tener un equilibrio entre la carga y el almacenamiento de los datos [4].

3.1. Familia PDP-11

El avance de miniordenadores a miniordenadores potenciados con microprocesadores propios, se enfocó en la Familia PDP-11, a fines de la década de los 60. Digital organizó dos grupos de desarrollo para que presentaran cada cual un proyecto de familia de minicomputadoras para la década siguiente.

El proyecto seleccionado fue el de la Familia de PDP-11. Minicomputadoras de palabras de 16 bits. El segundo equipo se encargó de Digital y creó la compañía Data Genera con la Familia que denomino Eclipse. La Familia PDP-11 descansaba sobre un bus asíncrono denominado UNIBUS que les permitía a los dispositivos enviar, recibir e intercambiar datos sin la necesidad de dar un paso intermedio por la memoria en protocolo maestro/esclavo con 16 líneas de datos más 2 de paridad, 18 líneas de direcciones y otras de control.

La CPU era de características CISC contenía 6 registros de propósito general de 16 bits R0 a R7, del cual R5 tenía la palabra de estado del sistema o PSW, R6 contenía el Snack Point o puntero de pila, R7 era el contador de programa o PC. La CPU resistía un conjunto de instrucciones altamente ortogonal, con ocho modos de direccionamiento.



Figura 1. Familia PDP-11

3.2. Registro de Banderas

Los registros de banderas están disponibles también en los procesadores RISC de 16 bits, pero el alcance y uso son limitados debido a cálculos más simples y el conjunto de instrucciones limitado. Cuando se ejecuta cualquier instrucción, la salida de la ALU obtiene un subproducto que se puede evaluar mediante los cambios en el Registro de Banderas. Se utilizan 5 bits de un total de 32 bits [5].

4	3	2	1	0
CF	ACF	SF	ZF	PF

Figura 4. Registro de Banderas

3.3. Eficiencia total

El DSP de 16 bits presenta mejoras notables en los parámetros de retardo y consumo de energía en comparación del procesador actual. La reducción del retardo lógico y la de retardo total en el procesador propuesto implica un aumento bastante considerable en la velocidad y de la eficiencia del procesamiento, la cual lo convierte en una excelente opción para las aplicaciones en tiempo real. Además, de la disminución del consumo dinámico de energía y de la energía total en chip se destaca una mayor eficiencia

energética, lo cual podría ayudar a conducir al ahorro de energía. Estos resultados resaltan las ventajas de adoptar el procesador propuesto para las tareas de procesamiento de señales en tiempo real [4].

4. Arquitectura de 32 bits

El procesador de RISC de 32 bits está basado en microcontroladores que tienen restricciones en la ejecución de ciclos, carga y almacenamiento de la memoria permitiendo la capacidad de operar buses de instrucción de 32 bits e incluso de 64 bits para tener las instrucciones en un solo ciclo de reloj. Se utiliza tener el rendimiento necesario en la ejecución de diversas tareas, en el ámbito de sistemas embebidos y IoT (Internet de las cosas) [6].

Las máquinas que contaban con procesadores de 32 bits trabajaban mejor que una de 16 bits con una ventaja de funcionalidad del doble de rápido y con el aumento del ancho de datos de 16 y 32 bits, abriendo nuevas áreas de aplicaciones como el movimiento de estructuras de datos grandes o gráficos con un mayor alcance, los cálculos complejos todo esto requiriendo más tiempo y esfuerzo a diferencia de un procesador de 16 bits [7].

4.1. Arquitectura x86

La arquitectura de x86 fue una gran evolución que marcaba paso a la arquitectura de 32 bits y con ello la aparición del procesador Intel 80386 en el año del 1985, también conocido como i386 o x86-32. Después AMD amplió esta arquitectura de 32 bits a una de 64 bits dando paso a procesadores x86-64 manteniendo la compatibilidad con los modos de x86 de 16 y 32 bits, permitiendo la ejecución de programas de ambas arquitecturas [8].

4.2. VAX-11/780

El primer miniordenador VAX-11/780 (Virtual Address Extended PDP-11) contaba con un procesador de 32 bits y apareció por primera vez en el año de 1977 con una arquitectura CISC y un sistema operativo OpenVMS, siendo algo novedoso para la época revolucionando los sistemas de gestión de memoria virtual y de clúster [9].



4.3. Registros

La arquitectura RISC tiene un tipo de registro general con un aumento de longitud del opcode el cual permite la utilización de 6 bits para definir una instrucción, por lo que se puede realizar hasta 63 instrucciones [7].

4.4. Registro de Flags

Los registros de Flags (Banderas) están presente en la arquitectura de 32 bits en el momento que se ejecuta una instrucción. La salida de la ALU genera un subproceso que evalúa los cambios de registros de banderas que usa 5 bits de los 32 bits disponibles banderas [7].

4.5. Instrucciones

La arquitectura MIPS de 32 bits está diseñada con una serie de instrucciones complejas de comparación teniendo 3 tipos de codificaciones de instrucciones:

- Codificación tipo R: La ALU opera solo con registros fuente y destino. Los 5 bits del 10 al 6 contienen la cantidad de desplazamiento.
- Codificación tipo I: Las operaciones de la ALU se realizan sobre un dato de registro fuente y un dato inmediato.
- Codificación tipo J Se utiliza para instrucciones de salto que cambian el flujo de ejecución de las instrucciones, llevando la secuencia del programa a la dirección de memoria especificada [7].

5. Arquitectura de 64 bits

Que un procesador sea de 64 bits significa que tiene registros, buses y direcciones de memoria de esa misma arquitectura, es decir, de 64 bits. Esto permite procesar más datos y acceder tanto a memoria virtual como física. La arquitectura de 64 bits puede

direccionar hasta 2^{64} posiciones de memoria (18,446,744,073,709,551,616), lo que equivale a 16 exabytes teóricos. Además, permite instrucciones de mayor complejidad y un mayor ancho de banda en el manejo de datos. También mejora la eficiencia en operaciones aritméticas y en el procesamiento de grandes volúmenes de información [10].

5.1. Intel 64

La arquitectura x86 fue, históricamente, la más usada en computadoras de escritorio y servidores a nivel global. Su origen se remonta al procesador Intel 8086, lanzado en 1978, el cual introdujo la arquitectura de 16 bits. Posteriormente, esta evolucionó hacia los 32 bits con la salida del Intel 80386 en 1985. Más adelante, AMD extendió esta arquitectura a 64 bits, innovando con AMD64. Como Intel era su competencia, tuvo que adaptarse a estos cambios, dando origen a su propia versión llamada Intel64 en el año 2004 [11].

Estos procesadores de 64 bits no solo permiten ejecutar aplicaciones actuales, sino que también conservan la compatibilidad con las arquitecturas anteriores de 16 y 32 bits. Esto ha sido esencial para preservar la inversión en sistemas operativos y software desarrollados para arquitecturas previas. Por estas razones, el estudio de la arquitectura x64 sigue siendo fundamental hasta la actualidad en asignaturas como Arquitectura de Computadoras.

5.2. Intel i3

El 7 de enero de 2010, Intel lanzó su línea de procesadores i3, los cuales contaban con doble núcleo y un procesador gráfico integrado (GPU). Este procesador gráfico se llamaba Intel HD y funcionaba a 733 MHz, con 4 MB de caché, y también era de 64 bits [12].

En la figura se observa el Inter Core i3.



Figura 5 Intel Core i3

5.3. Intel i5

El procesador i5 tiene dos núcleos; a diferencia de la versión de cuatro núcleos, estos están orientados a la sección de escritorio y son de gama media. Funciona a una velocidad de 2.66 GHz, lo que permite tener mayor potencia. Además, cuenta con soporte para memorias DDR3 en dual-channel. Esta generación de procesadores reduce el consumo de energía y asigna automáticamente la capacidad de proceso donde más se requiere, permitiendo a los usuarios realizar múltiples tareas a la vez.

En la figura se observa el Inter Core i5.



Figura 6 Intel Core i5

5.4. IBM

El tres de mayo de 1994, IBM presentó las versiones 3.05 y 3.1 del sistema operativo, junto con una nueva generación de computadoras, los IBM AS/400, como reemplazo del IBM System/36. Estos incluían un procesador llamado RISC de 64 bits, el cual era más potente y estaba basado en la arquitectura PowerPC.[13].

En la figura se observa la IBM AS/400.



Figura 7 IBM AS/400

5.5. Registros

Las arquitecturas CISC y RISC representan un reto en la contabilidad de los sistemas actuales. Las arquitecturas CISC cuentan con métodos complejos y pueden realizar varias operaciones en una sola línea de código. La arquitectura RISC, en cambio, utiliza instrucciones simples y uniformes, diseñadas para ser más eficientes y veloces en su ejecución [14].

5.5.1. Registros de propósito general (gr0–gr127)

Este tipo de registros almacena datos usados en operaciones enteras y todas las instrucciones pueden acceder a ellos. Tienen un bit especial llamado NaT, el cual indica errores por ejecución especulativa. El registro gr0 vale cero en todas las ocasiones. Los registros gr32–gr127 forman la pila de registros, que se usa para guardar variables locales y valores de salida [15].

5.5.2. Registros de punto flotante (fr0–fr127)

Este tipo de registros se utiliza en operaciones con números decimales. Están disponibles en todos los niveles de privilegio. Los registros fr0 y fr1 tienen valores fijos (+0.0 y +1.0) y no se pueden modificar.

5.6. Instrucciones

La arquitectura RISC-V fue diseñada como una alternativa a arquitecturas anteriores como MIPS, SPARC o ARM. Por lo tanto, logró superar las limitaciones que dificultaban su uso en el área académica y su posterior comercialización. Además, estas arquitecturas eran muy complejas, lo que elevaba los costos de su implementación en hardware. Por esta razón, RISC-V se concibió como un conjunto de instrucciones modular, permitiendo crear procesadores enfocados o más simples. A continuación, se detallan las extensiones [15].

Extensión	Descripción
I	Es el núcleo básico: contiene las instrucciones mínimas que todo procesador RISC-V necesita para funcionar.
M	Añade instrucciones para hacer multiplicaciones y divisiones con números enteros.

A	Permite realizar operaciones seguras cuando varios procesos acceden a la memoria al mismo tiempo. Muy útil en programación paralela o concurrente.
F	Permite trabajar con números decimales (coma flotante) de precisión simple (como los float en programación). Agrega 32 nuevos registros especiales para esos cálculos.
D	Extiende lo anterior para trabajar con decimales de mayor precisión (doble precisión, como los double). Usa registros de 64 bits.
Q	Amplía aún más para usar números decimales súper precisos (cuádruple precisión, 128 bits). Muy raro de usar, pero útil en ciencia o simulaciones avanzadas.
C	Comprime las instrucciones para que ocupen menos espacio en memoria (usa solo 16 bits por instrucción). Ideal para sistemas pequeños o embebidos.
Zicsr	Permite controlar y leer registros especiales del sistema, como contadores de tiempo o configuraciones internas.
Zifencei	Se asegura de que las instrucciones recién escritas en memoria estén listas para ser ejecutadas, útil cuando el código se modifica mientras corre.

6. Conclusión

El estudio de las arquitecturas de IBM e Intel revela una clara tendencia hacia la eficiencia, escalabilidad y compatibilidad. La transición de 4 a 64 bits no solo representó un avance técnico, sino también una necesidad para satisfacer las crecientes demandas del software. Los registros y conjuntos de instrucciones han sido elementos centrales en esta evolución, marcando la diferencia en el diseño y funcionalidad de cada generación de procesadores.

7. Bibliografía

- [1] P. Darche, *Microprocessor 4: Core Concepts – Software Aspects*. Londres: Wiley, 2020. doi: 10.1002/9781119801979.
- [2] F. H. Khan, M. A. Pasha, and S. Masud, “Advancements in Microprocessor Architecture for Ubiquitous AI—An Overview on History, Evolution, and Upcoming Challenges in AI Implementation,” *Micromachines (Basel)*, vol. 12, no. 6, p. 665, Jun. 2021, doi: 10.3390/mi12060665.
- [3] G. O'Regan, *A Brief History of Computing*, 3rd ed. Cham: Springer International Publishing, 2021. doi: 10.1007/978-3-030-66599-9.
- [4] M. Bharathi, K. Mohanarangam, Y. J. M. Shirur, and J. R. Choi, “Accelerating DSP Applications on a 16-Bit Processor: Block RAM Integration and Distributed Arithmetic Approach,” *Electronics (Switzerland)*, vol. 12, no. 20, Oct. 2023, doi: 10.3390/electronics12204236.
- [5] A. Kulshreshtha, A. Moudgil, A. Chaurasia, and B. Bhushan, “Analysis of 16-Bit and 32-Bit RISC Processors,” in *2021 7th International Conference on Advanced Computing and Communication Systems, ICACCS 2021*, Institute of Electrical and Electronics Engineers Inc., Mar. 2021, pp. 1318–1324. doi: 10.1109/ICACCS51430.2021.9441873.
- [6] D. V. Soundari, M. K. S. Ganesh, I. Raman, and R. Karthick, “Enhancing network-on-chip performance by 32-bit RISC processor based on power and area efficiency,” in *Materials Today: Proceedings*, Elsevier Ltd, 2021, pp. 2713–2720. doi: 10.1016/j.matpr.2020.11.550.
- [7] A. Kulshreshtha, A. Moudgil, A. Chaurasia, and B. Bhushan, “Analysis of 16-Bit and 32-Bit RISC Processors,” in *2021 7th International Conference on Advanced Computing and Communication Systems, ICACCS 2021*, Institute of Electrical and Electronics Engineers Inc., Mar. 2021, pp. 1318–1324. doi: 10.1109/ICACCS51430.2021.9441873.
- [8] M. A. Colombani, J. M. Ruiz, A. G. Delduca, and M. A. Falappa, “Herramientas de software para dar soporte en la enseñanza y aprendizaje de la arquitectura x86,” 2020.

- [9] M. R. Abeilhé, “Curiosidades sobre la historia de los microprocesadores,” Mar. 2022.
- [10] M. Albert, O. Gerard, and E. Manonellas, “Programación en ensamblador (x86-64),” 2020. Accessed: May 27, 2025. [Online]. Available: https://openaccess.uoc.edu/bitstream/10609/79526/8/Estructura%20de%20computadores_M%C3%B3dulo%206_Programaci%C3%B3n%20en%20ensamblador%20%28x86-64%29.pdf
- [11] M. A. Colombani, J. M. Ruiz, A. G. Delduca, and M. A. Falappa, “Herramientas de software para dar soporte en la enseñanza y aprendizaje de la arquitectura x86,” 2020. Accessed: May 27, 2025. [Online]. Available: https://sedici.unlp.edu.ar/bitstream/handle/10915/139908/Documento_completo.pdf-PDFA.pdf?sequence=1&isAllowed=y
- [12] S. Itzel and O. Cruz, “Comparación de la arquitectura de microprocesadores Intel y AMD,” 2020. Accessed: May 27, 2025. [Online]. Available: <https://acortar.link/sIb8Le>
- [13] T. Fin, D. E. Grado, and R. M. Ortiz, “Arqueología informática: Análisis histórico y crítico de la serie de computadores IBM AS/400,” Oct. 2020. Accessed: May 27, 2025. [Online]. Available: <https://core.ac.uk/download/pdf/335618406.pdf>
- [14] B. Xie *et al.*, “An Instruction Inflation Analyzing Framework for Dynamic Binary Translators,” *ACM Transactions on Architecture and Code Optimization*, vol. 21, no. 2, pp. 1–25, Jun. 2024, doi: 10.1145/3640813.
- [15] J. Sanchis, “Analizador de gadgets ROP para la arquitectura RISC-V,” Valencia, 2022. Accessed: May 27, 2025. [Online]. Available: <https://jcomes.org/wp-content/uploads/2024/04/TFG.pdf>

8. Anexos

8.1. Git-Hub

<https://github.com/MiloSaurio4kHD/ArquitecturaGrupoA/tree/main/GrupoA>

8.2. Evidencias de envío

