

逻辑分析仪基础知识

入门手册

目录

引言.....	3 – 4	逻辑分析仪测量实例.....	16 – 20
起源.....	3	进行通用定时测量.....	16
数字示波器.....	3	检测和显示间歇性毛刺.....	17
逻辑分析仪.....	4	捕获建立时间和保持时间违规.....	18
逻辑分析仪操作.....	5 – 13	使用跳变存储最大限度地提高可用记录长度.....	19
连接被测系统.....	5	逻辑分析仪应用实例.....	20 – 26
探头.....	5	FPGA.....	20
设置逻辑分析仪.....	7	存储器.....	23
设置时钟模式.....	7	信号完整性.....	23
设置触发.....	7	串行数据.....	24
采集状态数据和定时数据.....	8	小结.....	26
同时采集状态数据和定时数据.....	8	术语表.....	27 – 30
实时采集存储器.....	9		
模数集成调试工具.....	11		
分析和显示结果.....	12		
波形显示.....	12		
列表显示.....	12		
自动测量.....	13		
性能指标和考虑因素.....	14 – 15		
定时采集速率.....	14		
状态采集速率.....	14		
MagniVu采集速率.....	14		
记录长度.....	14		
通道数量和模块化.....	15		
触发.....	15		
探测.....	15		

引言

与许多电子测试和测量工具一样,逻辑分析仪是一种针对特定类型问题的解决方案。它是一种通用工具,可以帮助您调试数字硬件、检验设计和调试嵌入式软件。对设计数字电路的工程师来说,逻辑分析仪是一种不可或缺的工具。

逻辑分析仪用于涉及大量信号或挑战性触发要求的数字测量。

我们将首先考察数字示波器及逻辑分析仪的演进。然后,我们将介绍基本逻辑分析仪的构成要素。在有了这些基础知识后,我们将介绍逻辑分析仪有哪些重要功能,及其为什么在为特定应用选择适当工具时发挥重要作用。

起源

逻辑分析仪几乎是与最早上市的商用微处理器同时演进的。基于这些新器件设计系统的工程师们很快发现,调试微处理器设计要求的输入数量超出了示波器能够提供的数量。

逻辑分析仪拥有多个输入,解决了这个问题。这些仪器的采集速率和通道数量稳步提高,以跟上数字技术的快速发展步伐。逻辑分析仪是数字系统开发的关键工具。

示波器和逻辑分析仪之间有许多类似之处和差异。为更好地了解这两种仪器怎样满足各自的应用需求,有必要比较一下它们的功能。

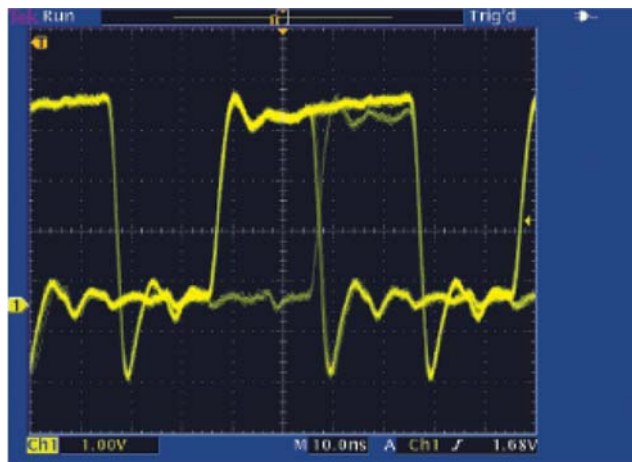


图 1. 示波器详细揭示信号幅度、上升时间及其它模拟特点。

数字示波器

数字示波器是观察通用信号的基本工具。其高采样率和带宽,使其能够捕获一个时间跨度中的许多数据点,可以测量信号跳变(边沿)、瞬态事件及小的时间增量。

示波器当然也能像逻辑分析仪一样查看数字信号,但大多数示波器用户主要考察模拟指标,如上升时间和下降时间、峰值幅度及边沿间的时间。

看一下图 1 中的波形,可以看出示波器的优势。尽管这个波形是从数字电路中获得的,但它揭示了信号的模拟特点,所有这些特点都影响信号执行功能的能力。这里,示波器捕获了详细的信息,揭示了振铃、过冲、上升沿滚降及定期出现的其它异常事件。

什么时候应该使用示波器？

如果需要一次测量许多信号的“模拟”特点，那么数字示波器是最高效的解决方案。在您需要了解特定的信号幅度、功率、电流或相位值或上升时间等边沿指标时，应选择使用示波器。

在下述情况下使用数字示波器：

- 在检验模拟器件和数字器件期间，检定信号完整性(如上升时间、过冲和振铃)
- 一次在最多四个信号上检定信号稳定性(如抖动和抖动频谱)
- 测量信号边沿和电压，评估定时余量，如建立时间/保持时间、传播延迟
- 检测瞬态问题，如毛刺、欠幅脉冲、亚稳定跳变
- 一次在多个信号上测量幅度和定时参数

借助示波器的内置工具，如光标和自动测量，可以简便地追踪可能影响设计的信号完整性问题。此外，定时测量如传播延迟和建立时间和保持时间都首选使用示波器。当然，有许多纯模拟信号，麦克风或数模转换器输出，必须使用记录模拟细节的仪器查看这些信号。

示波器一般有最多四条输入通道。在您需要同时测量五个数字信号，或需要测量采用32位数据总线和64位地址总线的数字系统时，会发生什么情况呢？这就需要

什么时候应该使用逻辑分析仪？

逻辑分析仪特别适合检验和调试数字设计。逻辑分析仪检验数字电路正常工作，帮助您调试出现的问题。逻辑分析仪一次捕获和显示多个信号，分析信号之间的定时关系。为调试难检的间歇性问题，某些逻辑分析仪可以检测毛刺及建立时间和保持时间违规。在软件/硬件集成过程中，逻辑分析仪追踪嵌入式软件的执行情况，分析程序的执行效率。某些逻辑分析仪把源代码与设计中的特定硬件活动关联起来。

在下述情况下使用逻辑分析仪：

- 需要调试和检验数字系统操作时
- 需要同时追踪和关联多个数字信号时
- 需要检测和分析总线上的定时违规和瞬态事件时
- 需要追踪嵌入式软件执行情况时

要一种拥有得多得多输入的工具 – 逻辑分析仪。

逻辑分析仪

逻辑分析仪拥有与示波器不同的功能。这两种仪器之间最明显的差异是通道(输入)数量。普通数字示波器拥有最多四个信号输入。逻辑分析仪一般拥有34–136条通道。每条通道输入一个数字信号。某些复杂的系统设计需要几千条输入通道。也可以使用近似规模的逻辑分析仪完成这些任务。

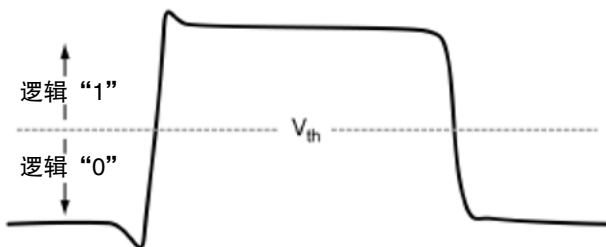


图 2. 逻辑分析仪确定相对于门限电压电平的逻辑值。

逻辑分析仪测量和分析信号的方式不同于示波器。逻辑分析仪不测量模拟细节，而是检测逻辑门限电平。在把逻辑分析仪连接到数字电路上时，您只关心信号的逻辑状态。逻辑分析仪只查找两种逻辑电平，如图 2 所示。

在输入高于门限电压(V_{th})时，电平称为“高”或“1”；相反，当电平低于 V_{th} 时，则称为“低”或“0”。在逻辑分析仪对输入采样时，它根据相对于电压门限的信号电平，来存储“1”或“0”。

逻辑分析仪的波形定时显示与产品技术资料或仿真器生成的定时图类似。所有信号都实现时间相关，因此可以查看建立时间和保持时间、脉宽、外来数据或丢失数据。除通道数量高外，逻辑分析仪提供了支持数字设计检验和调试的重要功能，包括：

- 完善的触发功能，允许指定逻辑分析仪在什么条件下采集数据
- 高密度探头和适配器，简化与被测系统(SUT)的连接
- 分析功能，把捕获的数据转换成处理器指令，把其与源代码关联起来

逻辑分析仪操作

逻辑分析仪连接、采集和分析数字信号。使用逻辑分析仪分成四步，如图 3 所示。

- 1 连接
- 2 设置
- 3 采集
- 4 分析

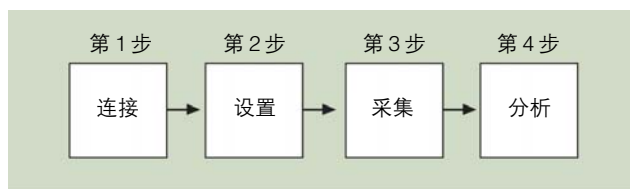


图 3. 简化的逻辑分析仪操作。

连接被测系统

探头

逻辑分析仪一次可以捕获大量的信号，这是其较示波器的主要优势。采集探头连接到 SUT 上。探头在内部比较器上，把输入电压与门限电压(V_{th})进行比较，作出与信号逻辑状态(1 或 0)有关的决策。门限值由用户设置，范围为 TTL 电平到 CMOS、ECL 和用户自定义门限。

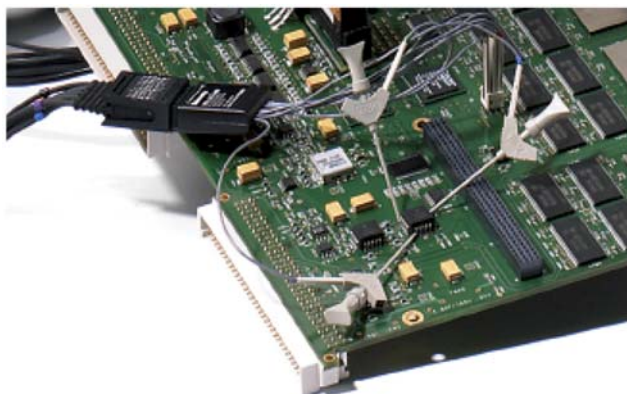


图 4. 通用探头。



图 5. 高密度多通道逻辑分析仪探头。



图 6. D-Max™ 无连接器分析仪探头。

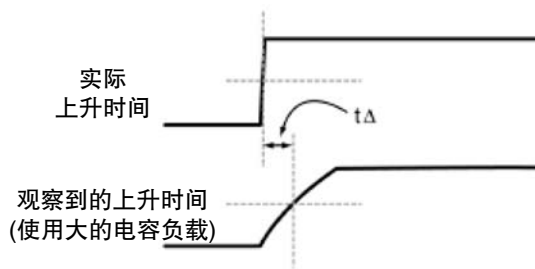


图7. 逻辑分析仪探头阻抗可能会影响信号上升时间和测量定时关系。

逻辑分析仪探头分成许多物理形式：

- 通用探头，带有“飞线束”，用于点到点调试，如图 4。
- 高密度多通道探头，在电路板上要求专用连接器，如图 5。探头能够采集高质量信号，对 SUT 的影响最小。
- 使用无连接器探头的高密度压缩探头的连接方式如图 6 所示。这种探头建议用于要求更高信号密度或无连接器探头连接机制的应用，以迅速可靠地连接被测系统。

逻辑分析仪探头阻抗(电容、电阻和电感)成为被测电路上整体负荷的一部分。所有探头都表现出负荷特点。逻辑分析仪探头给 SUT 引入的负荷应达到最小，并为逻辑分析仪提供准确的信号。

探头电容一般会“滚降”信号跳变边沿，如图 7 所示。这种滚降会降慢边沿跳变，下降的时间用“ t_{Δ} ”表示，如图 7 所示。为什么电容这么重要呢？因为边沿越慢，越过电路逻辑门限的时间越晚，进而会在 SUT 中引入定时误差。随着时钟速率提高，这个问题会变得更加严重。

在高速系统中，探头电容过高可能会使 SUT 不能运行！应一直选择总电容最低的探头。还应指出的是，探头夹和引线束会提高其连接的电路上的电容负荷。应尽可能使用正确补偿的适配器。

设置逻辑分析仪

设置时钟模式

时钟模式选择

逻辑分析仪是为从多引脚器件和总线中捕获数据设计的。“捕获速率”指输入采样的频次，其功能与示波器中的时基相同。注意在描述逻辑分析仪操作时，“采样”、“采集”和“捕获”通常会互换使用。

数据采集或时钟模式分成两类：

定时采集模式捕获信号定时信息。在这种模式下，使用逻辑分析仪内部时钟对数据采样。数据采样速度越快，测量分辨率越高。目标设备和逻辑分析仪采集的数据之间没有固定的定时关系。这种采集模式主要用于 SUT 信号之间定时关系至关重要的情况。

状态采集模式用来采集 SUT 的“状态”。来自 SUT 的信号定义采样点(采集数据的时间和频次)。为采集输入时钟使用的信号可以是系统时钟、总线上的控制信号或导致 SUT 改变状态的信号。它在活动边沿上采样数据，在逻辑信号稳定时表示 SUT 的情况。逻辑分析仪在且只在选择的信号有效时采样。这里不关心时钟事件之间发生的情况。

怎样确定使用哪类采集呢？这要看您怎样查看数据。如果想捕获一长串定时细节记录，那么应使用定时采集或内部(或异步)时钟。

您也可能想在 SUT 看到时采集数据。在这种情况下，应选择状态(同步)采集。在状态采集中，将在列表窗口中顺序显示 SUT 的每个连续状态。状态采集使用的外部时钟信号可以是任何相关信号。

时钟模式设置技巧

在设置逻辑分析仪采集数据时，可以遵循一些通用的指导准则：

1. **定时(异步)采集**：采样时钟速率在确定采集分辨率中发挥着重要作用。任何测量的定时精度总是一个采样间隔加上制造商指定的其它误差。例如，在采样时钟速率是 2 ns 时，新的数据样点会每隔 2 ns 存储到采集存储器中。直到下一个采样时钟时，才会捕获该采样时钟后变化的数据。由于不知道这 2 ns 中数据变化的确切时间，因此净分辨率是 2 ns。
2. **状态(同步)采集**：在采集状态信息时，与任何同步设备一样，逻辑分析仪必须在采样时钟前和采样时钟后，在输入上存在稳定的数据，以保证捕获正确的数据。

设置触发

触发是逻辑分析仪区别于示波器的另一种功能。示波器有触发功能，但其对二进制条件的反应能力相对有限。相比之下，逻辑分析仪可以评估各种逻辑(布尔)条件，确定逻辑分析仪什么时候触发。触发的目的是选择逻辑分析仪捕获哪些数据。逻辑分析仪可以追踪 SUT 逻辑状态，在 SUT 中发生用户自定义事件时触发。

在讨论逻辑分析仪时，必需了解“事件”一词。它有多层意思：它可以是一条信号线路上的简单跳变，可以是故意跳变或无意跳变。如果您正在查找毛刺，那么这是感兴趣的“事件”。事件可以是特定信号(如 Increment 或 Enable)变得有效的时间。事件还可以是整个总线中多个信号跳变组合导致的指定逻辑条件。但要注意，在所有情况下，事件都是信号从一个周期变到下个周期时出现的某种东西。

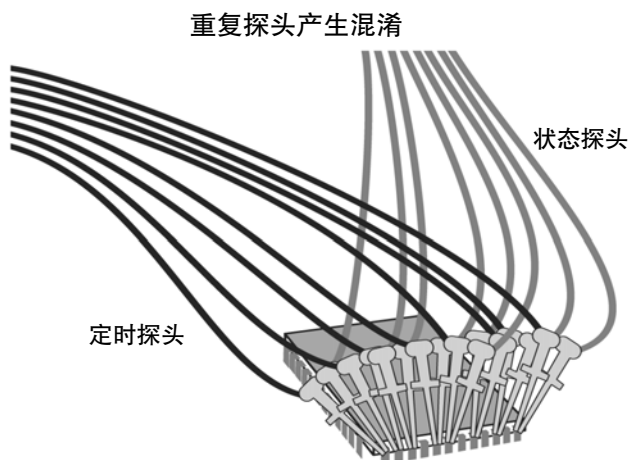


图8. 重复探测要求每个测试点上有两个探头,降低了测量质量。

可以使用许多条件,触发逻辑分析仪。

例如,逻辑分析仪可以识别总线或计数器输出上的特定二进制值。其它触发选择包括:

- 字: 用二进制、十六进制等定义的特定逻辑码型
- 范围: 在低值和高值之间发生的多个事件
- 计数器: 计数器追踪的用户编程的事件数量
- 信号: 外部信号, 如系统复位
- 毛刺: 采集之间发生的脉冲
- 定时器: 定时器追踪的两个事件之间的时间或单个事件的时间周期
- 模拟: 使用示波器触发模拟特点, 交叉触发逻辑分析仪

在提供所有这些触发条件时,可以使用广义的状态问题搜索,然后用日益明确的触发条件提炼搜索,追踪系统错误。

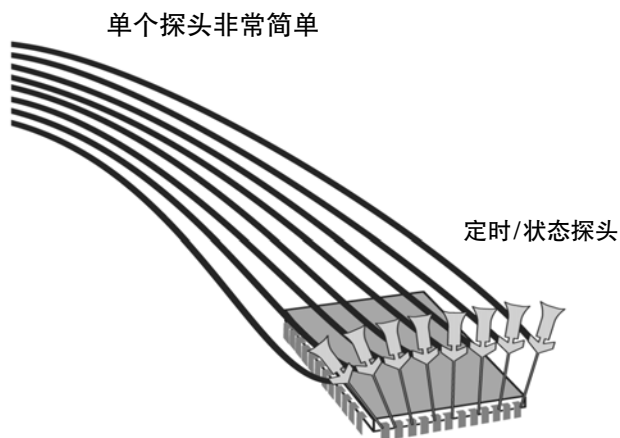


图9. 同步探测通过同一只探头提供状态采集和定时采集,实现了更简单、更干净的测量环境。

采集状态和定时数据

同时采集状态数据和定时数据

在硬件和软件调试(系统集成)过程中,最好拥有相关的状态和定时信息。

问题开始时可能会被检测为总线上的无效状态。这可能是由建立时间和保持时间违规等问题引起的。如果逻辑分析仪不能同时捕获定时数据和状态数据,那么隔离问题将变得很难,而且会耗费很长时间。

某些逻辑分析仪要求连接一只单独的定时探头,来采集定时信息,并使用单独的采集硬件。这些仪器要求一次在SUT上连接两只探头,如图8所示。一只探头把SUT连接到定时模块上,第二只探头把相同的测试点连接到状态模块上。这称为“双重探测”。这种配置可能会损害信号的阻抗环境。一次使用两只探头会加重信号负担,劣化SUT的上升时间和下降时间、幅度和噪声性能。注意图8是只显示了部分代表性的连接的简化示意图。在实际测量中,可能会连接四条、八条或更多的多导线电缆。

最好通过同一只探头同时采集定时数据和状态数据,如图9所示。一条连接、一个设置和一个采集同时提供定时和状态数据,可以简化到探头的机械连接,减少问题。

在同时采集定时和状态时,逻辑分析仪会捕获同时支持定时分析和状态分析所需的全部信息,而不需要第二步,进而会减少重复探测时可能发生的出错机会和机械损坏。一只探头对电路的影响较低,保证了更准确的测量及对电路操作影响更小。

定时分辨率越高,在设计中可以看到和触发的细节越多,找到问题的机会也就越大。

实时采集存储器

逻辑分析仪存在着探测系统、触发系统和时钟系统,为实时采集存储器提供数据。这个存储器是仪器的核心,其是从SUT中采样的所有数据的目的地,也是所有仪器分析和显示的源头。

逻辑分析仪拥有能够以仪器采样率存储数据的存储器。这个存储器可以视为一个拥有通道宽度和存储深度的矩阵,如图10所示。

仪器会累积所有信号活动的记录,直到触发事件或用户告诉仪器停止采集。其结果即采集,从本质上看,这是一个多通道波形画面,允许您以非常高的定时精度查看已经采集的所有信号的交互情况。

通道数量和存储深度是选择逻辑分析仪的关键因素。下面的部分技巧可以帮助您确定通道数量和存储深度:

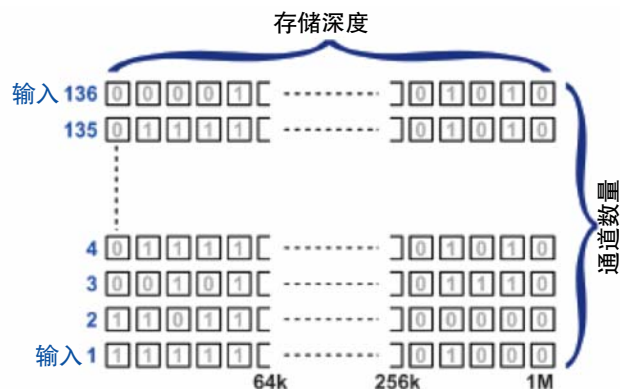


图10. 逻辑分析仪在深存储器中存储采集数据,每个数字输入都有一条全通道提供支持。

■ 您需要捕获和分析多少信号?

逻辑分析仪的通道数量与您想要捕获信号数量直接相关。数字系统总线分成各种宽度,在监测整个总线的同时,通常需要探测其它信号(时钟、启用、等等)。一定要考虑需要同时采集的所有总线和信号。

■ 您需要采集多长“时间”?

这决定着逻辑分析仪的存储深度要求,对定时采集尤为重要。在存储容量一定时,采集总时间随着采样率提高而下降。例如,在采样率为1 ms时,1M存储器中存储的数据时间跨度是1秒。而在采集时钟周期为10 ns时,同样1M存储器的时间跨度仅10 ms。

采集的样点(时间)越多,捕获错误及导致错误的问题的机会越大(参见下面的解释)。

逻辑分析仪对数据连续采样，填充实时采集存储器，根据先进先出原则丢弃溢出的数据，如图 11 所示。因此，一直有实时数据流经存储器。在触发事件发生时，“暂停”流程会开始，在存储器中保留数据。

触发在存储器中的位置非常灵活，允许捕获和考察触发事件前、触发事件后和触发事件周围发生的事件。这是一种重要的调试功能。如果触发征兆(通常是某类错误)，您可以设置逻辑分析仪，存储触发前的数据(触发前数据)，捕获导致征兆的问题。您还可以设置逻辑分析仪，存储触发后特定数量的数据(触发后数据)，查看错误可能会产生哪些后果。还有其它触发位置组合，如图 12 和图 13 所示。

在设置探测、时钟和触发后，逻辑分析仪准备运行。其结果是装满数据的实时采集存储器，可以使用这些数据，通过多种不同方式分析 SUT 中的行为。

逻辑分析仪的主采集存储器存储完善的长信号活动记录。当前某些逻辑分析仪可以以几千兆赫的速率，捕获几百条通道中的数据，在长记录长度中累积结果。这为概括了解长期总线活动提供了理想的解决方案。

显示的每个信号跳变被理解为发生在活动时钟速率确定的采样间隔内的某个地方。捕获的边沿可能发生在前一次采样后几皮秒内，或后一次采样前几皮秒内，或之间的任何地方。因此，采样间隔决定着仪器的分辨率。不断演进的高速计算总线和通信设备正在推动着对逻辑分析仪中更好的定时分辨率的需求。

泰克 MagniVu™ 采集技术是 TLA 系列中的标配功能，可以解决这个挑战。MagniVu 采集技术依赖高速缓冲存储器，在触发点周围以更高的间隔捕获信息。这里，在存储器填充时，新的样点会不断替代最老的样点。每条

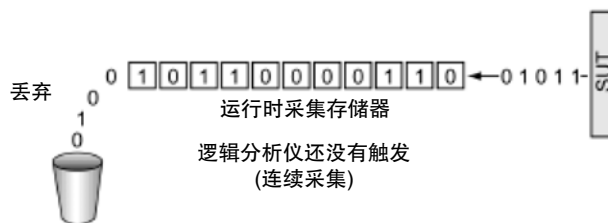


图 11. 逻辑分析仪根据先进先出的原则捕获和丢弃数据，直到发生触发事件。

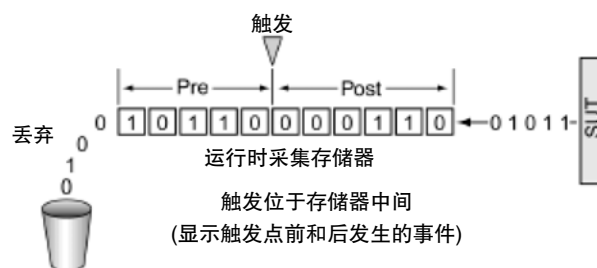


图 12. 捕获触发周围的数据：触发点左面的数据是“触发前”数据，右面的数据是“触发后”数据。触发可以位于存储器 0% – 100% 的任何位置。

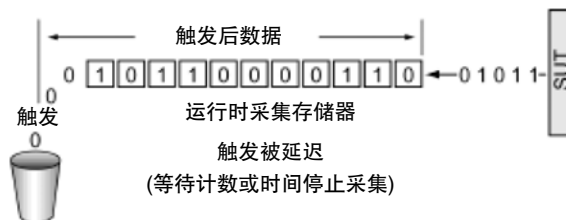


图 13. 捕获触发后特定时间或特定数量的周期发生的数据。

通道都有自己的 MagniVu 缓冲存储器。MagniVu 采集技术保持跳变和事件动态的高分辨率记录，而使用主存储器采集底层的分辨率可能是看不到这些跳变和事件的。

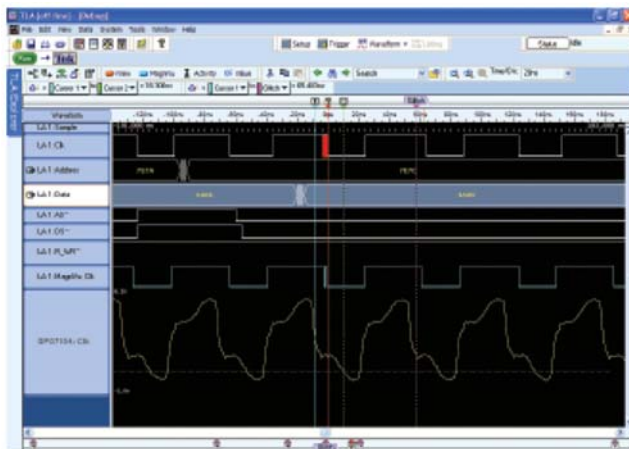


图 14. MagniVu™ 采集显示时钟信号上的毛刺。

TLA系列在检测难检定时错误方面提供了业内领先的能力，如传统逻辑分析仪检测不到的窄毛刺和建立时间/保持时间违规，MagniVu采集则是这种能力的关键。如图14所示，可以在显示屏上查看这个高分辨率记录，其与主存储器中其它定时波形完美地对准。

模拟数字集成调试工具

试图追踪数字错误的设计人员还必须考虑模拟域。在当前系统中，由于快速边沿和数据速率，数字信号底层的模拟特点对系统行为的影响正越来越高，特别是可靠性和可重复性。

信号畸变可能源自模拟域问题，如阻抗不匹配、传输线效应、等等。类似的，信号畸变可能是数字问题的副产品，如建立时间和保持时间违规。数字信号效应和模拟信号效应之间的相互影响非常大。

通常会使用逻辑分析仪，首先检测异常事件及其在数字域中的影响。这种工具可以在长时间跨度中，一次捕获数十条、甚至数百条通道；因此，它是最可能在适当的时间连接到适当的信号的采集仪器。

在发现异常信号后，检定异常信号的任务则由实时示波器来完成。它可以详细采集每个毛刺和跳变，并提供精

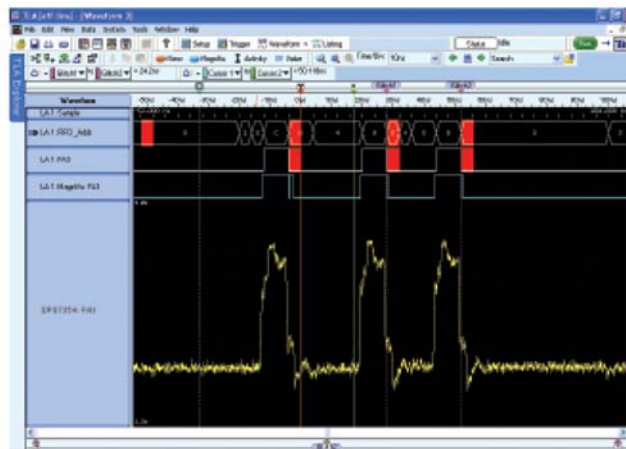


图 15. 异常事件的时间相关模拟数字视图。

确的幅度和定时信息。追踪这些模拟特点通常是解决数字问题最快捷的途径。

高效调试要求能够同时处理数字域和模拟域的工具和方法。捕获这两个域之间的交互，并以模拟形式和数字形式进行显示，是高效调试的关键。

某些现代解决方案，特别是泰克TLA系列逻辑分析仪和DPO系列示波器，包括能够把这两种平台集成在一起的功能。泰克iLink™系列工具使得逻辑分析仪和示波器能够“协作”，共享触发和时间相关显示。

iLink™系列工具由专门设计的多个单元组成，以加快问题检测和调试速度：

- iCapture™ 复用技术，通过一只逻辑分析仪探头同时提供数字采集和模拟采集。
- iView™ 显示技术，在逻辑分析仪显示屏上提供时间相关的逻辑分析仪和示波器集成测量。
- iVerify™ 分析技术，使用示波器生成的眼图，提供多通道总线分析和验证测试。

图15是TLA系列逻辑分析仪上的iView屏幕画面。由于TLA逻辑分析仪与集成的DPO示波器曲线实现了时间相关，因此信号同时以模拟形式和数字形式出现。

分析和显示结果

可以在各种显示模式和分析模式下使用实时采集存储器中存储的数据。在信息存储在系统内部后，可以使用不同格式查看这些信息，如从定时波形直到与源代码相关的指令助记符。

波形显示

波形显示是一种多通道详细视图，允许您查看捕获的所有信号的时间关系，其在很大程度上与示波器的显示画面类似。图 16 是简化的波形显示画面。在这个图示中，已经增加了采样时钟标记，以显示采样的点。

波形显示通常用于定时分析中，其特别适合：

- 诊断 SUT 硬件中的定时问题
- 通过把记录的结果与仿真器的输出或产品技术资料中的定时图进行对比，检验硬件是否正常运行
- 测量硬件定时相关特点：
 - 争用条件
 - 传播延迟
 - 不存在或存在脉冲
- 分析毛刺

列表显示

列表显示以用户选择的字母数字形式提供状态信息。列表中的数据值是从整个总线中捕获的样点中累积的，可以用十六进制或其它格式表示。

想象一下，在一条总线所有波形中获得一个垂直的“片段”，如图 17 所示。通过四位总线的片段代表着实时采集存储器中存储的样点。如图 17 所示，阴影片段中的数字是逻辑分析仪将显示的内容，其一般采用十六进制形式。

列表显示的目的是显示 SUT 的状态。图 18 中的列表显示允许查看信息流程，与 SUT 看到的一模一样，即数据字流。

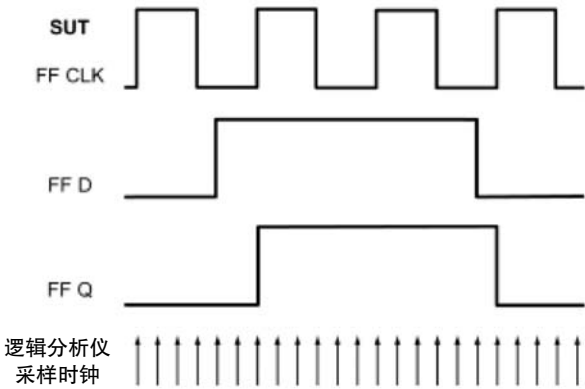


图 16. 逻辑分析仪波形显示(简化图)。

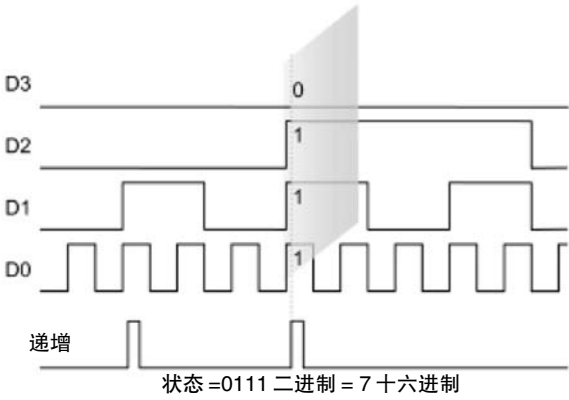


图 17. 在外部时钟信号启动采集时，状态采集捕获总线中的一个数据“片段”。

Sample	Counter	Counter	Timestamp
0	0111	7	0 ps
1	1111	F	114.000 ns
2	0000	0	228.000 ns
3	1000	8	342.000 ns
4	0100	4	457.000 ns
5	1100	C	570.500 ns
6	0010	2	685.000 ns
7	1010	A	799.000 ns

图 18. 列表显示。

状态数据以多种格式显示。实时指令追踪功能反汇编每个总线事务，确定在总线中读取哪些指令。它与相关地址一起，在逻辑分析仪显示画面上放上相应的指令助记符。图 19 是实时指令追踪显示实例。

另一个显示画面—源代码调试显示画面，通过把源代码与指令追踪历史关联起来，使您的调试工作更加高效。它可以立即查看指令执行时实际发生的情况。图 20 是与图 19 实时指令追踪相关的源代码显示画面。

在特定处理器支持套件的帮助下，可以以助记符形式显示状态分析数据，它可以更简便地调试 SUT 中的软件问题。在获得了这些知识后，您可以进入级别较低的状态显示画面(如十六进制显示画面)，或进入定时图显示画面，追踪错误来源。

状态分析应用包括：

- 参数和余量分析(如建立时间和保持时间值)
- 检测建立时间和保持时间违规
- 硬件 / 软件集成和调试
- 状态机调试
- 系统优化
- 追踪整个设计中的数据

自动测量

拖放式自动测量可以在逻辑分析仪采集数据上执行完善的测量。它提供了广泛的可供选择的示波器式测量项目，包括频率、周期、脉宽、占空比和边沿数量。通过提供与非常大的样点总量有关的测量结果，自动测量提供了快速全面的结果。执行测量的过程非常简单：从多栏窗口中出现的一组相关图标中，点击选定的一个测量图标；把图标拖到主窗口中的波形曲线中；放开鼠标键。逻辑分析仪设置测量，执行任何必要的分析步骤(如计算脉宽)，显示结果，如图 21 所示。注意这些步骤完全自动化，您不必再使用以前使用的耗时的手动测量方法。

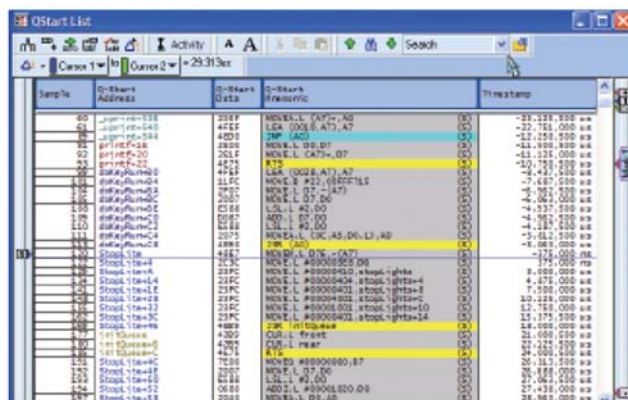


图 19. 实时命令追踪显示画面。

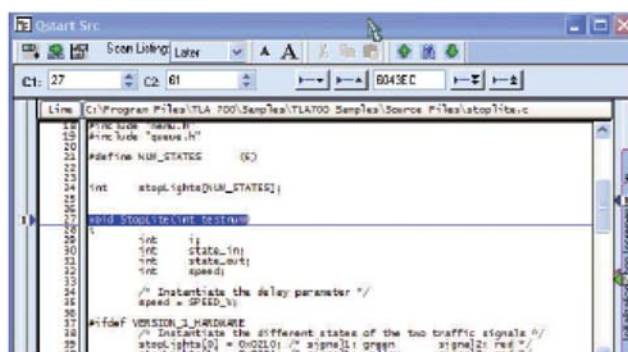


图 20. 源代码显示画面。这个画面中第 27 行与图 19 指令追踪显示画面中第 120 个样点相关。

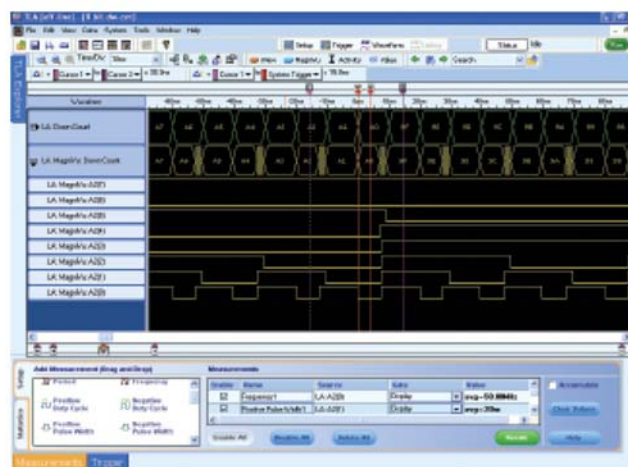


图 21. 自动测量改善了工作效率。

性能指标和考虑因素

逻辑分析仪有许多定量指标表示性能和效率,其中多个指标与采样率有关。这是测量频率轴,与数字荧光示波器(DPO)的带宽类似。某些探测和触发术语对 DPO 用户来说可能也很熟悉,但有许多特点是逻辑分析仪数字域独有的特点。

由于逻辑分析仪并非要捕获和重建模拟信号,因此通道数量和同步(时钟)模式等是关键问题,而垂直精度等模拟因素则退居其次。

下面列出的性能术语和考虑因素参考了泰克最新的 TLA 系列逻辑分析仪,这是一种业内领先的解决方案,满足了最苛刻的数字设计应用需求。

定时采集速率

逻辑分析仪最基本的使命是根据其采集的数据生成定时图。如果 DUT 功能正常,且正确设置采集,那么逻辑分析仪的定时显示几乎与设计仿真器或数据手册中的定时图完全相同。

但是,这个指标取决于逻辑分析仪的分辨率,事实上是逻辑分析仪的采样率。定时采集是异步的,即采样时钟相对于输入信号自由运行。采样率越高,采样精确地检测事件定时的可能性越大,如跳变。

例如,采样频率是 50 GHz 的 TLA 系列逻辑分析仪的分辨率等于 20 ps。因此,定时显示画面在最坏情况下会反映 20 ps 实际边沿内的边沿位置。

状态采集速率

状态采集是同步的。它依赖来自 DUT 的外部触发,为采集提供时钟输入。状态采集旨在帮助工程师追踪处理器和总线的数据流程和程序执行情况。逻辑分析仪如 TLA 系列,可以提供 1.4 GHz 的状态采集频率,在所有通道中支持 180 ps 的建立时间/保持时间窗口,保证准确地捕获数据。

注意,这个频率与逻辑分析仪将监测的总线和 I/O 事务有关,而不是 DUT 的内部时钟速率。尽管设备的内部速率可能在几千兆赫范围内,但其与总线和其它设备的通信速率与逻辑分析仪的状态采集频率处于同一水平。

MagniVu 采集速率

MagniVu 采集适用于定时采集模式或状态采集模式。通过在触发点周围累积额外的样点, MagniVu 采集在所有通道上提供了更高的采样分辨率,可以更简便地找到棘手的问题。其它功能包括可以调节的 MagniVu 采样率、可以移动的触发位置及可以独立于主触发进行触发的单独 MagniVu 触发操作。

记录长度

记录长度是另一个关键的逻辑分析仪指标。能够以采样的数据形式存储更多“时间”的逻辑分析仪非常实用,因为触发采集的症状可能会发生在原因很长时间之后。在较长的记录长度中,通常可以同时捕获和查看症状和原因,大大简化调试过程。

TLA系列逻辑分析仪可以配置各种记录长度。还可以把最多四条通道的存储器连接起来，使可用深度提高四倍。这提供了一种手段，可以在需要时构建大规模记录长度，从较小的、成本较低的配置中获得长记录长度的性能。

通道数量和模块化

逻辑分析仪的通道数量是其为整个系统中宽总线和/或多个测试点提供支持的基础。在配置仪器记录长度时，通道数量也非常重要：为使记录长度提高两倍或四倍，分别要求两条通道和四条通道。

高速串行总线是当前的发展趋势，在这种趋势下，通道数量问题变得非常关键。例如，32 位串行数据包必须分布到 32 条逻辑分析仪通道中，而不是一条逻辑分析仪通道中。换句话说，从并行结构转向串行结构并没有影响对通道数量的需求。

独立式TLA系列逻辑分析仪可以配置各种通道数量。模块化TLA系列逻辑分析仪可以容纳各种采集模块，它们可以连接在一起，实现更高的通道数量。最终，系统可以容纳数千条采集通道。模块化TLA系列结构具有独特的能力，可以保持模块间同步和低时延，即使这些模块位于不同的主机中。

触发

触发灵活性是快速高效地检测没有看到的问题的关键。在逻辑分析仪中，触发是指设置条件，在满足这些条件时将捕获采集，显示结果。采集停止可以证明发生了触发条件(除非指定异常超时)。

今天，拖放式触发功能简化了触发设置，可以更简便地设置常用触发类型。这些触发使用户不必为日常定时问题设计精心制作的触发配置。本文后面的应用实例将显示，逻辑分析仪还可以有力地指定这些触发，满足更加复杂的问题。

逻辑分析仪还提供了多个触发状态、字识别器、边沿/跳变识别器、范围识别器、定时器 / 计数器和快照识别器及毛刺和建立时间 / 保持时间触发。

探测

随着每个新一代电子产品中的电路密度和速度大幅度提高，探测解决方案正变成整体逻辑分析仪解决方案中越来越重要的一个组成部分。探头必须提供与目标设备相匹配的通道密度，同时提供有效连接，保留信号质量。

泰克无连接器逻辑分析仪探头采用D-Max?技术，为迎接这些挑战提供了一种创新方法。它们在探头和电路板之间提供了坚固耐用的、可靠的机械和电气连接。其业内领先的输入电容，使探头负荷对信号的影响达到最小。这些压缩探头是为与电路板上简单的连接盘配对设计的，节约了宝贵的电路板空间，最大限度地降低了布线复杂性和成本。

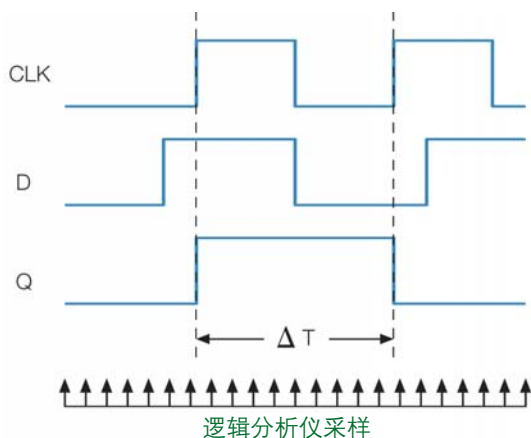


图 22. 说明采样率与分辨率关系的“D”触发器实例。

逻辑分析仪测量实例

下面这一系列实例将说明多个常见的测量问题及其解决方案。

我们简化了解释过程，重点介绍部分基本逻辑分析仪采集技术及数据结果显示。

为简单起见，我们省掉了某些设置步骤和配置细节。如需进一步细节，请参阅仪器文档、应用指南和其它技术资料。

进行通用定时测量

保证数字系统中关键信号之间正确的定时关系，是验证过程的一个基本步骤。必须评估各种定时参数和信号：传播延迟、脉宽、建立时间和保持时间特点、信号偏移、等等。

高效的定时测量要求一种能够在大量的通道中提供高分辨率采集的工具，并且对被测的电路负荷达到最小。这个工具必须拥有灵活的触发功能，帮助设计人员定义明确的触发条件，迅速定位问题。此外，这个工具必须提供显示和分析功能，简化对长记录的理解。

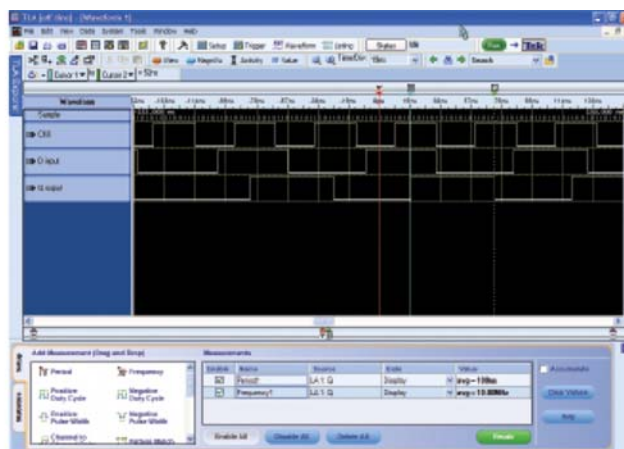


图 23. 采样率与分辨率的关系。

在验证新的数字设计时，通常要求定时测量。下面的实例演示了在“D”触发器上进行的定时测量，其连接如图 22 所示。这个实例基于泰克 TLA 系列逻辑分析仪功能。在现实生活中，这样的测量可能会同时采集数百个、甚至数千个信号。但是，不管是哪种情况，原理都是相同的，如本例所示，定时测量非常快速、简便、准确。

- 设置触发和时钟。这个实例使用“IF Anything, THEN Trigger”设置和内部(异步)时钟。还有一个设置步骤，其超出了本文的讨论范围，即命名并把信号映射到特定的逻辑分析仪通道。
- 在执行“Run”操作采集信号数据后，使用Horizontal Position控制功能和存储器滚动条，定位屏幕上的数据，以便能够看到触发指示符(标有“T”)。
- 把鼠标指针放在 Q 信号前沿上，按鼠标右键。从出现的菜单中选择“Move cursor 1 here”，把第一个测量光标移到这个位置。然后可以使用拖放功能，把光标“snap”(吸住)前沿上。这会成为被测时间跨度的开始时间。

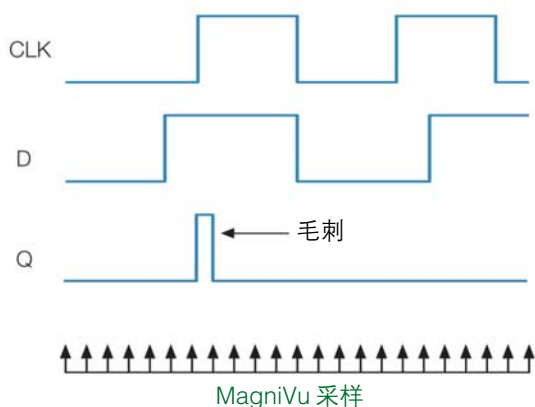


图24. MagniVu采集技术实现更高分辨率的“D”触发器实例。

- 把鼠标光标放在 Q 信号的后沿上。按鼠标右键，选择“Move cursor 2 here”，放置光标。您也可以使用“snap”(吸住)光标功能，更加简便地把光标与边沿对准。这会成为被测时间跨度的结束时间。
- 由于显示画面的 Y 轴表明时间，因此 Cursor 2 和 Cursor 1 之间的差值即时间测量。显示画面“Delta Time”读数中出现结果 52 ns。测量分辨率取决于采样率，在图 23 中，采样率是 2 ns，如 Sample 追踪上的记号所示。注意“Delta Time”测量分辨率不能大于采样率。

检测和显示间歇性毛刺

毛刺一直是数字系统设计人员头痛的问题。这些不稳定的脉冲具有间歇性特点，其幅度和时间周期可能是不规则的。它们不可避免地检测和捕获起来非常困难，而不可预测的毛刺影响可能会使系统失效。例如，一个逻辑单元很容易会错误地把毛刺理解为时钟脉冲，进而可能会在总线中过早地发送数据，产生使整个系统产生波动的错误。

任意数量的条件都会导致毛刺：串扰、电感耦合、争用条件、定时违规、等等。毛刺可能会躲过传统逻辑分析仪定时测量，因为它们的时间周期非常短。很容易会出

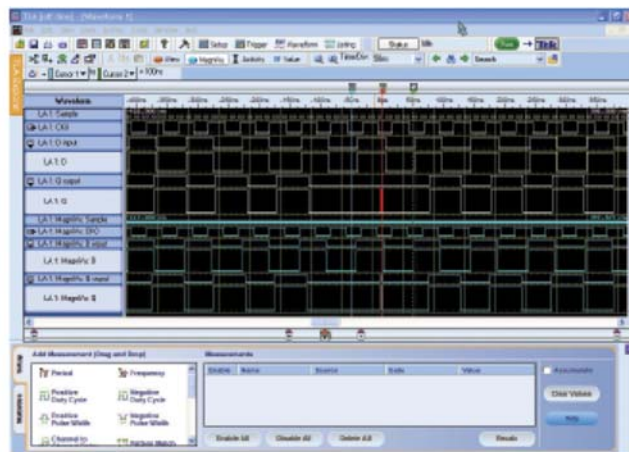


图 25. 使用 MagniVu 采集进行毛刺触发，实现了更高的分辨率。

现毛刺，然后在两个逻辑分析仪采集之间的时间内消失。

只有定时分辨率非常高的逻辑分析仪(即在异步模式下运行时高时钟频率)才可望捕获这些简短的事件。在理想情况下，逻辑分析仪将自动突出显示毛刺和通道。

下面的实例说明了使用 TLA 系列逻辑分析仪捕获窄毛刺的过程。被测设备(DUT)还是信号定时如图 24 所示的“D”触发器。我们使用 MagniVu 定时分辨率，以非常高的精度检测和显示毛刺。

这个实例内容并不详细，因为我们省去了部分步骤，以与本入门手册的级别保持一致。

- 在以前的触发设置中，我们已经在波形窗口中采集了波形。通过使用拖放触发功能，可以轻松捕获毛刺。
- 点击屏幕底部的“Trigger”栏。
- 点击括号中的毛刺触发选项，把它拖放到总线波形上。
- 现在点击 Run 按钮，然后将捕获并在波形窗口中上显示这些总线上的毛刺。

采集结果如图 25 所示。这个屏幕中包括多条增加的通道(通常是单独的设置步骤，不要求第二次采集)，以显示高分辨率 MagniVu 采集的内容。

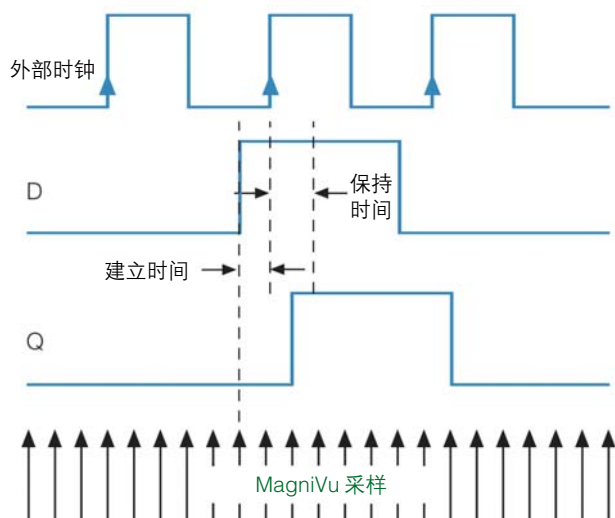


图 26. 建立时间和保持时间关系。

在 Q 输出波形曲线上, 注意触发指示符左面(较早)的红色标记。这宣布在触发样点和其紧前面数据样点之间的红色区域中已经检测到一个毛刺。Q 输出的 MagniVu 通道(底部曲线)揭示了毛刺发生的具体位置。在这个点上, 毛刺定时是已知的, 可以使用仪器的缩放和光标功能, 测量脉宽。

捕获建立时间或保持时间违规

建立时间定义为在偏移到设备的时钟边沿前输入数据必须有效和稳定的最短时间(参见图26)。保持时间是在时钟边沿发生后数据必须有效和稳定的最短时间。

数字器件制造商指定了建立时间和保持时间参数, 工程师必须特别注意, 保证其设计不会违反这些指标。但是, 当前容限越来越紧张及更快速部件的广泛使用、以提供更高的吞吐量, 正使建立时间和保持时间违规越来越常见。

这些违规可能会导致设备输出变得不稳定(这种情况称为亚稳定), 可能会导致意想不到的毛刺和其它错误。设计人员必须认真检查电路, 确定违反设计规则是否导致建立时间和保持时间问题。

近年来, 建立时间和保持时间要求已经缩窄, 以致于使用大多数传统通用逻辑分析仪很难检测和捕获事件。唯一有效的解决方案是使用拥有亚纳秒级采样分辨率的逻辑分析仪。

具有 MagniVu 采集功能的泰克 TLA 系列逻辑分析仪提供了经过验证的建立时间和保持时间测量解决方案

下面的实例介绍了同步采集模式, 其依赖外部时钟信号驱动采样, 不管是哪种模式, 都总是可以使用 MagniVu 功能, 在触发点周围提供高分辨率采样数据缓冲器。这里的 DUT 仍是拥有单个输出的“D”触发器, 但这个实例同样适用于拥有数百个输出的设备。

通过使用 MagniVu 采集查看数据, 我们可以获得最高的定时分辨率。应该指出的是, 在本演示中, 我们建立了一个只包括 MagniVu 采集的数据窗口。由于将触发建立时间或保持时间违规, 因此 MagniVu 功能可以在违规周围提供最佳的定时分辨率。



图 27. 建立时间和保持时间事件显示画面。

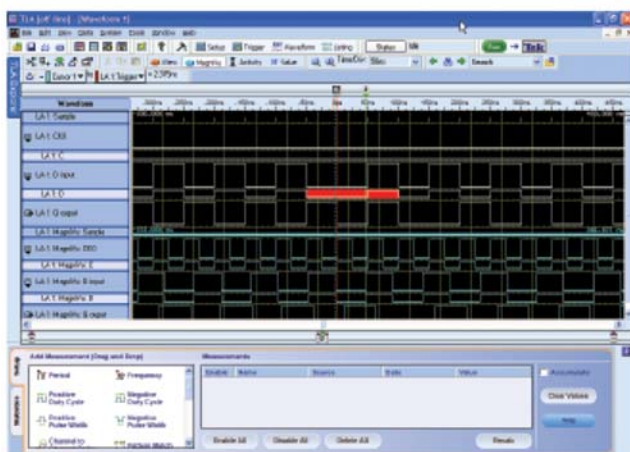


图 28. 显示结果，表明了建立时间和保持时间。

在这个实例中，DUT 本身提供外部时钟信号，控制着同步采集。可以使用逻辑分析仪拖放触发功能，创建建立时间和保持时间触发。这种模式的独特之处是其能够简便地定义明确的建立时间和保持时间违规参数，如图 27 所示。可以使用设置窗口中的其它子菜单，提炼信号定义的其它方面，包括逻辑条件和正向或负向条件。

在测试运行时，逻辑分析仪实际评估时钟的每个上升沿，确定建立时间或保持时间违规。它监测数百万个事件，只捕获未能满足建立时间或保持时间要求的事件。得到的显示画面如图 28 所示。这里，建立时间是 2.375 ns，远远低于确定的极限 10 ns。

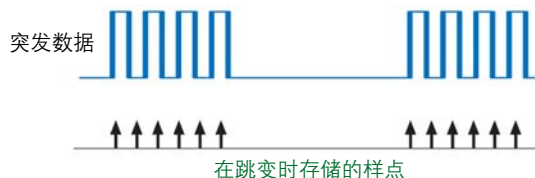


图 29. 传统存储技术只能在发生跳变时存储数据。

使用跳变存储器最大限度地提高可用的记录长度

有时被测设备会生成中间有很长时间不活动、由偶尔的事件群组成的信号。例如，某些类型的雷达系统使用时间上相隔很远的突发数据驱动内部数模转换器。

在使用传统逻辑分析仪采集和存储技术时，这是一个问题。仪器对每个采样间隔使用一个存储位置，这种方法可以大体称为“Store All”(全部存储)。这会用没有变化的数据迅速填满采集存储器，占用捕获实际感兴趣数据(突发的活动信号)所需的宝贵容量。

一种称为“跳变存储器”的方法解决了这个问题，其只在跳变发生时存储数据。图 29 说明了这一概念。逻辑分析仪在且只在数据变化时采样。可以以逻辑分析仪主采样存储器的全分辨率捕获相距几秒、几分钟、几小时或几天的突发。仪器等待很长的静止周期。注意，并不是“忽略”这些不活动的长跨度，而是一直监测这些跨度，但不记录这些跨度。

下面的实例说明了使用 TLA 系列逻辑分析仪实现的解决方案。通用的 IF/THEN 触发算法再次成为区分独特的适合跳变存储情况的最佳工具。

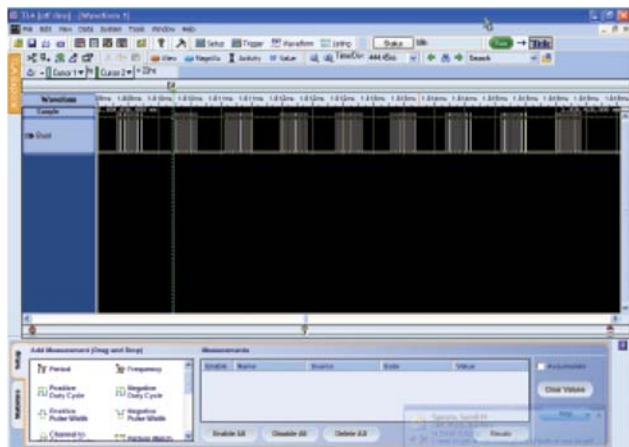


图 30. 显示画面演示了跳变存储技术。

TLA 系列接口提供了一个下拉 Storage 菜单，选择“Transitional”而不是“All”事件。这会调出一个菜单，可以调用“IF Channel Burst=High THEN Trigger”模式。

使用这些指定条件运行测试，将生成一个类似于图 30 所示的屏幕画面。这里，突发中包含 9 组、每组 8 个脉冲，宽 22 ns，各组之间相距 428 ns 的静止间隔。跳变存储器允许仪器捕获全部 16 个突发组，包括 7 个在屏幕外的其余触发组，同时只占用 256 的记录长度。时间窗口代表着大约 3.8 毫秒的采集时间，这些组每隔 2 毫秒重复一次。

相比之下，Store All 采集模式只采集其中一个突发组，使用的存储空间是 2000 倍，即 512K。分配的存储器将在大约 1 微秒中填满，大部分空间被“空白”的不活动周期占用。跳变存储器在每次运行采集时能够收集的实用信息数量大大提高。

逻辑分析仪应用实例

下面概括介绍了当前某些关键应用中需要考虑的测量要求和考虑因素。

FPGA

设计规格和复杂性显著增长，使设计检验成为当前 FPGA 系统的关键瓶颈。内部信号访问能力有限、先进的 FPGA 封装和印刷电路板(PCB)电气噪声，都使 FPGA 调试和检验成为设计周期中最困难的过程。调试和检验设计的时间很容易会超过设计周期的 50%。为帮助您完成设计调试和检验过程，要求使用新的工具，帮助调试设计，同时在 FPGA 上全速运行。

其中在设计阶段需要做出的一个关键选择是确定使用哪种 FPGA 调试方法。在理想情况下，您想要一种能够移植到所有 FPGA 设计的方法，这种方法使您能够同时洞察 FPGA 操作和系统操作，使您能够找到和分析棘手的问题。实际上，有两种基本在线 FPGA 调试方法：第一种使用嵌入式逻辑分析仪，第二种使用外部逻辑分析仪。选择使用哪种方法取决于项目的调试需求。

每个 FPGA 厂商都提供一个嵌入式逻辑分析仪核心。这些知识产权模块被插入 FPGA 设计中，同时提供触发功能和存储功能。必需指出的是，FPGA 逻辑资源用来实现触发电路，FPGA 存储器模块用来实现存储功能。JTAG 一般用来配置核心操作，然后把捕获的数据传送到 PC 进行查看。由于嵌入式逻辑分析仪使用内部 FPGA 资源，因此其最常用于较大的 FPGA，可以更好地吸收核心的开销。与任何调试方法一样，嵌入式逻辑分析仪有一些优点和缺点需要我们了解。

优点	缺点
■ 要求的引脚数量较少	■ 核心尺寸限制着其只能用于大型 FPGA
■ 探测简单	■ 必须放弃内部存储器
■ 成本相对较低	■ 仅状态模式分析
	■ 速度有限
	■ FPGA 轨迹数据和其它系统轨迹之间不相关

由于嵌入式逻辑分析仪方法的局限性，许多FPGA设计人员已经采用一种方法，既利用了FPGA的灵活性，又利用了外部逻辑分析仪的处理能力，如TLA系列逻辑分析仪。在这种方法中，感兴趣的内部信号被路由到FPGA引脚上，然后连接到外部逻辑分析仪上。这种方法提供了非常深的存储器，适用于调试症状与实际原因相距时间很长的问题。它还能够把内部FPGA信号与系统中的其它活动关联起来。与嵌入式逻辑分析仪方法一样，这种方法也有自己的优点和缺点。

优点	缺点
■ 使用的FPGA逻辑资源非常少	■ 在FPGA上要求更多的引脚
■ 不使用FPGA存储器	■ 移动测试点可能要求重新编译设计
■ 在状态模式和定时模式下操作	■ 要求在逻辑分析仪上手动更新信号名称
■ FPGA信号与其它系统信号相关	

可以视具体情况，选择使用不同的方法。挑战在于确定哪种方法适合您的设计。问一下自己下面几个问题：预计问题是什么？如果您认为问题将被隔离到FPGA内部功能中，那么可以使用嵌入式逻辑分析仪，它提供了所需的全部调试功能。但是，如果预计较大的调试问题，可能要求检验定时余量，把内部FPGA活动与电路板上的其它活动关联起来，或要求更强大的触发功能隔离问题，那么使用外部逻辑分析仪更适合满足您的调试需求。

让我们更详细地看一下外部逻辑分析仪方法。从本质上看，这种方法使用FPGA中的P，按需对设备重新编程，把感兴趣的内部信号路由到引脚数量一般较少的器件上。这种方法非常实用，但也有自己的局限性。每次在您需要查看不同的一套内部信号时，您可能需要改变设计(在RTL级或使用FPGA编辑器工具)，把所需的一套信号路由到调试引脚上。这不仅耗时长，而且如果要求重新编译设计，其会占用更长的时间，可能会改变设计定时而隐藏问题。调试引脚数量一般都很少，内部信号和调试引脚之间 1:1 的关系限制了设计的查看能力。

为克服这些限制，业内已经研制出一种新的FPGA调试方法，其不仅提供了外部逻辑分析仪的所有优势，还消除了其主要限制。First Silicon Solution的FPGAView软件包在与泰克TLA系列逻辑分析仪结合使用时，为调试Altera或Xilinx FPGA和周边硬件提供了一个完整的解决方案。

FPGAView和TLA逻辑分析仪相结合，可以查看FPGA设计内部，把内部信号与外部信号关联起来。可以提高工作效率，因为消除了耗时的重新编译设计的过程，每个调试引脚可以访问多个内部信号。此外，FPGAView可以在一台设备中处理多个测试核心。这适用于需要监测FPGA内部不同时钟域的情况。它还可以处理JTAG链中的多个FPGA。

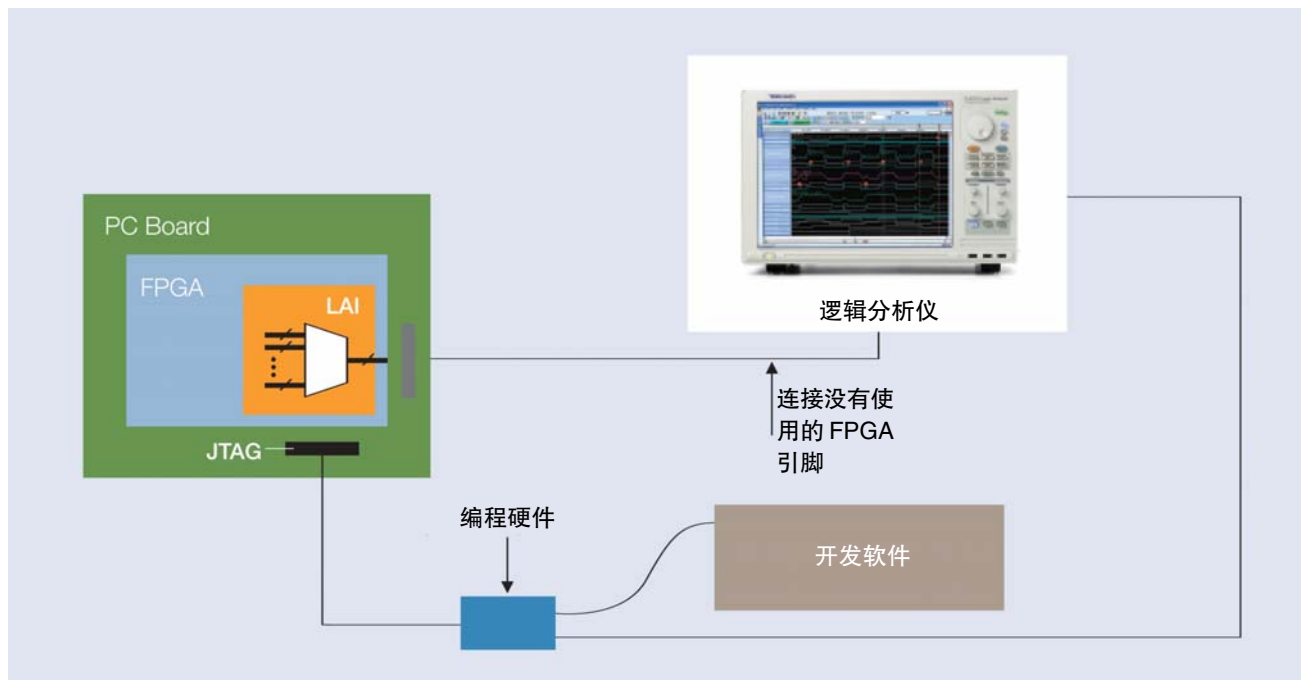


图 31. 典型的 FPGAView 实现方案。

如图 31 所示，完整的解决方案由四个项目组成。在本例中，第一个项目是 Altera 在其 Quartus® II 软件套件中提供的测试复用器。这个测试复用器提供给所有 Quartus II 软件用户。

第二个项目是 FPGAView 软件包，允许用户控制测试复用器，把其它项目整合成一个强大的工具。第三个项目是 TLA 系列逻辑分析仪，用来采集和分析数据。最后一个项目是 JTAG 编程电缆，用来控制 FPGA 内部的测试复用器。

FPGAView 和 TLA 系列逻辑分析仪相结合，可以简化与 FPGA 有关的许多调试任务。

这套工具允许查看 FPGA 设计内部，把内部信号与外部信号关联起来。可以提高工作效率，因为它消除了耗时的重新编译设计的过程，每个调试引脚可以访问多个内部信号。

存储器

在更快、更大、能耗更低的存储器要求和更小的物理尺寸推动下,动态随机访问存储器正随着时间推移不断演进。第一步是转向同步动态 RAM, 它提供了一个时钟边沿, 把操作与存储器控制器同步。然后业内使用双倍数据速率(DDR)提高了数据速率, 然后为克服信号完整性问题, DDR2 SDRAM 和 DDR3 SDRAM 的速度进一步提高。

为跟上更加复杂、更短设计周期的发展步伐, 存储器设计人员需要各种不同的测试设备, 检查设计。如果要查看阻抗和轨迹长度, 那么您需要使用采样示波器。如果要查看电气信号, 从功率到信号完整性再到时钟、抖动等等, 那么您需要使用数字荧光示波器。如果要查看命令和协议, 那么您需要使用逻辑分析仪, 检验存储器系统操作, 如图 32 所示。

逻辑分析仪存储器支持通过配置逻辑分析仪设置, 为存储器采集提供自定义时钟、存储器数据分析软件和助记符列表, 并可以包括探测硬件, 增强了逻辑分析仪操作。Nexus Technology 公司是泰克嵌入式系统工具合作伙伴, 为泰克逻辑分析仪和示波器提供逻辑分析仪存储器支持和补充产品。泰克还分销部分 Nexus Technology 产品。

信号完整性

直接观察和测量信号是发现信号完整性相关问题的唯一途径。一如既往, 选择适当的工具将简化您的工作。大部分信号完整性测量由几乎任何电子工程实验室中都有的用户熟悉的仪器完成, 包括逻辑分析仪和示波器, 再辅以探头和应用软件, 构成了基本工具箱。此外, 可以使用信号源, 提供失真信号, 进行极限测试, 评估新的器件和系统。

Sample	Address	FEEDBACK Message	FEEDBACK Data15	FEEDBACK Data16	FEEDBACK Data17	FEEDBACK Data18	Time Stamp
05130	4E30C	DISL - IGNORE COMMAND	00000000	00000000	00000000	00000000	3.750 ns
05131	4E30C	DISL - IGNORE COMMAND	00000000	00000000	00000000	00000000	3.675 ns
05132	4E30C	DISL - IGNORE COMMAND	00000000	00000000	00000000	00000000	3.625 ns
05133	4E000	PRE - PRECHARGE SELECT BANK	00000000	00000000	00000000	00000000	3.575 ns
05134	7E000	ACTV - ROW ADDRESS STROBE	00000000	00000000	00000000	00000000	15.000 ns
05135	7E000	READ - COL ADDR: R.END	00000000	00000000	00000000	00000000	3.750 ns
05136	7E000	DISL - IGNORE COMMAND	00000000	00000000	00000000	00000000	3.750 ns
05137	7E004	READ - COL ADDR: R.END	00000000	00000000	00000000	00000000	3.750 ns
05138	7E004	DISL - IGNORE COMMAND	00000000	00000000	00000000	00000000	3.750 ns
05139	7E008	READ - COL ADDR: R.END	00000000	00000000	00000000	00000000	3.750 ns
05140	7E008	READ DATA	55555555	55555555	55555555	55555555	3.750 ns
05141	7E00C	READ DATA	AAAAAAA	AAAAAAA	AAAAAAA	AAAAAAA	3.750 ns
05142	7E00C	READ - COL ADDR: R.END	55555555	55555555	55555555	55555555	3.750 ns
05143	7E00C	READ DATA	55555555	55555555	55555555	55555555	3.750 ns
05144	7E00C	READ DATA	AAAAAAA	AAAAAAA	AAAAAAA	AAAAAAA	3.750 ns
05145	7E00C	READ DATA	55555555	55555555	55555555	55555555	3.750 ns
05146	7E00C	READ DATA	AAAAAAA	AAAAAAA	AAAAAAA	AAAAAAA	3.750 ns
05147	7E000	READ - COL ADDR: R.END	00000000	00000000	00000000	00000000	3.750 ns

图 32. Nexus Technology 公司 NEX-FBD-NEXVu Listing 窗口, 包括交替码型的 DDR2 SDRAM 读数据, 交替码型由 5555, 5555, 5555, 5555 十六进制及 AAAA, AAAA, AAAA, AAAA 十六进制组成。

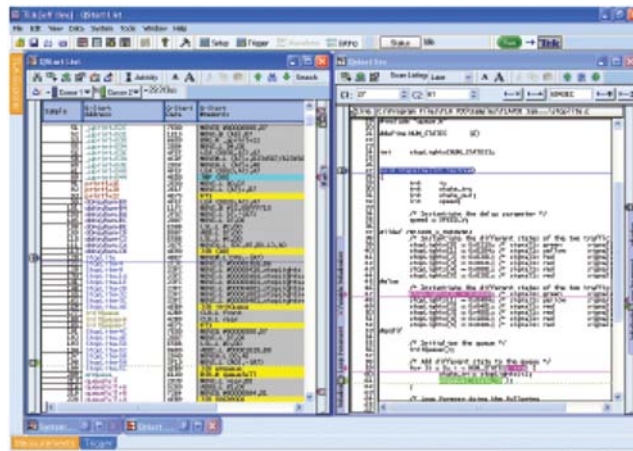


图 33. 逻辑分析仪显示画面, 显示了定时波形及与源代码相关的实时软件轨迹。

在设置信号完整性测量系统时, 主要考虑因素如下:

- 探测
- 带宽和阶跃响应
- 定时分辨率
- 记录长度
- 触发
- 集成

在调试数字信号完整性问题时, 特别是在拥有大量总线、输入和输出的复杂系统中, 逻辑分析仪构成了第一道防线。

逻辑分析仪功能	信号完整性测试推荐功能
示波器集成	逻辑分析仪屏幕上时间相关的示波器轨迹，多通道眼图
探测	通过同一只逻辑分析仪探头同时探测定时、状态和模拟采集
定时测量分辨率	20 ps (在 50 GHz 时钟速率下)
状态采集速率	高达 1.4 GHz
采集记录长度	高达 256 M
触发	边沿、毛刺、逻辑、建立时间 / 保持时间、等等
分析	处理器支持软件包和反汇编程序
显示	多个显示画面

图 34. 信号完整性分析要求某些最高的逻辑分析仪性能。

这种仪器拥有高通道数量、深存储器和高级触发功能，可以从多个测试点采集数字信息，然后以相干方式显示信息。由于是一种真正的数字仪器，因此逻辑分析仪可以检测其监测的信号越过门限的情况，然后显示逻辑 IC 看到的逻辑信号。得到的定时波形清楚、可以理解，并可以简便地与预计数据比较，确定设备工作正常。这些定时波形通常是搜索影响信号完整性的信号问题的起点。在反汇编程序和处理器支持套件的帮助下，可以进一步理解这些结果，反汇编程序和处理器支持套件允许逻辑分析仪把实时软件轨迹(与源代码相关)与低级硬件活动关联起来，如图 33 所示。

但是，并不是所有逻辑分析仪都适合分析当前数据速率极高(而且仍在提高！)的信号完整性。图34提供了某些指标准则，在选择逻辑分析仪进行高级信号完整性调试时应该考虑这些准则。如果只是看重采样率和存储器容量，那么很容易会忽视逻辑分析仪中的触发功能。但触发通常是找到问题最快捷的途径。毕竟，如果逻辑分析仪触发错误，那么表明错误已经发生。大多数当前逻辑分析仪包括多种触发功能，可以检测影响信号完整性的某些事件，如毛刺及建立时间和保持时间违规。可以一次在数百条通道中运用这些触发条件，这是逻辑分析仪独有的优势。

串行数据

多年来,宽同步并行总线一直是数字器件之间交换数据的既定技术方法。通过并行传送多个位,这些数据总线技术的通信速度似乎要超过串行(顺序)传输技术。遗憾的是,在并行总线中,定时同步(偏移)在较高的时钟频率和数据速率下变成了问题,有效限制了并行总线传输的速度。此外,在支持扩展距离、实现成本和最终用户成本方面,其面临着重大挑战。相比之下,串行总线只发送一条码流,“自行提供时钟输入”,从而消除了数据和时钟之间的定时偏移,即同时发送的位到达时间差。在串行传输中,同步远不是什么问题,而整体吞吐量则是更加突出的问题。

然而,在通过技术进步消除一种性能障碍的同时,另一个障碍又出现了。速度更快的新技术解决了这种挑战,但提高了设计复杂性,不断变化的标准创造出更大的新的设计挑战,可能会妨碍产品开发周期,提高开发成本。多种新型串行数据总线结构提供的的数据吞吐量较前几年提高了一个量级,包括 PCI-Express、XAUI、RapidIO、HDMI 和 SATA。

由于这么高的复杂性和这么大的变化,您需要测试解决方案,帮助您迅速简便地找到和解决设计问题。泰克提供了完整的串行数据测试解决方案,使您能够开发产品,保证满足最新的串行数据测试要求。

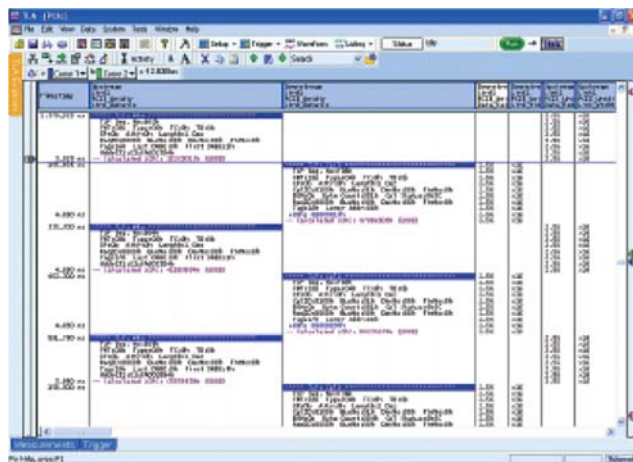


图 35. 逻辑分析仪显示画面, 显示了 PCI Express 2.0 的数字验证和调试。

例如, TLA 系列串行分析仪模块为 PCI Express 验证提供了一种创新方法, 从物理层到事务层, 涵盖了所有协议层。

此外, TLA 系列串行分析仪模块拥有无可比拟的物理层事件捕获和触发能力, 不管是问题存在于链路培训过程中, 还是链路进出电源管理状态。全面支持 L0s 和 L1 电源管理至关重要, 因为节能技术在系统设计中正越来越流行。各种分析工具完善了 TLA7Sxx 系列串行分析仪采集功能, 这些工具提供了协议解码和错误报告功能, 如图 35 所示。

小结

逻辑分析仪是各级数字调试不可或缺的工具。随着数字设计的速度和复杂性不断提高,逻辑分析仪解决方案必须作出反应。它们必须提供相应的速度,能够捕获最快、最短暂的异常事件;拥有相应的容量,能够以高分辨率查看所有通道;拥有相应的存储深度,能够解析多个周期中数十个、数百个、甚至数千个信号之间的关系。

本文参考了可以满足这些要求的泰克 TLA 系列逻辑分析仪。我们已经看到触发(及其使用方式)、高分辨率采样及通过同一只探头同时采集定时信息和状态信息等创新功能可以怎样提高逻辑分析仪的效率。

触发可以确认怀疑的问题,或发现完全意想不到的错误。最重要的是,触发提供了各种各样的工具,可以测试猜测的问题,或定位间歇性事件。逻辑分析仪的触发选项范围标志着其用途的广泛程度。

高分辨率采样结构,如 MagniVu 采集,可以发现与信号行为有关的没有见过的细节。更频繁地采样,如 MagniVu 采集,可以提高检测到二进制数据变化的机会,包括故意变化或非故意变化。

通过一只探头同时采集状态数据和高速定时数据的概念已经出现。这种功能正越来越多地帮助设计人员收集大量的与设备有关的数据,然后分析定时图与高级状态活动之间的关系。其它相关视图也可以为调试提供支持:时间相关的模拟波形和数字波形,列表图和协议图,多通道眼图,实时软件轨迹,直方图,等等。

一系列其它特点,如采集存储器、显示和分析功能、集成模拟工具、甚至模块化,使得逻辑分析仪成为快速查找数字问题,满足激进的设计时间表的首选工具。业内领先的 TLA 系列逻辑分析仪已经得到改进,可以满足当前挑战,并将继续迎接新出现的挑战。

术语表

(为便于参考，术语表中还包括本文件中没有使用的常见术语)

A

Amplitude (幅度): 信号的量级或强度。在电子中，幅度通常指电压或功率。

Analog-to-Digital Converter(模数转换器)(ADC): 一种数字电子元器件，把电信号转换成离散的二进制值。

Analog Signal (模拟信号): 一种具有连续可变电压的信号。

Attenuation(衰减): 信号从一个点传送到另一个点过程中信号幅度下降。

Asynchronous(异步): 非同步。逻辑分析仪运行自己的采样时钟。时钟是独立的，不知道被测设备上的定时。这是“定时”采集模式的基础。

B

Bandwidth(带宽): 一种频率范围，通常由 -3 dB 限定。

Ball Grid Array (球栅阵列)(BGA): 一种集成电路封装方式。

Bit(位): 一种二进制字符，其状态可以是 1 或 0。

Byte(字节): 一种数字信息单位，通常由 8 位组成。

C

Cursor(光标): 一种屏幕上的标记，可用与波形对准，进行更准确的测量。

D

Decibel (分贝)(dB): 用来表示两个电信号之间相对功率差的单位，等于两个电平之比的常用对数乘以 10。

Digital Signal (数字信号): 一种用离散二进制数字表示其电压样点的信号。

Digital Oscilloscope (数字示波器): 一种示波器，使用模数转换器(ADC)把测得的电压转换成数字信息。它分成三种：数字存储示波器、数字荧光示波器和数字采样示波器。

Digital Phosphor Oscilloscope (数字荧光示波器)(DPO): 一种数字示波器，其模型与模拟示波器的显示特点非常类似，同时提供了传统数字示波器的优点(波形存储、自动测量、等等)。DPO 使用并行处理结构，把信号传送到光栅类型显示器上，实时提供信号特点的辉度等级视图。DPO 使用三个维度显示信号：幅度、时间、幅度在时间上的分布。

Digital Sampling Oscilloscope (数字采样示波器): 一种数字示波器，采用等效时间采样方法，捕获和显示信号样点，特别适合准确地捕获频率成分比示波器采样率高得多的信号。

入门手册

Digital Storage Oscilloscope (数字存储示波器)(DSO): 一种数字示波器, 它通过数字采样采集信号(使用模数转换器)。它使用并行处理结构, 控制采集、用户界面和光栅显示。

Digitize (数字化): 水平系统中的模数转换器(ADC)在离散时点对信号采样, 然后在这些点中把信号电压转换成数字值(称为样点)的过程。

Dual Inline Memory Module (双列直插存储器模块)(DIMM): PC 平台中动态随机访问存储器使用的流行的封装方式。

Dynamic Random Access Memory (动态随机访问存储器)(DRAM): 一种存储器, 在单独的电容器中存储每个数据位。

Device Under Test (被测器件)(DUT): 测量仪器测试的器件。

F

Fully Buffered Dual Inline Memory Module (全面缓冲双列直插存储器模块)(FB-DIMM): 一种下一代存储器结构。

Fine-pitch Ball Grid Array (精细间隙球栅阵列)(FBGA): 一种集成电路封装方式。

Frequency(频率): 信号在一秒内重复的次数, 单位为赫兹(每秒周期数)。频率等于 1/ 周期。

G

Gigabit (千兆位)(Gb): 10 亿个单位信息。

Gigabyte (千兆字节)(GB): 10 亿字节信息。

Gigahertz (千兆赫)(GHz): 10 亿赫兹。

Glitch (毛刺): 电路中间歇性的高速错误。

Gigatransfers per second (每秒传送千兆次)(GT/s): 每秒 10 亿次数据传送。

H

Hertz (赫兹)(Hz): 每秒一个周期, 频率单位。

I

Input/Output (输入/输出)(I/O): 一般指进出设备的信号。

Integrated Circuit (集成电路) (IC): 一套元器件及芯片上蚀刻或印刷的互连。

iCapture™ Multiplexing(iCapture™ 复用): 通过一只逻辑分析仪探头同时提供数字采集和模拟采集。

iLink™ Toolset(iLink™ 工具集): 由专门设计的多个单元组成, 以加快问题检测和调试速度, 包括: iCapture™ 复用、iView™ 显示和 iVerify™ 分析。

iView™ Display(iView™ 显示): 在逻辑分析仪显示画面上提供时间相关的逻辑析仪和示波器集成测量。

iVerify™ Analysis(iVerify™ 分析): 使用示波器生成的眼图提供多通道总线分析和验证测试。

K

Kilohertz (千赫)(kHz): 1000 赫兹。

L

Loading(负荷): 探头和示波器与被测电路之间无意的交互, 其会使信号失真。

Logic Analyzer (逻辑分析仪): 用来查看多个数字信号逻辑状态随时间变化的仪器。它分析数字数据, 可以作为实时软件执行、数据流量值、状态序列等表示数据。

M

MagniVu™ Acquisition (MagniVu™ 采集技术): TLA 系列逻辑分析仪核心采用的独特的高分辨率采样结构。MagniVu 采集技术以更高的分辨率提供了触发点周围的信号活动的动态记录。

Megabit (兆位)(Mb): 100 万个信息单位。

Megabyte (兆字节)(MB): 100 万字节信息。

Megahertz (兆赫)(MHz): 100 万赫兹。

Megasamples per second (每秒兆样点)(MS/s): 一种采样率单位，等于每秒 100 万样点。

Microsecond (微秒)(μ s): 一种时间单位，等于 0.000001 秒。

Millisecond (毫秒)(ms): 一种时间单位，等于 0.001 秒。

Motherboard (主板): 计算机的主系统电路板，其中包括处理器、存储控制器、硬盘控制器、输入/输出接口芯片组等等。其它电路板(如 DIMMs 和视频卡)插入到主板中。

Megatransfers per Second (每秒传送百万次)(MT/s): 每秒 100 万次数据传送。

N

Nanosecond (纳秒)(ns): 一种时间单位，等于 0.000000001 秒。

Noise(噪声): 电路中不想要的电压或电流。

O

Oscilloscope (示波器): 用来查看电压随时间变化的仪器。示波器来自于“oscillate”(振荡)，因为通常使用示波器测量振荡的电压。

P

Period (周期): 一个波完成一个周期所用的时间。周期等于 $1/\text{频率}$ 。

Pre-Trigger Viewing(触发前查看): 数字仪器捕获触发事件前信号行为的能力。确定触发点前和触发点后看得见的信号长度。

Probe (探头): 一种测量仪器输入设备，通常有带尖的金属尖端(与电路单元形成电气接触)、连接电路接地参考的引线及用来传送信号及接地仪器的软电缆。

Pulse(脉冲): 一种常见的拥有快速上升沿、宽度和快速下降沿的波形形状。

Pulse Train(脉冲串): 一起传送的脉冲集合。

Pulse Width(脉宽): 脉冲从低到高，然后再回到低所需的时间，一般在全部电压的 50% 处测量。

R

Random Access Memory (随机访问存储器)(RAM): 可以以任何顺序访问信息的一种存储设备。

Ramps(斜坡): 以恒定速率改变的正弦波电压电平之间的跳变。

Record Length (记录长度): 用来创建一个信号记录的波形点数。

Rise Time (上升时间): 脉冲前沿从低值上升到高值所需的时间，一般测量从 10% 上升到 90% 所需的时间。

S

Sampling(采样): 把部分输入信号转换成离散的电气值，以由仪器存储、处理和 / 或显示。

Sample Point(样点): 来自 ADC 的原始数据，用来计算波形点。

Sample Rate(采样率): 指数字测量仪器对信号采样的频次，单位为每秒样点数(S/s)。

Signal Integrity (信号完整性): 准确重建信号，取决于仪器的系统和性能考虑因素及采集信号使用的探头。

Signal Source (信号源): 一种测试设备，用来把信号注入到电路输入中；然后由测量仪器读取电路输出。也称为信号发生器。

System Under Test (被测系统)(SUT): 测量仪器测试的系统。

Synchronous(同步): 同步化。逻辑分析仪状态采集称为同步，因为逻辑分析仪从外部来源接收时钟信息，通常是 DUT。这会导致两个系统被同步，逻辑分析仪只在 DUT 活动时才采集数据。这称为“状态”采集模式。

T

Trigger(触发器): 测量仪器上参考水平扫描的电路。

Trigger Holdoff (触发释抑): 一种控制功能，允许调节有效触发后的时间周期，在此期间，仪器将不能触发。

Trigger Level (触发电平): 在触发电路启动扫描前触发源信号必须达到的电压电平。

V

Volt(伏特) (V): 电位差单位。

Voltage(电压): 两点之间的电位差，单位为伏特。

W

Wave(波): 随时间推移重复的码型的通称。常见类型包括：正弦波，方波，矩形波，锯齿波，三角波，阶跃波，脉冲波，周期波，非周期波，同步波，异步波。

泰克科技(中国)有限公司
上海市浦东新区川桥路1227号
邮编: 201206
电话: (86 21) 5031 2000
传真: (86 21) 5899 3156

泰克北京办事处
北京市海淀区花园路4号
通恒大厦1楼101室
邮编: 100088
电话: (86 10) 5795 0700
传真: (86 10) 6235 1236

泰克上海办事处
上海市徐汇区宜山路900号
科技大楼C楼7楼
邮编: 200233
电话: (86 21) 3397 0800
传真: (86 21) 6289 7267

泰克深圳办事处
深圳市福田区南园路68号
上步大厦21层G/H/I/J室
邮编: 518031
电话: (86 755) 8246 0909
传真: (86 755) 8246 1539

泰克成都办事处
成都市锦江区三色路38号
博瑞创意成都B座1604
邮编: 610063
电话: (86 28) 6530 4900
传真: (86 28) 8527 0053

泰克西安办事处
西安市二环南路西段88号
老三届世纪星大厦20层K座
邮编: 710065
电话: (86 29) 8723 1794
传真: (86 29) 8721 8549

泰克武汉办事处
武汉市解放大道686号
世贸广场1806室
邮编: 430022
电话: (86 27) 8781 2760/2831

泰克香港办事处
香港九龙尖沙咀弥敦道132号
美丽华大厦808-809室
电话: (852) 2585 6688
传真: (852) 2598 6260

更多信息

泰克公司备有内容丰富的各种应用手册、技术介绍和其他资料, 并不断予以充实, 以帮助那些从事前沿技术研究的工程师们。请访问:
www.tektronix.com.cn



版权© 2010, 泰克公司。泰克公司保留所有权利。泰克公司的产品受美国国外专利权保护, 包括已发布和尚未发布的产品。以往出版的相关资料信息由本出版物的信息代替。泰克公司保留更改产品规格和定价的权利。TEKTRONIX 和 TEK 是泰克有限公司的注册商标。所有其他相关商标名称是各自公司的服务商标或注册商标。

10/10 Internal/WW

52C-14266-5

Tektronix®