

EMC 电磁兼容报告

何雨竹

重庆邮电大学微卫星创新团队，重庆，中国

一、 电磁兼容简述

概念：系统或设备在所处电磁环境中能正常工作同时不会对其它系统或设备造成干扰。EMI 即电磁干扰，EMS 即电磁抗扰性。

二、 电磁兼容设计要求

1: 目标：同时研究装置的干扰和被干扰，对装置内部的组织和装置之间要注意其相容性

2 实施步骤：

三、 明确系统的电磁兼容指标。

1. 要求：电磁兼容设计包括本系统能正常工作的电磁干扰环境和本系统干扰其它系统的允许指标。

2. 衡量物理量：用分贝来作为物理量，电压电流增益分贝数稍微不一样，分贝为正，表有功增益；反之为功率损耗。

3. 分配指标：

在了解系统干扰源，被干扰对象，干扰途径的基础上，通过理论分析将这些指标逐级分配到各分系统，子系统，电路和元件，器件上

四、 设计原则：

1. 原则

根据实际情况，采取相应措施抑制干扰源，消除干扰途径，提高电路的抗干扰能力。

2. 时钟电路：

时钟常常是干扰源头，开关电源的 PWM 信号，数据线也是周期性的干扰信号：加大电容或电阻，时钟输出匹配设计：一般加个电阻（20~50 欧）进行匹配，时钟输出或驱动 IC 的电源

3. 去耦设计：两个电容并联后和磁珠串联

4. 时钟 IC 电源设计：晶振电源滤波电路

5. 关键 IC 的电源去耦设计：

一般需大小电容配合使用，大电容储能，小电容高频滤波。频率越高容值较小 1000pF~100pF，低频则 0.1~10uF。必要时加 FB，FB 的 DC 阻值小好；低频、直流驱动电路干扰抑制，采用电感+电容，一般电感 100uH。马达、风扇、电机等开关电源干扰（脉冲）

6. 开关电源干扰

解决办法：降低源辐射强度即电流的时间变化率，控制触发波形上升沿可以减小 di/dt ，切断耦合路径或减小环路面积

7. 一般信号滤波电路：

接口地加电容电阻或电容磁珠，更好的方法是共模扼流圈

串口静电防护电路设计

USB 接口处理电路

8. 串扰控制：

在平行线间插入接地的隔离线。

减小布线层与地平面的距离。

加大平行布线间距，遵循 3W 原则，针对 EMI。

五、PCB 设计：PCB 是整个 EMI 源头 PCB 板设计很关键

1. 原则

减小差模信号的回路面积，减少共模信号的回路路径。

加大共模阻抗，减少高频噪声电流（滤波，匹配，隔离）

增大干扰源与敏感电路的距离

2. PCB 布线布局设计

（1）PCB 回流与分层设计：高速信号回流是走阻抗最小的回路

一般布线层有地层和电源层回流

（2）20H 原则：实际设计中，电源层最好邻近地层且地层最好在下面，两者的阻抗越低则相互耦合越大，有利于低层对电源层的吸收越好。一般设计者难以计算，信号、电源、地缩进距离越大越好

3. PCB 布局准则

（1）从空间上避免不同器件之间相互干扰，所有模块和器件要遵循信号流向。根据信号流向直线放置设计，尽量避免来回环绕和前后直接耦合

（2）多个频率电路 PCB 布局：

线路板上同时有高、中、低电路时，遵从几个原则

（3）多个频率电路 PCB 布局：

线路板上同时有高、中、低电路时，应该遵从如下原则

（4）防护、滤波与强辐射器件布局：PCB 板接口如有静电防护和滤波应先坚持先防护后滤波并靠近接口处，避免线路耦合；强辐射器件（晶振、继电器）远离接口。

4. PCB 布线要点：

（1）短而精的导线（时钟引线、行驱动器）对抑制干扰是有利的，分立元件电路，印制线宽 1.5mm 左右；对于集成电路，印制线 0.2~1.0mm 之间。

（2）双面板：采用横竖走线原则即一层横向一层竖向过孔链接（垂直布线）。

（3）避免长距离的平等走线，尽可能拉开线与线之间的距离，信号线与地线及电源线尽可能不交叉。

（4）尽量减少印制导线的不连续性，导线宽度不要突变，导线的拐角应大于 90 度。

（5）单双面布线设计：电源线与地线紧邻，高速信号线包地

（6）禁止直角走线（防止尖端放电）

（7）优势走线方式：差分走线

差分线布线要平衡，当成单根线来走。

差分线尽量等长，

差分线尽量靠近，差分线间距最好不要超过 2 倍的线宽。

差分线一样需要完整的地平面。

差分线不推荐采用上下两层布线的方式

（8）跨分割设计：

关键信号走线一定不能跨分割区走线，包括过孔，焊盘导致参考平面间隙，这样会导致回路面积增大，解决方法：增加桥接电容或改分割区。

(9) 接地和过孔设计：过孔设计不能随便使用

(10) 禁止梳妆布线，取消梳妆散热器，电源线加高频磁环（31 系列）电源与内部高速信号电路加铜箔屏蔽

六. 实验验证达到原定指标