

实验 4 算数逻辑单元的设计和验证

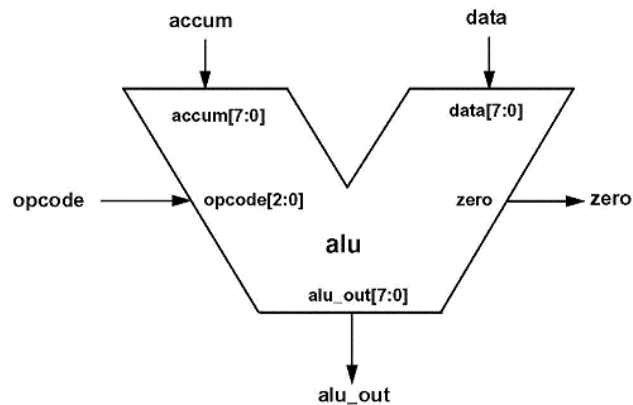


图 alu 端口示意图

实验说明：

1 . ALU 端口信息如图所示；

2 . ALU 的设计同时还要一下规则：

模块名为 alu;

ALU 为组合逻辑，输入变化立刻就会引起输出的相应变化；

操作码和操作数的变化会引起信号 alu_out 的变化，中间有 3.5ns 的延迟。

操作码为 3 位，功能如下：

opcode : ALU Operation

000 : pass accumulator

001 : pass accumulator

010 : ADD (data + accumulator)

011 : AND (data & accumulator)

100 : XOR (data ^ accumulator)

101 : pass data

110 : pass accumulator

111 : pass accumulator

操作码为 X 时，ALU 的输出也为不定态。

累加器 accum 的变化会引起零标志位 (zero) 的变化，中间有 1.2ns 的延迟。当累加器为 0 时 zero = 1,其他情况为 0。