

院系 _____ 年级 _____ 学号 _____ 姓名 _____

题号	一	二	三	四	五	六	总分
得分							

1. 填空题（每空 1 分，共计 15 分）

1) 过程赋值语句有两种：_____和_____。

2) 设 $a = 4'b1101$, $b = 4'b0111$, 请分别给出下列运算的计算结果:

$a == b$ _____ ; $\&a$ _____ ; $a \& b$ _____ ; $!a \& \& b$ _____ ; $a \& \& !b$ _____ ;

$\{\{4\{a,b\}\}, b\}$ _____;

3) CMOS 是由_____和_____构成的

4) 下面是一段 DC 综合脚本，请补充完整。

```
create_clock _____ [get_ports clk] # clock frequency 200Mhz
set_clock_latency _____ -max 0.8 [get_clocks clk] # set external clock source latency
set_clock_latency _____ 0.4 [get_clocks clk] # set maximum internal clock network
insertion delay
_____ -setup 0.2 [get_clocks clk] # set clock uncertainty
```

2. 简答题（每小题 5 分，共计 20 分）

1) 什么是同步电路？什么是异步电路？

2) FPGA 和 ASIC 的区别？FPGA 相比于 ASIC 有什么优势？

3) 请解释版图设计中的物理验证步骤里的 DRC, LVS 验证分别是为了完成什么样的工作？

4) 什么是建立时间，保持时间，关键路径？为什么要满足建立时间和保持时间？

3. 程序题（每小题 5 分，共计 15 分）

（1）在保证不损失精度的情况下，下面的 WID_E, WID_F, WID_G, WID_H 最小是多少？

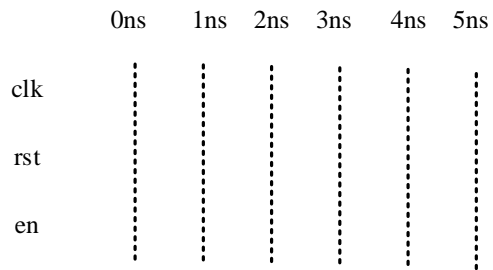
<pre>module mult_4 (A, B, C, D, E, F, G, H); parameter WID_E = ____; parameter WID_F = ____; parameter WID_G = ____; parameter WID_H = ____; input signed [3:0] A, B; input [4:0] C, D; output signed [WID_E:0] E; output signed [WID_F:0] F;</pre>	<pre>output [WID_G:0] G; output [WID_H:0] H; assign E = A+B; assign F = A*B; assign G = C+D; assign H = C*D; endmodule</pre>
---	--

（2）读下面程序，说出实现的功能。

<pre>module decoder(a,b,c,cntl,y); input a,b,c; input [2:0] cntl; output [7:0] y; wire a,b,c; wire [2:0] cntl; reg [7:0] y; wire [2:0] data_in; assign data_in={c,b,a}; //输入码 always @ (data_in or cntl) if (cntl == 3'b100)</pre>	<pre>case (data_in) //译码 3'b000: y=8'b1111_1110; 3'b001: y=8'b1111_1101; 3'b010: y=8'b1111_1011; 3'b011: y=8'b1111_0111; 3'b100: y=8'b1110_1111; 3'b101: y=8'b1101_1111; 3'b110: y=8'b1011_1111; 3'b111: y=8'b0111_1111; endcase else y=8'b1111_1111; //失效 endmodule</pre>
--	--

（3）请根据激励画出模块的波形（前 5 个 ns，单位： ns）

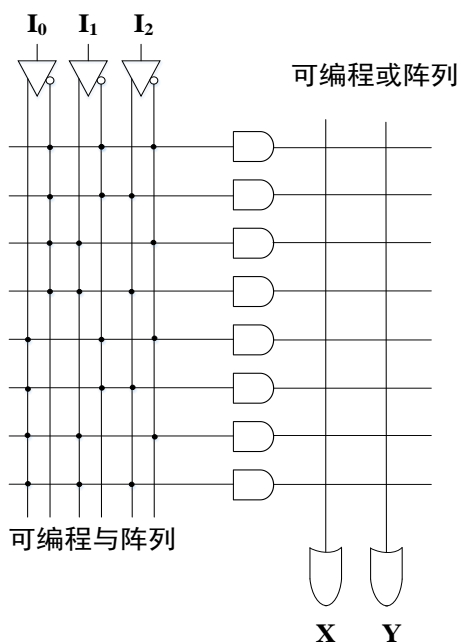
```
module weight_decode_tb();
reg rst,clk; reg en;
initial begin
    rst = 0;clk = 0;en = 0;
    #1 rst = 1; #3 en = 1; #1 en = 0;
end
always #0.5 clk = ~clk;
endmodule
```



4. 设计一个状态机，实现 111 的序列检测模块，当检测到连续 3 个或者 3 个以上的“1”时，输出为 1，其他输入为零。画出状态转移图，写出 Verilog 代码。（15 分）

5. 设计一个计数器，0 到 12 循环累加。（15 分）

6. 图所示为 PROM 阵列结构，图片左侧已经给出了可编程与阵列的连接方式，用 “·” 连接，下面请在可编程或阵列中用 “×” 连接，实现以下逻辑功能。其中输入时 I_0, I_1, I_2 ，输出 X, Y 。（10 分） 1) $X = I_1 I_2$ ； 2) $Y = I_0 \bar{I}_1 I_2 + I_0 I_1 \bar{I}_2$ 。



7. 设计一个 $y = \exp(x)$ 函数的电路，输入区间范围 $[-1, 1]$, x 的位宽 16bit, y 输出 16bit, 精度 $< 10^{-2}$ 其他不作限制。写出设计思路和方法即可，不用写代码。（10 分）