



计算机组成原理实验指导书

马世禹

目录

计算机组成原理实验指导书	1
实验二 Tilelink总线协议设计	3
1 实验目的	3
2 实验内容	3
3 实验原理	4
4 实验步骤	7

实验二 Tilelink总线协议设计

1 实验目的

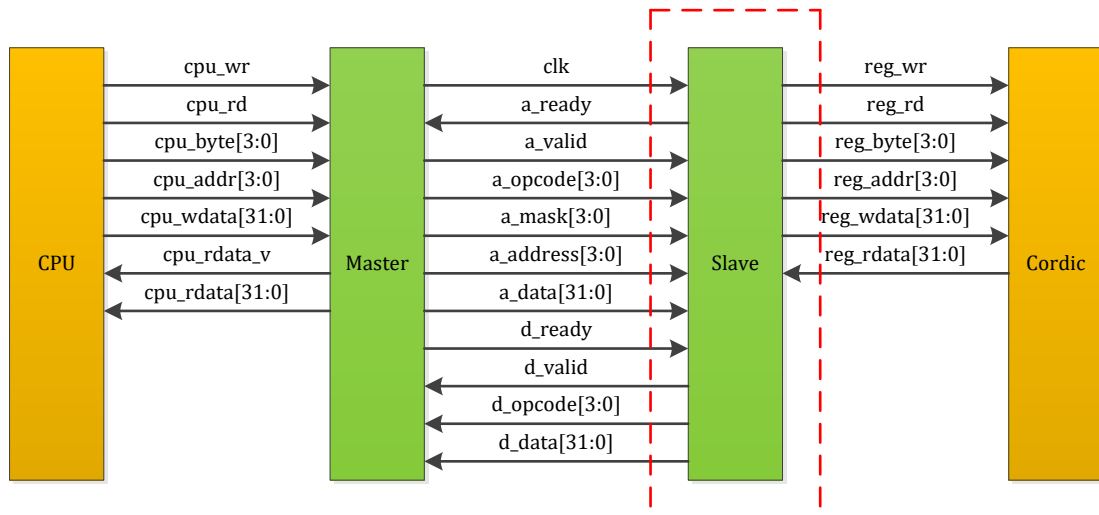
通过实验TileLink总线协议的设计，理解总线的控制。

通过实现TileLink总线协议的通信，理解总线的通信过程。

2 实验内容

Cordic运算单元，三角函数的加速运算模块，如sin，cos等运算。

通过TileLink总线协议，实现CPU对Cordic运算单元寄存器的访问，继而完成三角函数的加速运算。



cpu_byte: 选择写入的数据哪个字节有效;

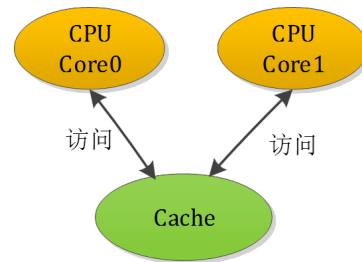
Cordic运算单元寄存器说明:

Register	Address	Bits	Description
config	0x0	31~17	保留位
		16	计算完成标志
		15~9	保留位
		8	选择使能的功能： 0 : sin ; 1 : cos
		7~1	保留位
		0	启动cordic模块使能
phase	0x1	31~0	输入的角度
result	0x2	31~0	输出的计算结果

3 实验原理

3.1 TileLink总线协议

TileLink总线协议是伯克利大学定义的一种高速片上总线协议，它诞生的初衷主要是为了定义一种标准的支持缓存一致性(Cache Coherence)的协议。



分类：

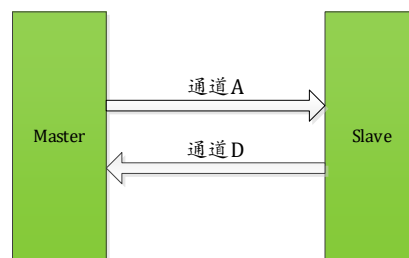
TileLink无缓存轻量级(Uncached Lightweight, TL-UL)

TileLink无缓存重量级(Uncached Heavyweight, TL-UH)

TileLink缓存支持级(Cached, TL-C)

3.2 TileLink无缓存轻量级(TL-UL)

TL-UL包含Master和Slave两端，通过通道A和通道D实现消息的发送



支持以下两种操作：

读(Get)操作：从从设备中读取一定量的数据。

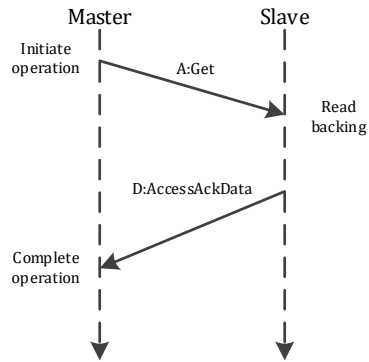
写(Put)操作：向从设备中写入一定数目的数据。

3.3 读(Get)操作

Get用于在读取数据时，访问一块特定的数据存储块。

AccessAck是一个向原请求返回数据的确认消息。

读操作的消息序列。主设备向从设备发出一个Get消息。收到消息并读取数据后，从端响应主端发回一个AccessAckData消息；



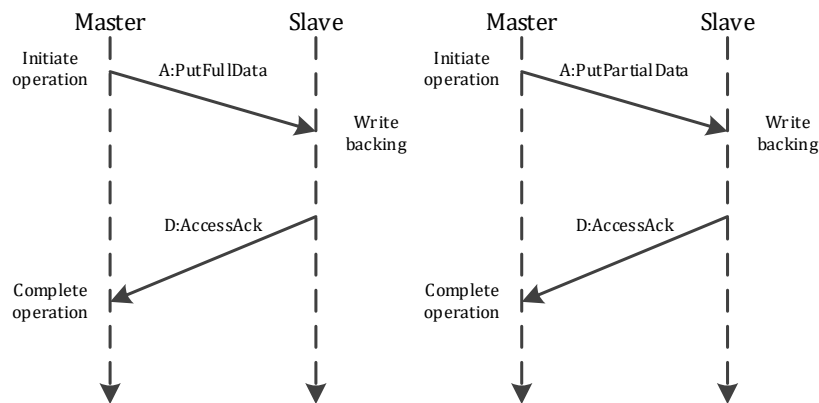
3.4 写(Put)操作

PutFullData写入一整块数据时发出的消息。

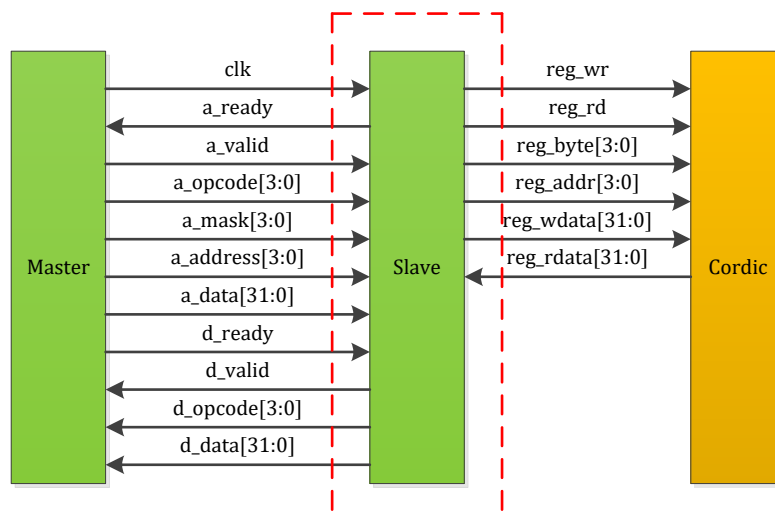
PutPartialData写入一整块内部分数据时发出的消息报文。

AccessAck是一个送往原请求的无数据确认消息。

写操作的消息序列。主设备向从设备发出一个PutPartialData或PutFullData消息。在写入数据后，从端响应主端发回一个AccessAck消息



3.5 接口定义



接口描述如下：

信号	通道	宽度	描述
a_ready	A	1	通道数据是否可以被接收
a_valid	A	1	通道携带的数据是否有效
a_opcode	A	3	操作码。识别该通道携带消息的类型
a_mask	A	4	选择消息数据的哪个字节
a_address	A	4	操作的按字节寻址的地址目标
a_data	A	32	可随消息携带的数据
d_ready	D	1	通道数据是否可以被接收
d_valid	D	1	通道携带的数据是否有效
d_opcode	D	3	操作码。识别该通道携带消息的类型
d_data	D	32	可随消息携带的数据
reg_wr	Null	1	Cordic模块寄存器写使能
reg_rd	Null	1	Cordic模块寄存器读使能
reg_byte	Null	4	Cordic模块寄存器读写操作的字节选择
reg_addr	Null	4	Cordic模块寄存器读写地址
reg_wdata	Null	32	Cordic模块寄存器写数据
reg_rdata	Null	32	Cordic模块寄存器读数据

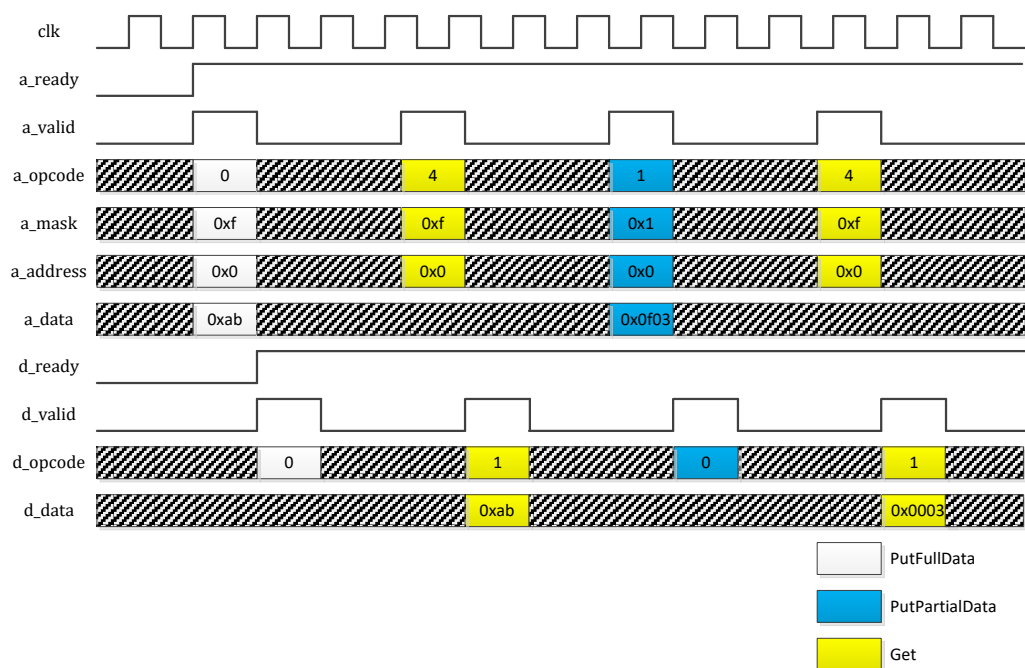
3.6 操作的示意波形

在TL-UL中，每条消息都必须放在一拍中发送。

下表中表示了TL-UL支持的5种消息类型：

Message	编码	操作	A	D	响应
Get	4	Get	Y		AccessAckData
AccessAckData	1	Get		Y	
PutFullData	0	Put	Y		AccessAck
PutPartialData	1	Put	Y		AccessAck
AccessAck	0	Put		Y	

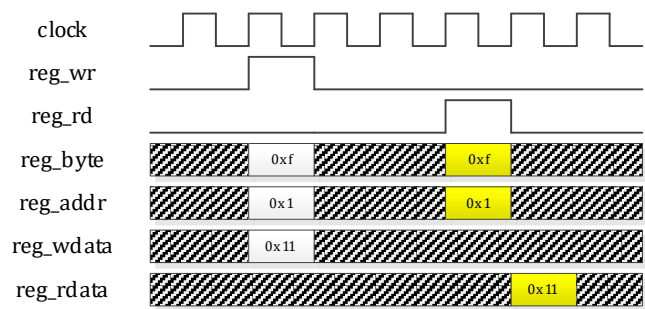
Get和Put操作的波形如下：



PutFullData写数据0xab，Get读回数据0xab，PutPartialData写入0xf03，最后Get读回0x0003。

3.7 Cordic模块的读写操作

Cordic模块寄存器的读写操作波形如下：



对地址0x1，写入数据0x11；
对地址0x1读取，读回0x11；
注：读数据会在读使能信号的下一个时钟周期才有效；

4 实验步骤

4.1 项目框架

- top (top.v) —— 顶层模块，模拟输入输出并进行正确性检查
- cpu (cpu.v) —— 模拟CPU读写寄存器模块
- master (master.v) —— tilelink主接口模块
- slave (slave.v) —— tilelink从接口模块（需要完成）

cordic (cordic.v) —— 三角函数硬件加速模块

4.2 具体步骤

完成slave.v