

32. 设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{MREQ} 作为访存控制信号 (低电平有效), 用 \overline{WR} 作为读/写控制信号 (高电平为读, 低电平为写)。现有下列存储芯片: 1 K×4 位 RAM, 4K×8 位 RAM, 2K×8 位 ROM 以及 74138 译码器和各种门电路, 如图 4.14 所示。画出 CPU 与存储芯片的连接图, 要求:

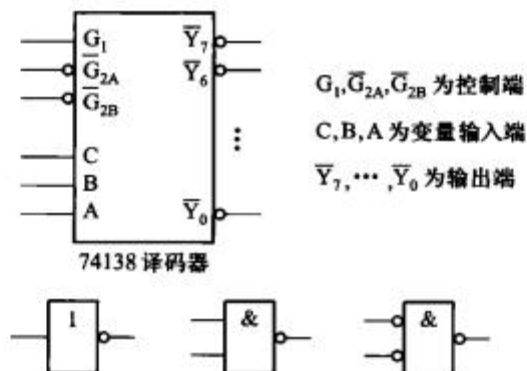


图 4.14 第 32 题芯片图

- (1) 主存地址空间分配: 8000H ~ 87FFH 为系统程序区; 8800H ~ 8BFFH 为用户程序区。
 - (2) 合理选用上述存储芯片, 说明各选几片。
 - (3) 详细画出存储芯片的片选逻辑。
33. 在 32 题给出的条件下, 画出 CPU 与存储芯片的连接图, 要求:
- (1) 主存地址空间分配: A000H ~ A7FFH 为系统程序区; A800H ~ AFFFFH 为用户程序区。
 - (2) 合理选用上述存储芯片, 说明各选几片, 并写出每片存储芯片的二进制地址范围。
 - (3) 详细画出存储芯片的片选逻辑。
34. 在 32 题给出的条件下, 画出 CPU 与存储芯片的连接图, 要求:
- (1) 主存地址空间分配: 最小 2K 地址空间为系统程序区; 相邻 2K 地址空间为用户程序区。
 - (2) 合理选用上述存储芯片, 说明各选几片。
 - (3) 详细画出存储芯片的片选逻辑。
35. 在 32 题给出的条件下, 画出 CPU 与存储芯片的连接图, 要求:
- (1) 主存地址空间分配: 最大 2K 地址空间为系统程序区; 相邻 2K 地址空间为用户程序区。
 - (2) 合理选用上述存储芯片, 说明各选几片。
 - (3) 详细画出存储芯片的片选逻辑。