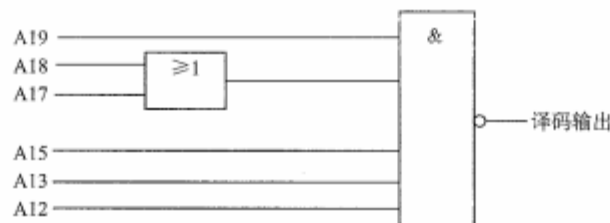


### 一、单项选择题

1. 【2009 统考真题】某计算机主存容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址。现要用  $2K \times 8$  位的 ROM 芯片和  $4K \times 4$  位的 RAM 芯片来设计该存储器, 需要上述规格的 ROM 芯片数和 RAM 芯片数分别是 ( )。  
A. 1, 15      B. 2, 15      C. 1, 30      D. 2, 30
2. 【2010 统考真题】假定用若干  $2K \times 4$  位的芯片组成一个  $8K \times 8$  位的存储器, 则地址 0B1FH 所在芯片的最小地址是 ( )。  
A. 0000H      B. 0600H      C. 0700H      D. 0800H
3. 【2016 统考真题】某存储器容量为 64KB, 按字节编址, 地址 4000H ~ 5FFFH 为 ROM 区, 其余为 RAM 区。若采用  $8K \times 4$  位的 SRAM 芯片进行设计, 则需要该芯片的数量是 ( )。  
A. 7      B. 8      C. 14      D. 16
4. 【2011 统考真题】某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用  $4M \times 8$  位的 RAM 芯片组成 32MB 的主存储器, 则存储器地址寄存器 MAR 的位数至少是 ( )。  
A. 22 位      B. 23      C. 25 位      D. 26
5. 用存储容量为  $16K \times 1$  位的存储器芯片来组成一个  $64K \times 8$  位的存储器, 则在字方向和位方向分别扩展了 ( ) 倍。  
A. 4, 2      B. 8, 4      C. 2, 4      D. 4, 8
6. 80386DX 是 32 位系统, 以 4B 为编址单位, 当在该系统中用  $8KB$  ( $8K \times 8$  位) 的存储芯片构造 32KB 的存储体时, 应完成存储器的 ( ) 设计。  
A. 位扩展      B. 字扩展      C. 字位扩展      D. 字位均不扩展
7. 某计算机字长为 16 位, 存储器容量为 256KB, CPU 按字寻址, 其寻址范围是 ( )。  
A.  $0 \sim 2^{19} - 1$       B.  $0 \sim 2^{20} - 1$       C.  $0 \sim 2^{18} - 1$       D.  $0 \sim 2^{17} - 1$
8. 4 个  $16K \times 8$  位的存储芯片, 可设计为 ( ) 容量的存储器。  
A.  $32K \times 16$  位      B.  $16K \times 16$  位      C.  $32K \times 8$  位      D.  $8K \times 16$  位
9. 16 片  $2K \times 4$  位的存储器可以设计为 ( ) 存储容量的 16 位存储器。  
A. 16K      B. 32K      C. 8K      D. 2K
10. 设 CPU 地址总线有 24 根, 数据总线有 32 根, 用  $512K \times 8$  位的 RAM 芯片构成该机的主存储器, 则该机主存最多需要 ( ) 片这样的存储芯片。  
A. 256      B. 512      C. 64      D. 128
11. 地址总线  $A_0$  (高位) ~  $A_{15}$  (低位), 用  $4K \times 4$  位的存储芯片组成 16KB 存储器, 则产生片选信号的译码器的输入地址线应该是 ( )。  
A.  $A_2A_3$       B.  $A_0A_1$       C.  $A_{12}A_{13}$       D.  $A_{14}A_{15}$
12. 若内存地址区间为 4000H ~ 43FFH, 每个存储单元可存储 16 位二进制数, 该内存区域用 4 片存储器芯片构成, 构成该内存所用的存储器芯片的容量是 ( )。  
A.  $512 \times 16$  bit      B.  $256 \times 8$  bit      C.  $256 \times 16$  bit      D.  $1024 \times 8$  bit
13. 内存按字节编址, 地址从 90000H 到 CFFFFH, 若用存储容量为  $16K \times 8$  位芯片构成该内存, 至少需要的芯片数是 ( )。  
A. 2      B. 4      C. 8      D. 16

14. 若片选地址为 111 时, 选定某一  $32\text{K} \times 16$  位的存储芯片工作, 则该芯片在存储器中的首地址和末地址分别为 ( )。
- A. 00000H, 01000H                      B. 38000H, 3FFFFH  
C. 3800H, 3FFFFH                      D. 0000H, 0100H
15. 如下图所示, 若低位地址 ( $A_0 \sim A_{11}$ ) 接在内存芯片地址引脚上, 高位地址 ( $A_{12} \sim A_{16}$ ) 进行片选译码 (其中  $A_{14}$  和  $A_{16}$  未参加译码), 且片选信号低电平有效, 则对图中所示的译码电路, 不属于此译码空间的地址是 ( )。



- A. AB000H ~ ABFFFH                      B. BB000H ~ BBFFFH  
C. EF000H ~ EFFFFH                      D. FE000H ~ FEFFFFH

## 二、综合应用题

- 主存储器的地址寄存器和数据寄存器各自的作用是什么? 设一个  $1\text{MB}$  容量的存储器, 字长为 32 位, 问:
  - 按字节编址, 地址寄存器和数据寄存器各几位? 编址范围为多大?
  - 按字编址, 地址寄存器和数据寄存器各几位? 编址范围为多大?
- 用一个  $512\text{K} \times 8$  位的 Flash 存储芯片组成一个  $4\text{M} \times 32$  位的半导体只读存储器, 存储器按字编址, 试回答以下问题:
  - 该存储器的数据线数和地址线数分别为多少?
  - 共需要几片这样的存储芯片?
  - 说明每根地址线的作用。
- 有一组  $16\text{K} \times 16$  位的存储器, 由  $1\text{K} \times 4$  位的 DRAM 芯片构成 (芯片是  $64 \times 64$  结构)。问:
  - 共需要多少 RAM 芯片?
  - 采用异步刷新方式, 如单元刷新间隔不超过  $2\text{ms}$ , 则刷新信号周期是多少?
- 设有 32 片  $256\text{K} \times 1$  位的 SRAM 芯片。回答以下问题:
  - 采用位扩展方法可以构成多大容量的存储器?
  - 采用 32 位的字编址方式, 该存储器需要多少地址线?
  - 画出该存储器与 CPU 连接的结构图, 设 CPU 的接口信号有地址信号、数据信号和控制信号  $\overline{\text{MREQ}}$ 、 $\overline{\text{WE}}$ 。
- 某机主存空间为  $64\text{KB}$ , I/O 空间与主存单元统一编址, I/O 空间占用  $1\text{KB}$ , 范围为  $\text{FC00H} \sim \text{FFFFH}$ 。可选用  $8\text{K} \times 8$  位和  $1\text{K} \times 8$  位两种 SRAM 芯片构成主存储器,  $\overline{\text{RD}}$  和  $\overline{\text{WR}}$  分别为系统提供的读写信号线。画出该存储器的逻辑图, 并标明每块芯片的地址范围。
- 设 CPU 有 16 根地址线, 8 根数据线, 并用  $\overline{\text{MREQ}}$  作为访存控制信号 (低电平有效), 用  $\overline{\text{WR}}$  作为读/写控制信号 (高电平为读, 低电平为写)。现有下列存储芯片:  $1\text{K} \times 4$  位 RAM,  $4\text{K} \times 8$  位 RAM,  $8\text{K} \times 8$  位 RAM,  $2\text{K} \times 8$  位 ROM,  $4\text{K} \times 8$  位 ROM,  $8\text{K} \times 8$  位 ROM 及 74LS138 译码器和各种门电路。画出 CPU 与存储器的连接图, 要求:
  - 主存地址空间分配:  $6000\text{H} \sim 67\text{FFH}$  为系统程序区;  $6800\text{H} \sim 6\text{BFFH}$  为用户程序区。
  - 合理选用上述存储芯片, 说明各选几片。
  - 详细画出存储芯片的片选逻辑图。