IQ\_RXD\_v1\_0：通过AXI4-Stream 总线协议将收到的IQ数据传送到FIFO模块中。

前端外部端口：IQ-2bit port，CLK32时钟信号。

1.外部通过CLK32将32Mhz的串行数据分别通过IQ\_RXD[1:0]传送进来，IQ\_RXD[0]是I数据，

[1]是Q数据。通过AXI4-Steam总线传输的时候，I保存在32bit数据的低16位，Q保存在高16位数据，当最后传输的数据不足16bit数据时候，将高位置0。

2.内部接口是Master\_AXIS总线，AXIS\_aclk要求系统时钟大于200Mhz，系统复位AXIS\_aresetn(active low)。