

实验三 序列检测器的设计及逻辑综合

实验目的：熟练使用 Verilog 设计时序电路；

熟悉序列检测器的运行原理；

熟练使用仿真工具和逻辑综合工具生成电路结构；

实验环境：Modelsim SE 10.4 Quartus II 9.0

实验内容：

1. 实现时序控制电路的设计和逻辑综合，详细需求如下：

自己编写序列检测器，检测“010001”，如果测试到目标序列，则绿灯亮；如果闲置状态，则红灯亮；如果正在检测但不符合，则黄灯亮。

2. 将设计好的代码用 Modelsim 进行功能仿真后，再导入 Quartus II 进行逻辑综合，分析生成的电路结构。

注：每次实验完成后，找实验老师检查结果并回答问题，无需提交实验报告。