

实验二 逻辑综合

实验目的：熟练使用硬件设计语言；

熟练运用仿真平台；

深入理解电路中各模块的实现过程；

实验环境：Modelsim SE 10.4 Quartus II 9.0

实验内容：

1. 基本电路设计：

① 逻辑组合设计：

编写乘法器模块，实现两个四位二进制数的乘法。

② 时序电路设计：

实现一个 Memory 单元，可以存储 16 进制整数，即（0~15）。

2. 以上两个电路单元的逻辑综合：

将设计好的源代码文件（*.v 文件）导入 Quartus II 中，进行逻辑综合，分析功能和电路结构。

注：每次实验完成后，找实验老师检查结果并回答问题，无需提交实验报告。