

# 实验一 功能仿真

实验目的：学会使用 modelsim 进行功能仿真；

加深对 Verilog 的赋值语句和基本块语句的理解；

实验环境：Modelsim SE 10.4

实验步骤：

一、参考课件，(如 [05\\_hdl\\_EDA.pdf](#)) 对四选一选择器、译码器（二选一）做

RTL 或者行为级建模，并进行功能仿真：

要求：1. 生成的电路为纯组合逻辑，不允许有存储单元产生；

2. 仿真的时间单位为  $0.1\mu s$ ，精度为  $10ns$ 。

二、测试 非阻塞赋值语句 与 阻塞赋值语句 的差别。

输入如下两段代码，在 modelsim 中编译仿真，查看输出波形有什么差别？为什么？

```
// use blocking
module pipeMult(product, mPlier, mCand, go, clock);
input go, clock;
input [7:0] mPlier, mCand;
output [15:0] product;
reg [15:0] product;
always @(posedge go)
    product = repeat (4) @(posedge clock) mPlier * mCand;
endmodule
```

```
// use non-blocking
module pipeMult(product, mPlier, mCand, go, clock);
```

```

input  go, clock;
input [7:0]  mPlier, mCand;
output [15:0] product;
reg [15:0] product;
always @(posedge go)
    product <= repeat (4) @(posedge clock) mPlier * mCand;
endmodule

```

三、理解 begin.....end 和 fork.....join 块嵌套时的执行顺序。

输入如下两段代码，在 modelsim 中编译仿真，查看输出波形有什么差别？为什么？

```

'timescale 10ns/1ns
module test(input z,w,output out);
reg[0:1]z,w;    reg x,y;
wire[0:3] out;
initial
    begin
        x = 'b0;
        fork
            #5 y = 'b1;
            #10 z = {x,y};
        join
        #20 w={y,x};
    end
endmodule

```

注：每次实验完成后，找实验老师检查结果并回答问题，无需提交实验报告。