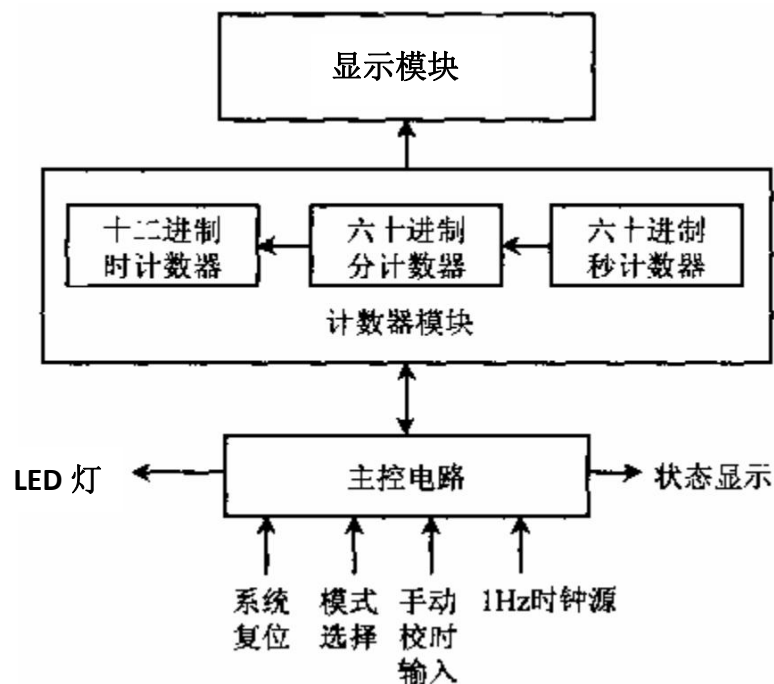


课程设计一：多功能数字钟的设计

1. 数字系统设计问题

设计一个能进行时、分、秒计时的 12h 制或 24h 制的数字时钟，并具有定时与闹钟功能，能在设定的时间发出警示，能方便的对时、分、秒进行手动设置，以校准时间。每逢整点，点亮一个 LED 灯。



2. 设计提示

此设计问题可分为主控电路、计数器模块和显示三大部分。其中**计数器部分**的设计是已经非常熟悉，只要掌握六十进制、十二进制的计数规律，用同步计数或异步计数都可以实现。

显示模块结合 Xilinx Virtex5 开发板电路，可以选择 LED 灯作为指示。

主控电路中**各种特殊功能**的实现：

用两个电平信号 A、B 进行模式选择，其中，AB=00 为模式 0，系统为计时状态；AB=01 为模式 1，系统为手动校时状态；AB=10 为模式 2，系统为闹钟设置状态。

设置一个 turn 信号，当 turn=0 时，表示在手动校对时，选择调整分部分；当

turn=1 时，表示在手动校对时，选择调整时部分。

设置一个 reset 信号，当 reset=0 时，整个系统复位；当 reset=1 时，系统进行计时或其他特殊功能操作。

设置一个关闭闹钟信号 reset1，当 reset1=0 时，关闭闹铃信号： reset1=1 可对闹铃进行设置。当闹铃功能设置后(LD_atert=1，系统应启动一个比较电路，当计时与预设闹铃时间相等时，启动闹钟，直到关闭信号有效。

整点提示由分和秒计时同时为 0（或 60）启动，与闹铃共用一个提示信号 out。

系统计时时钟为 clk=1Hz，选择 FPGA 时钟分频实现。另一个时钟 clk_1k=1024Hz 作为产生 LED 提示的时钟信号。