

# Homework 6

## 6 8086系统中存储器的结构和选择信号

8086系统中存储器采用线性结构，分段式存储，使用 段地址:偏移地址 的方式指定内存地址

使用地址总线发出的信号选中存储体，地址总线为20位，发出的信号是 段\*16+偏移

## 13 内存存放状态

地址	内容
7850:3121	E5
7850:3122	1E
7850:285A	8C
7850:285B	2A

读取 1EE5 时，由于内存没有对齐，需要两次读取

读取 2A8C 时，内存对齐了，只需要读一次

## 17 INTR引脚的控制信号

IF 标志位，当 IF=1 时，可以读取 INTR 引脚；当 IF=0 时，不可以读取

## 18 总线周期

CPU读/写一次数据所需要的时间叫做总线周期

在读取时，数据在 $T_3, T_w, T_4$ 出现在数据总线

在写入时，数据在 $T_2, T_3, T_w, T_4$ 出现在数据总线

## 15 最小/大模式的主要区别

最小模式8086工作于单处理模式，送到I/O和储存器的信号都是CPU自身产生的

最大模式8086支持构成多处理器系统，增加了一片8288总线控制器，部分控制信号由其产生

## 16 为什么要用latch， 8282与CPU如何连接

因为CPU的 AD0-AD15 是 Address 和 Data 共用的接口，先输出地址，地址被锁存器锁存，后输出/入 Data，Data和Address在输入CPU的通路是同一条，为了防止Data干扰Address，需要先将地址锁存  
一共3片锁存器，每片8位，2片与 AD0-AD15 连接，1片与 A16/S3-A19/S6， BHE/S7 连接

## 20 8086重新启动后，从何处执行指令

RESET后 CS:IP = FFFF:0000H，重启后从这里开始执行指令

## 21 8086CPU的最小模式系统配置包括什么

1. 8284A时钟发生器，需要外接15/24MHz的晶振
2. 8086CPU， MN/MX 接+5V
3. 3个地址锁存器，2个数据缓冲器
4. 储存器
5. I/O芯片
6. 总线，连接各个部件