

BÀI 5. GIAO TIẾP VỚI LCD

1. Mục đích

Qua bài học sinh viên có thể đạt được các kiến thức sau:

- Hiểu biết về cơ chế giao tiếp LCD của PIC24F.
- Hiểu về cơ chế hoạt động của ngắt UART trong PIC24F.
- Xây dựng các ứng dụng cơ bản dùng LCD để hiển thị trên board Explorer 16/32.

2. Tóm tắt nội dung lý thuyết

2.1. Giới thiệu

Board Explorer 16 có thể tích hợp 3 loại LCD là dot-matrix, LCD hiển thị bảng chữ cái và graphic LCD. Mặc định, LCD trên board Explorer 16/32 có 2 hàng 16 cột và được điều khiển bởi bộ điều khiển NT7603. LCD được tích hợp bởi màn hình tinh thể LCD, bộ lựa chọn cột và hàng, mạch cấp nguồn và bộ điều khiển tích hợp bên trong, các thành phần trên được tích hợp thành 1 chip gọi là Chip On Glass. Chúng ta có thể giao tiếp với LCD bằng bus 8-bit song song thông qua port IO. Hình 2.1 thể hiện kết nối LCD với PIC24F thông qua 8 bit $PORTE<7:0>$, 2 bit điều khiển thông qua $PORTD<4:5>$ và $PORTB<15>$.

Trên các mô-đun chữ và số, chúng ta có thể trực tiếp đặt mã ký tự ASCII vào bộ đệm RAM LCD Controller (DDRAM). Các hình ảnh đầu ra được sản xuất bởi một bộ tạo ký tự tích hợp (một bảng) sử dụng pixel lưới 5×7 để thể hiện cho ký tự. Bảng thường chứa một ký tự ASCII mở rộng, nó đã được sáp nhập với một tập hợp nhỏ các ký tự kanji trong tiếng Nhật cũng như một số biểu tượng của việc sử dụng phổ biến. Trong khi bảng tạo ký tự chủ yếu được thực hiện trong ROM điều khiển hiển thị, các mô hình hiển thị khác nhau cung cấp khả năng mở rộng bộ ký tự bằng cách sửa đổi/tạo các ký tự mới (lên đến 8 trên một số mô hình) truy cập vào bộ đệm RAM bên trong nhớ thứ hai (CGRAM).

		Higher 4-bit (D4 to D7) of Character Code (Hexadecimal)																
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
Lower 4-bit (D0 to D3) of Character Code (Hexadecimal)	0	CG RAM (1)			0	Q	P	`	P				—	9	E	o	p	
	1	CG RAM (2)		!	1	A	Q	a	4				„	7	†	4	ä	q
	2	CG RAM (3)		"	2	B	R	b	r				"	ı	ı	×	p	e
	3	CG RAM (4)		#	3	C	S	c	s				ı	ı	†	ı	ı	ı
	4	CG RAM (5)		\$	4	D	T	d	t				ı	ı	ı	ı	ı	ı
	5	CG RAM (6)		%	5	E	U	e	u				ı	ı	ı	ı	ı	ı
	6	CG RAM (7)		&	6	F	V	f	v				ı	ı	ı	ı	ı	ı
	7	CG RAM (8)		'	7	G	W	g	w				ı	ı	ı	ı	ı	ı
	8	CG RAM (1)		(8	H	X	h	x				ı	ı	ı	ı	ı	ı
	9	CG RAM (2))	9	I	Y	i	y				ı	ı	ı	ı	ı	ı
	A	CG RAM (3)		*	*	J	Z	j	z				ı	ı	ı	ı	ı	ı
	B	CG RAM (4)		+	+	K	L	k	l				ı	ı	ı	ı	ı	ı
	C	CG RAM (5)		,	<	L	*	ı	ı				ı	ı	ı	ı	ı	ı
	D	CG RAM (6)		—	=	M	I	m)				ı	ı	ı	ı	ı	ı
	E	CG RAM (7)		„	>	N	^	n	†				ı	ı	ı	ı	ı	ı
	F	CG RAM (8)		/	?	O	_	o	†				ı	ı	ı	ı	ı	ı

Hình 2.1. Bảng tạo kí tự được sử dụng bởi NT7603H bên trong bộ điều khiển LCD.

Như đã đề cập ở trên, các Module LCD 2×16 được sử dụng trong board Explorer16 là một trong những lựa chọn rộng lớn của các mô-đun Hiển thị LCD có sẵn trên thị trường

trong các cấu hình khác nhau, từ một đến bốn dòng 8, 16, 20, 32 và lên đến 40 ký tự mỗi, tương thích với chipset HD44780 chuẩn công nghiệp hiện tại.

Bộ tích hợp của HD44780 chỉ có hai thanh ghi địa chỉ riêng biệt, một cho dữ liệu ASCII và một cho các lệnh điều khiển, và tập hợp các lệnh tiêu chuẩn trong bảng 2.1 và 2.2 có thể được sử dụng để thiết lập và điều khiển màn hình:

Bảng 2.1. Bảng các lệnh điều khiển LCD NT7603H.

Lệnh	Code										Mô tả	Thời gian thực thi
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
Clear display	0	0	0	0	0	0	0	0	0	1	Xóa Hiển thị và trả con trỏ đến vị trí đầu tiên (địa chỉ 0).	1.64 ms
Đưa con trỏ về vị trí bắt đầu	0	0	0	0	0	0	0	0	1	*	Trở về con trỏ đến vị bắt đầu (địa chỉ 0). Vị trí hiện thị cũng được đưa về vị trí đầu tiên. Nội dung DDRAM vẫn không thay đổi.	1.64 ms
Cursor home	0	0	0	0	0	0	0	1	I/D	S	Đặt hướng di chuyển của con trỏ (I/D), chỉ định để thay đổi các hiển thị (S). Các hoạt động được thực hiện trong dữ liệu đọc/ghi.	40 us
Display On/Off control	0	0	0	0	0	0	1	D	C	B	Đặt on/off của tất cả các màn hình (D), hiển thị con trỏ (C) và nhấp nháy của ký tự vị trí con trỏ (B).	40us
Cursor/display shift	0	0	0	0	0	1	S/C	R/L	*	*	Đặt Cursor-Move hoặc Display-Shift (S/C), Shift hướng (R/L). Nội dung DDRAM vẫn không thay đổi.	40us
Function set	0	0	0	0	1	DL	N	F	*	*	Đặt chiều dài dữ liệu giao diện (DL), số dòng hiển thị (N) và phong chữ ký tự (F).	40us
Set CGRAM address	0	0	0	1	Set CGRAM address						Đặt địa chỉ CGRAM. Dữ liệu CGRAM được gửi và nhận sau khi cài đặt câu lệnh này.	40us
Set DDRAM address	0	0	1	DDRAM address							Đặt địa chỉ DDRAM. Dữ liệu DDRAM được gửi và nhận sau khi cài đặt câu lệnh này.	40us
Read busy-flag and address counter	0	1	BF	CGRAM / DDRAM address							Đọc cờ bận (BF) cho biết hoạt động nội bộ đang được thực hiện và đọc CGRAM hoặc DDRAM địa chỉ truy cập nội dung (tùy thuộc vào hướng dẫn trước).	0us

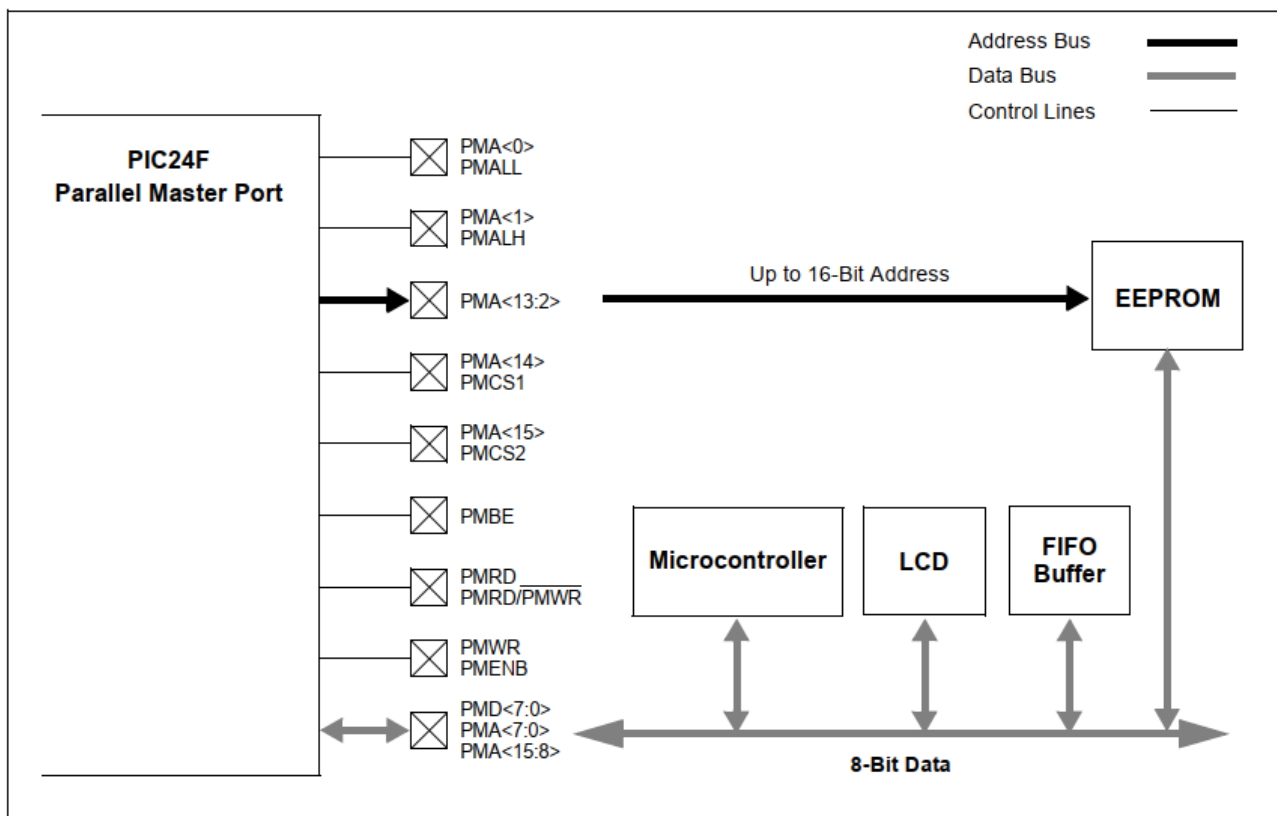
Write to CGRAM or DDRAM	1	0	write data	Ghi dữ liệu vào CGRAM hoặc DDRAM.	40us
Read from CGRAM or DDRAM	1	1	Read data	Reads data from CGRAM or DDRAM.	40us

Bảng 2.2. Mô tả các bit dùng trong các câu lệnh điều khiển.

Tên bit	Cấu hình/trạng thái	
I/D	0 = Vị trí con trỏ giảm.	1 = Vị trí con trỏ tăng.
S	0 = Không hiển thị dịch chuyển.	1 = Hiển thị dịch chuyển.
D	0 = Tắt hiển thị.	1 = Bật hiển thị.
C	0 = Tắt con trỏ.	1 = Bật con trỏ.
B	0 = Tắt con trỏ nhấp nháy.	1 = Bật con trỏ nhấp nháy.
S/C	0 = Dịch chuyển con trỏ.	1 = Dịch chuyển hiển thị.
R/L	0 = Dịch trái.	1 = Dịch phải.
DL	0 = Giao diện 4 bit.	1 = Giao diện 8 bit.
N	0 = 1/8 or 1/11 Duty (1 line)	1 = 1/16 Duty (2 lines)
F	0 = 5x7 dots	1 = 5x10 dots
BF	0 = Có thể chấp nhận lệnh.	1 = Hoạt động bên trong đang được hiển thị.

2.2. Parallel Master Port – PMP

Hình 2.2 thể hiện việc kết nối các chân tín hiệu PMP với các thiết bị ngoại vi như vi điều khiển khác, LCD, EEPROM.



Hình 2.2. Tổng quan module PMP.

Việc ghi dữ liệu ra LCD được sử dụng bởi đường bus dữ liệu 8-bit: D7-D0 tương ứng với các chân PMPD<7:0>/RE0-RE7. Ngoài ra còn có các tín hiệu cần thiết sau:

- Tín hiệu cho phép: enable strobe line (E) tương ứng với chân tín hiệu PMPE/RD4.
- Tín hiệu cho phép đọc hoặc ghi: Read/Write selection line (R/W) tương ứng với chân tín hiệu PMPRD/PMPWR/RD5.
- Tín hiệu địa chỉ (RS) để chọn thanh ghi tương ứng với chân tín hiệu PMPCS<2:1>.

PIC24F cấu hình IP Port là Parallel Master Port (PMP) để truy xuất các đường dữ liệu và tín hiệu điều khiển của LCD. PMP trên PIC24F có những đặc điểm sau:

- Đường dữ liệu 2 chiều (đầu vào và đầu ra) có độ rộng là 8 hoặc 16 bit.
- 16 đường địa chỉ có thể đánh địa chỉ lên đến 64k.
- 6 tín hiệu strobe/điều khiển bao gồm:
 - Enable
 - Address latch
 - Read
 - Write
 - 2 đường tín hiệu Chip select.

2.3. Cấu hình EPMP để điều khiển LCD

2.3.1. Thanh ghi PMCON1

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PMPEN	—	PSIDL	ADMUX1	ADMUX0	PTBEEN	PTWREN	PTRDEN
bit 15							bit 8

R/W-0	R/W-0	R/W-0 ⁽¹⁾	R/W-0 ⁽¹⁾	R/W-0 ⁽¹⁾	R/W-0	R/W-0	R/W-0
CSF1	CSF0	ALP	CS2P	CS1P	BEP	WRSP	RDSP
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

Hình 2.3. Thanh ghi PMCON.

Bảng 2.3. Bảng mô tả các bit trong thanh ghi PMCON.

Bit	Tên	Chức năng
15	PMPEN: Parallel Master Port Enable bit	1 = Cho phép PMP hoạt động. 0 = PMP bị vô hiệu hoá, không có các truy cập off-chip được thực hiện.
13	PSIDL: Stop in Idle Mode bit	1 = Gián tiếp hoạt động mô-đun khi thiết bị vào chế độ nhàn rỗi. 0 = Tiếp tục hoạt động mô-đun ở chế độ nhàn rỗi.

12-11	ADRMUX <1:0>: Address/Data Multiplexing Selection bits	11 = Reserved 10 = Tất cả 16 bit địa chỉ được multiplexed trên PMD <7:0> Pins. 01 = Các bit thấp của multiplexed trên PMD<7:0> pins, 8 bit cao trên PMA<15:8> 00 = Địa chỉ và dữ liệu xuất hiện trên các chân tách biệt.
9-8	MODE <1:0>: Parallel Port Mode Select bits	11 = Chế độ master. 10 = Chế độ Enhanced PSP; các chân được sử dụng là PMRD, PMWR, PMCS, PMD<7:0> and PMA<1:0>. 01 = Chế độ Buffered PSP; các chân được sử dụng là PMRD, PMWR, PMCS and PMD<7:0> 00 = Chế độ Legacy Parallel Slave Port; các chân được sử dụng là PMRD, PMWR, PMCS and PMD<7:0>
7-6	CSF <1:0>: Chip Select Function bits	11 = Reserved 10 = PMA15 được dùng cho Chip Select 2, PMA14 được dùng cho Chip Select 1. 01 = PMA15 được dùng cho Chip Select 2, PMCS1 được dùng cho Chip Select 1. 00 = PMCS2 được dùng cho Chip Select 2, PMCS1 được dùng cho Chip Select 1.
5	ALP : Address Latch Polarity bit	1 = Active-high (PMALL and PMALH) 0 = Active-low (PMALL and PMALH)
4	ALMODE : Address Latch Strobe Mode bit	1 = Cho phép “smart” address strobes. 0 = vô hiệu hóa “smart” address strobes.
2	BUSKEEP : Bus Keeper bit	1 = Dữ liệu Bus giữ giá trị cuối cùng của nó khi không được kích hoạt. 0 = Bus dữ liệu là ở trạng thái trở kháng cao khi không được kích hoạt.
1	IRQM <1:0>: Interrupt Request Mode bits	11 = Ngắt được tạo ra khi bộ Buffer 3 được đọc hoặc được viết (chế độ PSP buffered), hoặc trên một hoạt động đọc hoặc ghi khi PMA < 1:0 > = 11 (chỉ ở chế độ địa chỉ PSP). 10 = Reserved. 01 = Ngắt được tạo ra ở phần cuối của một chu kỳ đọc/ghi. 00 = Ngắt không được tạo ra.

2.3.2. Thanh ghi PMCON2

R-0, HSC	U-0	R/C-0, HS	R/C-0, HS	U-0	U-0	U-0	U-0
BUSY	—	ERROR	TIMEOUT	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RADDR23 ⁽¹⁾	RADDR22 ⁽¹⁾	RADDR21 ⁽¹⁾	RADDR20 ⁽¹⁾	RADDR19 ⁽¹⁾	RADDR18 ⁽¹⁾	RADDR17 ⁽¹⁾	RADDR16 ⁽¹⁾
bit 7							bit 0

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown
C = Clearable bit	HS = Hardware Settable bit	HSC = Hardware Settable/Clearable bit

Hình 2.4. Thanh ghi PMCON2.

Bảng 2.4. Bảng mô tả các bit của thanh ghi PMCON2.

Bit	Tên	Chức năng
15	BUSY: Busy bit (Master mode only)	1 = Port đang bận. 0 = Port không bận.
13	ERROR: Error bit	1 = Quá trình đọc/ghi dữ liệu bị lỗi. 0 = Quá trình đọc/ghi dữ liệu thành công.
12	TIMEOUT: Time-out bit	1 = Quá trình đọc/ghi dữ liệu quá thời gian chờ. 0 = Quá trình đọc/ghi dữ liệu thành công.
7-0	RADDR<23:16>: Parallel Master Port Reserved Address Space bits	Địa chỉ ghi ra master port address.

2.3.3. Thanh ghi PMCON3

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
PTWREN	PTRDEN	PTBE1EN	PTBE0EN	—	AWAITM1	AWAITM0	AWAITE
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

Hình 2.5. Thanh ghi PMCON3.

Bảng 2.5. Bảng mô tả các bit của thanh ghi PMCON4.

Bit	Tên	Chức năng
15	PTWREN: Write/Enable Strobe Port Enable bit	1 = Cho phép các chân PMWR/PMENB hoạt động. 0 = Vô hiệu hóa các chân PMWR/PMENB.
14	PTRDEN: Read/Write Strobe Port Enable bit	1 = Cho phép các chân PMRD/PMWR hoạt động. 0 = Vô hiệu hóa các chân PMRD/PMWR.
13	PTBE1EN: High Nibble/Byte Enable Port Enable bit	1 = Cho phép chân PMBE1 hoạt động. 0 = Vô hiệu hóa chân PMBE1.
12	PTBE0EN: Low Nibble/Byte Enable Port Enable bit	1 = Cho phép chân PMBE0 hoạt động. 0 = Vô hiệu hóa chân PMBE0.
10-9	AWAITM<1:0>: Address Latch Strobe Wait States bits	11 = Đợi 3½ TCY 10 = Đợi 2½ TCY 01 = Đợi 1½ TCY 00 = Đợi ½ TCY
8	AWAITE: Address Hold After Address Latch Strobe Wait States bits	1 = Đợi 1¼ TCY 0 = Đợi ¼ TCY

2.3.4. Thanh ghi PMCON5

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN15	PTEN14	PTEN<13:8>					
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN<7:3>					PTEN<2:0>		
bit 7							bit 0

Legend:

R = Readable bit
-n = Value at POR

W = Writable bit
'1' = Bit is set

U = Unimplemented bit, read as '0'
'0' = Bit is cleared
x = Bit is unknown

Hình 2.6. Thanh ghi PMCON5.

Bảng 2.6. Bảng mô tả các bit của thanh ghi PMCON5

Bit	Tên	Chức năng
15	PTEN15: PMA15 Port Enable bit	1 = PMA15 hoạt động như đường địa chỉ thứ 15 hoặc Chip Select 2. 0 = PMA15 hoạt động như port I/O.
14	PTEN14: PMA14 Port Enable bit	1 = PMA14 hoạt động như đường địa chỉ thứ 14 hoặc Chip Select 1. 0 = PMA14 hoạt động như port I/O.
13-3	PTEN<13:3>: EPMP Address Port Enable bits	1 = PMA<13:3> hoạt động như EPMP đường địa chỉ.

		0 = PMA<13:3> hoạt động như port I/Os
2-0	PTEN <2:0>: PMALU/PMALH/PMALL Strobe Enable bits	1 = PMA<2:0> hoạt động như đường địa chỉ hoặc address latch. 0 = PMA<2:0> hoạt động như port I/Os.

2.3.5. Thanh ghi PMCSxCF

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
CSDIS	CSP	CSPTEN	BEP	—	WRSP	RDSP	SM
bit 15							bit 8
R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0
ACKP	PTSZ1	PTSZ0	—	—	—	—	—
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

Hình 2.7. Thanh ghi PMCSxCF.

Bảng 2.7. Bảng mô tả các bit của thanh ghi PMCSxCF.

Bit	Tên	Chức năng
15	CSDIS : Chip Select x Disable bit	1 = Vô hiệu hoá chức năng Chip Select x. 0 = Cho phép chức năng Chip Select x.
14	CSP : Chip Select x Polarity bit	1 = Kích hoạt mức cao (PMCSx) 0 = Kích hoạt mức thấp (PMCSx)
13	CSPTEN : PMCSx Port Enable bit	1 = Cho phép port PMCSx. 0 = Vô hiệu hóa port PMCSx.
12	BEP : Chip Select x Nibble/Byte Enable Polarity bit	1 = PMBE0, PMBE1 kích hoạt mức cao. 0 = PMBE0, PMBE1 kích hoạt mức thấp.
10	WRSP : Chip Select x Write Strobe Polarity bit	Đối với chế độ Slave và chế độ Master khi SM = 0: 1 = Ghi strobe kích hoạt mức cao (PMWR) 0 = Ghi strobe kích hoạt mức thấp (PMWR) Chế độ Master khi SM = 1: 1 = Cho phép strobe kích hoạt mức cao (PMENB) 0 = Cho phép strobe kích hoạt mức thấp (PMENB)
9	RDSP : Chip Select x Read Strobe Polarity bit	Đối với chế độ Slave và chế độ Master khi SM = 0: 1 = Đọc strobe kích hoạt mức cao (PMRD) 0 = Đọc strobe kích hoạt mức thấp (PMRD) Chế độ Master khi SM = 1: 1 = Đọc/ghi kích hoạt mức cao (PMRD/PMWR) 0 = Đọc/ghi kích hoạt mức thấp (PMRD/PMWR)

8	SM: Chip Select x Strobe Mode bit	1 = Sử dụng các chân PMRD/ <u>PMWR</u> và PMENB. 0 = Sử dụng các chân PMRD and PMWR.
7	ACKP: Chip Select x Acknowledge Polarity bit	1 = ACK kích hoạt mức cao (PMACK1). 0 = ACK kích hoạt mức thấp (PMACK1).
6-5	PTSZ<1:0>: Chip Select x Port Size bits	11 = Reserved 10 = Sử dụng 16-bit port (PMD<15:0>) 01 = Sử dụng 4-bit port (PMD<3:0>) 00 = Sử dụng 8-bit port (PMD<7:0>)

2.3.6. Thanh ghi PMAEN

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN15	PTEN14	PTEN13	PTEN12	PTEN11	PTEN10	PTEN9	PTEN8
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN7	PTEN6	PTEN5	PTEN4	PTEN3	PTEN2	PTEN1	PTEN0
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

Hình 2.8. Thanh ghi PMAEN.

Bảng 2.8. Bảng mô tả các bit của thanh ghi PMAEN.

Bit	Tên	Chức năng
15-14	PTEN<15:14>: PMCSx Strobe Enable bits	1 = Chức năng chân PMA15 and PMA14 như là PMA<15:14> hay PMCS2 và PMCS1. 0 = PMA15 and PMA14 function as port I/O
13-2	PTEN<13:2>: PMP Address Port Enable bits	1 = Chức năng chân PMA<13:2> như là PMP đường địa chỉ. 0 = Chức năng chân PMA<13:2> như là I/O port.
1-0	PTEN<1:0>: PMALH/PMALL Strobe Enable bits	1 = Chức năng chân PMA1 và PMA0 như là PMA<1:0> hay PMALH và PMALL. 0 = Chức năng chân PMA1 và PMA0 như I/O port.

2.3.7. Thanh ghi PMCSxBS

R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾
BASE<23:16>							
bit 15							bit 8
R/W ⁽¹⁾	U-0	U-0	U-0	R/W ⁽¹⁾	U-0	U-0	U-0
BASE15	—	—	—	BASE11	—	—	—
bit 7							bit 0
Legend: R = Readable bit W = Writable bit U = Unimplemented bit, read as '0' -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown							

Hình 2.9. Thanh ghi PMCSxBS.

Bit	Tên	Chức năng
15-7	BASE<23:15> : Chip Select x Base Address bits	Địa chỉ cho ChipSelect x bit.
3	BASE11 : Chip Select x Base Address bit	Địa chỉ cho ChipSelect x bit.

2.3.8. Thanh ghi PMCSxMD

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
ACKM1	ACKM0	AMWAIT2	AMWAIT1	AMWAIT0	—	—	—
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DWAITB1	DWAITB0	DWAITM3	DWAITM2	DWAITM1	DWAITM0	DWAITE1	DWAITE0
bit 7							bit 0
Legend: R = Readable bit W = Writable bit U = Unimplemented bit, read as '0' -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown							

Hình 2.10. Thanh ghi PMCSxMD

Bảng 2.9. Bảng mô tả các bit của thanh ghi PMCSxMD.

Bit	Thanh ghi	Chức năng
15-14	ACKM<1:0> : Chip Select x Acknowledge Mode bits	11 = Reserved. 10 = PMACKx được sử dụng để xác định khi một thao tác đọc/ghi hoàn tất. 01 = PMACKx được sử dụng để xác định khi một thao tác đọc/ghi được hoàn tất với thời gian. (Nếu DWAITM < 3:0 > = 0000, thời gian chờ tối đa là 255 TCY hoặc khác nó là DWAITM < 3:0 > chu kỳ.). 00 = PMACKx không được sử dụng.
13-11	AMWAIT<2:0> : Chip Select x Alternate Master Wait States bits	111 = Chờ 10 chu kì master. ... 001 = Chờ 4 chu kì master. 000 = Chờ 3 chu kì master.
7-6	DWAITB<1:0> : Chip Select x Data Setup Before Read/Write Strobe Wait States bits	11 = Đợi 3¼ TCY. 10 = Đợi 2¼ TCY. 01 = Đợi 1¼ TCY. 00 = Đợi ¼ TCY.
5-2	DWAITM<3:0> : Chip Select x Data Read/Write Strobe Wait States bits	Với hoạt động ghi: 1111 = Đợi 15½ TCY. ... 0001 = Đợi 1½ TCY. 0000 = Đợi ½ TCY. Với hoạt động đọc: 1111 = Đợi 15¾ TCY. ... 0001 = Đợi 1¾ TCY. 0000 = Đợi ¾ TCY.
1-0	DWAITE<1:0> : Chip Select x Data Hold After Read/Write Strobe Wait States bits	Với hoạt động ghi: 11 = Đợi 3¼ TCY 10 = Đợi 2¼ TCY 01 = Đợi 1¼ TCY 00 = Đợi ¼ TCY Với hoạt động đọc: 11 = Đợi 3 TCY 10 = Đợi 2 TCY 01 = Đợi 1 TCY 00 = Đợi 0 TCY

2.3.9. Thanh ghi PMSTAT

R-0	R/W-0, HS	U-0	U-0	R-0	R-0	R-0	R-0
IBF	IBOV	—	—	IB3F	IB2F	IB1F	IB0F
bit 15							bit 8

R-1	R/W-0, HS	U-0	U-0	R-1	R-1	R-1	R-1
OBE	OBUF	—	—	OB3E	OB2E	OB1E	OB0E
bit 7							bit 0

Legend:	HS = Hardware Settable bit		
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

Hình 2.11. Thanh ghi PMSTAT.

Bit	Tên	Chức năng
15	IBF : Input Buffer Full Status bit	1 = Tất cả các thanh ghi đầu vào đệm là đầy. 0 = Một vài hoặc tất cả thanh ghi đầu vào của bộ đệm là trống.
14	IBOV : Input Buffer Overflow Status bit	1 = Một quá trình ghi cố gắng thực hiện ghi vào thanh ghi đã đầy – overflow xảy ra (phải được xóa bởi phần mềm). 0 = Không có overflow xảy ra.
11-8	IB3F-IB0F : Input Buffer n Status Full bit	1 = Buffer đầu vào chứa dữ liệu nhưng chưa được đọc (đọc dữ liệu từ buffer sẽ xóa bit này). 0 = Buffer đầu vào không chứa dữ liệu chưa được đọc.
7	OBE : Output Buffer Empty Status bit	1 = Tất cả các thanh ghi của bộ đệm đầu ra là rỗng. 0 = Một vài hoặc toàn bộ thanh ghi của bộ đệm đầu ra đã đầy.
6	OBUF : Output Buffer Underflow Status bit	1 = Được thiết lập khi xảy ra một hoạt động đọc từ thanh ghi bộ đệm đầu ra rỗng – underflow xảy ra (phải được xóa bởi phần mềm). 0 = Không có underflow xảy ra.
3-0	OB3E:OB0E : Output Buffer n Status Empty bit	1 = Bộ đệm đầu ra đang rỗng (Ghi dữ liệu vào bộ đệm sẽ xóa bit này). 0 = Bộ đệm đầu ra chứa dữ liệu và chưa được gửi đi.

2.3.10. Thanh ghi PADCON

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	RTSECSEL ⁽¹⁾	PMPTTL ⁽²⁾
bit 7							bit 0

Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

Hình 2.12. Thanh ghi PADCFG1.

Bảng 2.10. Bảng mô tả các bit của thanh ghi PADCFG1.

Bit	Tên	Chức năng
1	RTSECSEL: RTCC Seconds Clock Output Select bit	1 = RTCC Seconds Clock is selected for the RTCC pin. 0 = RTCC Alarm Pulse is selected for the RTCC pin.
0	PMPTTL: PMP Module TTL Input Buffer Select bit	1 = PMP module uses TTL input buffers 0 = PMP module uses Schmitt input buffers

3. Nội dung thực hành

Tạo project cho **PIC24FJ1024GB610**, đặt tên là **Lab5** và lưu ở đường dẫn: **D:/VDK/Lab5**.

Đoạn code bên dưới tiến hành cấu hình PMP dùng cho việc kết nối với LCD. Trong đó gồm các cấu hình:

- Cấu hình PMP enabled.
- Cấu hình đường dữ liệu và địa chỉ riêng biệt (Fully demultiplexed interface).
- RD4 đóng vai trò là tín hiệu enable strobe.
- RD5 đóng vai trò cho tín hiệu read.
- Cấu hình tín hiệu enable strobe kích hoạt ở mức cao.
- Cấu hình tín hiệu read kích hoạt ở mức cao, tín hiệu write ở mức thấp.
- Tín hiệu read/write ở trên cùng 1 chân RD5.
- Đường bus 8 bit thông qua PORTE: RE7-RE0.
- Chỉ cần 1 đường địa chỉ thông qua PMA0/RB15.

Ngoài ra, cần cấu hình thời gian chờ cho mỗi hoạt động đọc và ghi:

- Delay dữ liệu setup trước khi đọc/ghi bằng $4 \times T_{cy}$
- Delay giữa R/W và enable bằng $15 \times T_{cy}$.

```
#include "xc.h"
#include <p24FJ1024GB610.h>

#define LCD_MAX_COLUMN    16

#define CS1_BASE_ADDRESS  0x00020000
#define CS2_BASE_ADDRESS  0x000A0000

static __eds__ unsigned int __attribute__((noload, section("epmp_cs1"),
address(CS1_BASE_ADDRESS))) ADDR0 __attribute__((space(eds)));
static __eds__ unsigned int __attribute__((noload, section("epmp_cs1"),
address(CS1_BASE_ADDRESS))) ADDR1 __attribute__((space(eds)));

#define LCD_COMMAND_CLEAR_SCREEN    0x01
#define LCD_COMMAND_RETURN_HOME    0x02
#define LCD_COMMAND_ENTER_DATA_MODE 0x06
#define LCD_COMMAND_CURSOR_OFF     0x0C
#define LCD_COMMAND_CURSOR_ON      0x0F
#define LCD_COMMAND_MOVE_CURSOR_LEFT 0x10
#define LCD_COMMAND_MOVE_CURSOR_RIGHT 0x14
#define LCD_COMMAND_SET_MODE_8_BIT  0x38
#define LCD_COMMAND_ROW_0_HOME      0x80
#define LCD_COMMAND_ROW_1_HOME      0xC0
#define LCD_START_UP_COMMAND_1      0x33
#define LCD_START_UP_COMMAND_2      0x32

#define LCD_COMMAND_CLEAR_SCREEN    0x01
#define LCD_COMMAND_RETURN_HOME    0x02
#define LCD_COMMAND_ENTER_DATA_MODE 0x06
#define LCD_COMMAND_CURSOR_OFF     0x0C
#define LCD_COMMAND_CURSOR_ON      0x0F
#define LCD_COMMAND_MOVE_CURSOR_LEFT 0x10
#define LCD_COMMAND_MOVE_CURSOR_RIGHT 0x14
#define LCD_COMMAND_SET_MODE_8_BIT  0x38
#define LCD_COMMAND_ROW_0_HOME      0x80
#define LCD_COMMAND_ROW_1_HOME      0xC0
#define LCD_START_UP_COMMAND_1      0x33
#define LCD_START_UP_COMMAND_2      0x32

#define LCD_SET_ACG(d) LCD_CMD(((d & 0x3f) | 0x40));
#define LCD_SET_ADD(d) LCD_CMD(((d & 0x7f) | 0x80));

#define delay_32ms() TMR1 = 0; while(TMR1 < 2000);
#define delay_162us() TMR1 = 0; while(TMR1 < 100);
#define delay_48us() TMR1 = 0; while(TMR1 < 3);
#define DELAY() TMR1=0; while( TMR1<9000)

#define POT 5 // 10k potentiometer connected to AN5 input
#define AINPUTS 0xffef // Analog inputs for Explorer16 POT

void LCD_CMD(char cmd){
    ADDR0 = cmd;
}
```



```
void LCD_DATA(char data){
    ADDR1 = data;
}
void LCD_ClearScreen(void) {
    LCD_CMD(LCD_COMMAND_CLEAR_SCREEN);
    delay_32ms();

    LCD_CMD(LCD_COMMAND_RETURN_HOME);
    delay_32ms();
}

void LCDinit(void) {

    PMCON1bits.PMPEN = 1;
    PMCON1bits.MODE = 3;
    PMCON1bits.CSF = 0;
    PMCON1bits.ALP = 0;
    PMCON1bits.ALMODE = 0;
    PMCON1bits.BUSKEEP = 0;
    PMCON1bits.ADRMUX = 0;
    PMCON1bits.IRQM = 1;

    PMCS1BS = (CS1_BASE_ADDRESS >> 8);

    PMCS1CFbits.CSDIS = 0; // enable CS
    PMCS1CFbits.CSP = 1; // CS1 polarity
    PMCS1CFbits.BEP = 1; // byte enable polarity
    PMCS1CFbits.WRSP = 1; // write strobe polarity
    PMCS1CFbits.RDSP = 1; // read strobe polarity
    PMCS1CFbits.CSP TEN = 1; // enable CS port
    PMCS1CFbits.SM = 0; // read and write strobes on separate lines
    PMCS1CFbits.PTSZ = 0; // data bus width is 8-bit
    PMCS1MDbits.ACKM = 0; // PMACK is not used

    PMCS1MDbits.DWAITB = 3;
    PMCS1MDbits.DWAITM = 0xf;
    PMCS1MDbits.DWAITE = 3;

    PMCON2bits.RADDR = 0; // don't care since CS2 is not be used
    PMCON4 = 0x0001; // PMA0 - PMA15 address lines are enabled

    PMCON3bits.PTWREN = 1; // enable write strobe port
    PMCON3bits.PTRDEN = 1; // enable read strobe port
    PMCON3bits.PTBE0EN = 1; // enable byte enable port
    PMCON3bits.PTBE1EN = 0; // enable byte enable port
    PMCON3bits.AWAITM = 0b11; // set address latch pulses width to 3 1/2 Tcy
    PMCON3bits.AWAITE = 1; // set address hold time to 1 1/4 Tcy

    PMCON1bits.PMPEN = 1; // enable the module

    T1CON = 0x8030; // Fosc/2, prescaled 1:256, 16us/tick
    delay_32ms();
```

```
LCD_CMD(LCD_START_UP_COMMAND_1);
delay_48us();

LCD_CMD(LCD_START_UP_COMMAND_2);
delay_48us();

LCD_CMD(LCD_COMMAND_SET_MODE_8_BIT);
delay_48us();

LCD_CMD(LCD_COMMAND_CURSOR_OFF);
delay_48us();

LCD_CMD(LCD_COMMAND_ENTER_DATA_MODE);
delay_48us();

LCD_CMD(LCD_COMMAND_CLEAR_SCREEN);
delay_162us();

LCD_CMD(LCD_COMMAND_RETURN_HOME);
delay_162us();
}
void LCD_PutChar(char inputChar){
    LCD_DATA(inputChar);
    delay_48us();
}

void LCD_PutString(char* inputString, uint16_t length) {
    while (length-->0) {
        switch (*inputString) {
            case 0x00:
                return;
            default:
                LCD_PutChar(*inputString++);
                break;
        }
    }
}

int main(void) {
    LCDinit();
    initADC(AINPUTS);
    initInterrupt();
    LCD_PutString("TH VDK", 6);
    while (1);
    return 0;
}
```

Tiến hành thêm file main.c với nội dung như đoạn code phía trên và cấu hình bit như hình 2.13. Sau đó tiến hành chạy trên board và quan sát kết quả.

TÀI LIỆU THAM KHẢO

1. PIC24FJ1024GB610 family datasheet.pdf.
2. Explorer_16_32_Schematics_R6_3.pdf.
3. PIC24FJ1024GB610 Plug-In Module (PIM) Information Sheet.pdf.
4. NT7603_V2.3.pdf.