

I. Recomandări pentru formatare

1. Un singur modul într-un fișier.
2. Nu folosiți TAB-uri, ci un număr fix de spații – 4 la acest laborator.
3. Parametri și constantele se vor declara cu MAJUSCULE.
4. Numele modulelor, semnalelor și al porturilor se vor scrie cu litere mici.
5. Puneți câte un spațiu de fiecare parte a operatorilor.
6. Puneți o singură operație pe linie (declarație, asignare etc.).
7. Nu lungiți liniile – limita de 80 de caractere la acest laborator.
8. Folosiți doar comentarii de o singură linie. Dacă e nevoie de mai multe împărțiți-l pe mai multe linii comentate individual.
9. Nu lăsați cod comentat în varianta finală.

II. Recomandări pentru structură

1. Numele modulelor din vârful ierarhiilor trebuie să se termine în *_top*.
 - a. În module *top* nu se fac decât instanțieri.
 - b. În modulele *top*, pentru instanțieri iterative se folosește constructul *generate*.
 - c. În modulele *top* în afara instanțierilor se pot face și asignări directe sau cu maxim 1 nivel de condiționare.
2. Instanțierea se face folosind forma cu *'.'* (punct).
3. Fiecare semnal sau parametru va fi instanțiat pe o linie separată.
4. Numele instanțelor trebuie să fie derivat din numele modulului instanțiat.
5. Semnalele active jos trebuie să aibe un sufix distinctiv – pentru acest laborator recomandăm *'_'* sau *'_n'*.
6. Declararea magistralelor se va face de la MSB la LSB.
7. Declararea locațiilor dintr-un tablou de semnale (ex: memorie) se va face de la cea mai puțin semnificativă la cea mai semnificativă.
8. **Recomandare opțională:** semnalele de intrare și ieșire pot avea sufixe distinctive (ex: *'_i'*, *'_o'*, *'_in'*, *'_out'* etc.)
9. **Recomandare opțională:** dacă un semnal de intrare sau ieșire e activ jos, sufixele alese pot fi combinate sau înșiruite.

III. Recomandări pentru design

1. Fără latchuri.
2. Asignări 'blocking' în procesele combinaționale.
3. Asignări 'non-blocking' în procesele secvențiale.
4. Ieșirile secvențiale.
5. În procesele secvențiale nu se folosește altă logică decât de reset.
6. Fără bucle combinaționale.

7. Fără drivere multiple – un semnal se modifică într-un singur proces.
8. Resetul se dezactivează sincron, indiferent de tipul lui.
9. Dacă sunt mai multe domenii de tact, semnalele care trec dintr-un domeniu în altul trebuie sincronizate.
10. Fără bucle*.

IV. Recomandări pentru testbench

1. Directivele de compilator se fac aici
 - a. Se stabilește temporizarea simulării (directiva ‘*timescale*’)
 - b. Se definesc alți parametri ai proiectului (directive ‘*define*’)
2. Se pot folosi bucle.
3. Se pot folosi procese de tip *initial* și *final*.
4. Se evită driverele multiple și buclele combinaționale ca și în design.