



Thales Silicon Security



Ecole des Mines de Saint-Etienne (EMSE)

---

# Optimisation d'un processeur RISC-V pour la cryptographie et la consommation

---

Du 1er avril 2025 au 22 aout 2025

## Stage technique (2A)

GUILLOUX Kévin, promotion EI23

Tuteur entreprise :  
ALLART Côme

Tuteur académique :  
POTIN Olivier

## *Remerciements*

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

Je remercie...

## Sommaire

I. Introduction .....	1
II. Présentation de l'entreprise d'accueil : Thales .....	2
III. Optimisation d'un processeur RISC-V pour la Cryptographie .....	3
IV. Régulation de la consommation de puissance d'un processeur RISC-V .....	4
V. Conclusion .....	5

## Liste des Figures

## **I. Introduction**

## **II. Presentation de l'entreprise d'accueil : Thales**

### **III. Optimisation d'un processeur RISC-V pour la Cryptographie**

## **IV. Régulation de la consommation de puissance d'un processeur RISC-V**



## **V. Conclusion**