

# 同济大学实验报告纸

软件工程 专业2026届 1 班225258 姓名 林继坤 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2023年10月18日

## [实验目的]

1. 用与非门构成基本R-S触发器
2. 集成J-K触发器功能测试
3. 集成D触发器功能测试
4. 用D触发器构成分频器

## [实验设备]

1. TD-DS实验系统
2. 74LS00 - 2输入端四与非门
3. 74LS112 - 双J-K触发器
4. 74LS74 - 双D触发器

## [实验原理]

### 1. 时序电路

本实验学习触发器，是一种时序电路，时序电路的输出不仅与当前的输入信号有关，还和电路的先前状态有关。

从电路的组成上来看，时序逻辑电路一定包含有触发器。时序逻辑电路的基本单元是触发器，组合逻辑电路的基本单元是门电路。

### 2. 触发器

触发器是一种具有存储和记忆功能的单元电路，可用于接收、存储、输出二进制代码0和1。

从时序关系来看，触发器的次态不仅与输入信号状态有关，而且与触发器的现态有关。

触发器接收输入信号之前的状态叫做现态，触发器接受输入信号之后的状态叫做次态，现态和次态是两个相邻离散时间里触发器的输出端的状态，现态和次态

# 同济大学实验报告纸

软件工程专业2026届1班2250758姓名林继申第组同组人员

课程名称计算机组成原理实验实验名称触发器实验实验日期2023年10月18日

是一组相对的关系。

触发器分为双稳态、单稳态和无稳态触发器(多谐振荡器)

双稳态触发器输出有两个稳定状态0和1，本实验所涉及的几种触发器(基本R-S触发器、JK触发器、D触发器)都是双稳态触发器。

## 3. 基本R-S触发器

基本R-S触发器是一种最简单的触发器，是构成其他各种触发器的基础。其电路具有两个稳定状态，在无外来触发信号作用时，电路将保持原状态不变。

在外加有效触发信号时，电路会触发翻转，实现置0或置1。

基本R-S触发器的约束条件为：在稳定状态下，两个输出端的状态必须是互补关系。

### 【实验内容】

#### 1. 用门电路构建基本R-S触发器

##### (1) 两个与非门构成基本R-S触发器

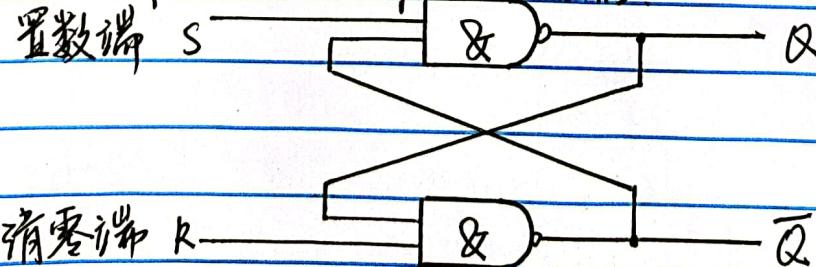


图1 基本R-S触发器逻辑原理图

##### (2) 基本R-S触发器工作原理

①  $RD=0, SP=1$  (置0)

当  $RD=0$  时，无论原状态如何， $\bar{Q}=1$ ,  $Q=0$  触发

# 同济大学实验报告纸

软件工程专业 2026 届 1 班 2250758 姓名 林迷申 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2023 年 10 月 18 日

触发器置 0 态。无论 RD 为 0 或 1，只要 SD = 1，触发器保持 0 态。

$$Q^{n+1} = \overline{S \cdot \bar{Q}} = \overline{1 \cdot \bar{Q}} = 0$$

$$\bar{Q}^{n+1} = \overline{R \cdot Q} = \overline{0 \cdot Q} = 0$$

② RD = 1, SD = 0 (置 1)

SD = 0，都有  $Q = 1$ 。只要保持 RD = 1 不变，即使 SD 由 0 跳变为 1，触发器仍保持 1 态。

$$Q^{n+1} = \overline{S \cdot \bar{Q}} = \overline{0 \cdot \bar{Q}} = 1$$

$$\bar{Q}^{n+1} = \overline{R \cdot Q} = \overline{1 \cdot Q} = 0$$

③ RD = 1, SD = 1 (保持)

设触发器为 0 态，即  $Q = 0, \bar{Q} = 1$ 。 $Q = 0$  反馈到门 G2 的输入端，从而保证了  $\bar{Q} = 1$ 。而  $\bar{Q} = 1$  反馈到门 G1 的输入端，与 SD = 1 共同作用，保证了  $Q = 0$ 。

触发器为 1 态的情况同理。

无论原状态，当 RD 和 SD 均为高电平时，触发器具有保持原状态的功能。

$$Q^{n+1} = \overline{S \cdot \bar{Q}} = \overline{1 \cdot \bar{Q}} = Q$$

$$\bar{Q}^{n+1} = \overline{R \cdot Q} = \overline{1 \cdot Q} = \bar{Q}$$

④ RD = 0, SD = 0 (不定)

无论原状态如何，只要 RD, SD 同时为 0，都有  $Q = \bar{Q} = 1$ ，不符合 Q 和反 Q 互仅的逻辑状态要求。

$$Q^{n+1} = \overline{S \cdot \bar{Q}} = \overline{0 \cdot \bar{Q}} = 1$$

$$\bar{Q}^{n+1} = \overline{R \cdot Q} = \overline{0 \cdot Q} = 1$$

(3) 基本 R-S 触发器逻辑功能表

连接电路，S, R 为输入端，Q,  $\bar{Q}$  为输出端。调整输

# 同济大学实验报告纸

软件工程 专业 2026 班 1 班 2750758 姓名 林继坤 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2023 年 10 月 18 日

出，记录实验结果。

SD	RD	$Q^n$	$Q^{n+1}$	触发器状态
1	1	0	0	保持
1	1	1	1	保持
0	1	0	1	置 1
0	1	1	1	置 1
1	0	0	0	置 0
1	0	1	0	置 0
0	0	0	1	不定
0	0	1	1	不定

表1 基本R-S触发器逻辑功能表

## 2. JK触发器逻辑功能验证

### (1) 同步 R-S 触发器转换成 JK 触发器 (工作原理)

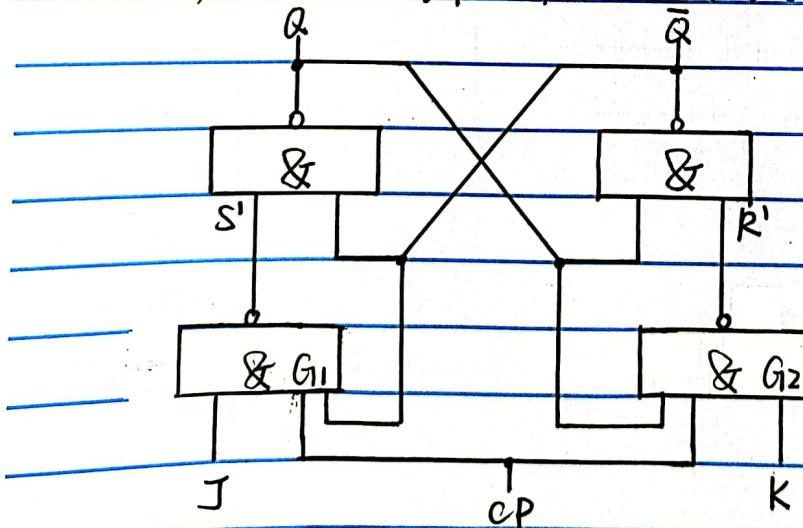


图2 同步 R-S 触发器转换成 JK 触发器原理图

当  $CP=0$ ,  $G_1, G_2$  门被封锁,  $S'=R'=1$ , 又不变, 触发器处于保持状态。当  $CP=1$ ,  $G_1, G_2$  门打开,  $Q$  随  $J, K$  变化, 触发器在工作状态。

# 同济大学实验报告纸

软件工程专业 2026届 1 班 2250758 姓名 林颖坤 第 组 同组人员  
 课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2023年10月18日

## (2) JK 触发器逻辑功能验证实验步骤

① 按原理图正确连接电路，其中 CP 为时钟信号，J、K 为输入端，Q、 $\bar{Q}$  为输出端。注意芯片的供电与接地。

② 调整输入，观察输出结果，可以得到 JK 触发器逻辑功能表如下：

CP	J	K	$Q^n$	$Q^{n+1}$	功能
0	X	X	X	$Q^n$	$Q^{n+1} = Q^n$ 保持
1	0	0	0	0	$Q^{n+1} = Q^n$ 保持
1	0	0	1	1	$Q^{n+1} = Q^n$ 保持
1	0	1	0	0	$Q^{n+1} = 0$ 置 0
1	0	1	1	0	$Q^{n+1} = 0$ 置 0
1	1	0	0	1	$Q^{n+1} = 1$ 置 1
1	1	0	1	1	$Q^{n+1} = 1$ 置 1
1	1	1	0	1	$Q^{n+1} = \bar{Q}^n$ 翻转
1	1	1	1	0	$Q^{n+1} = \bar{Q}^n$ 翻转

表2 JK 触发器逻辑功能表

注：实验所用的 112 芯片为下降沿触发

## (3) 74LS112 - 集成双 JK 触发器

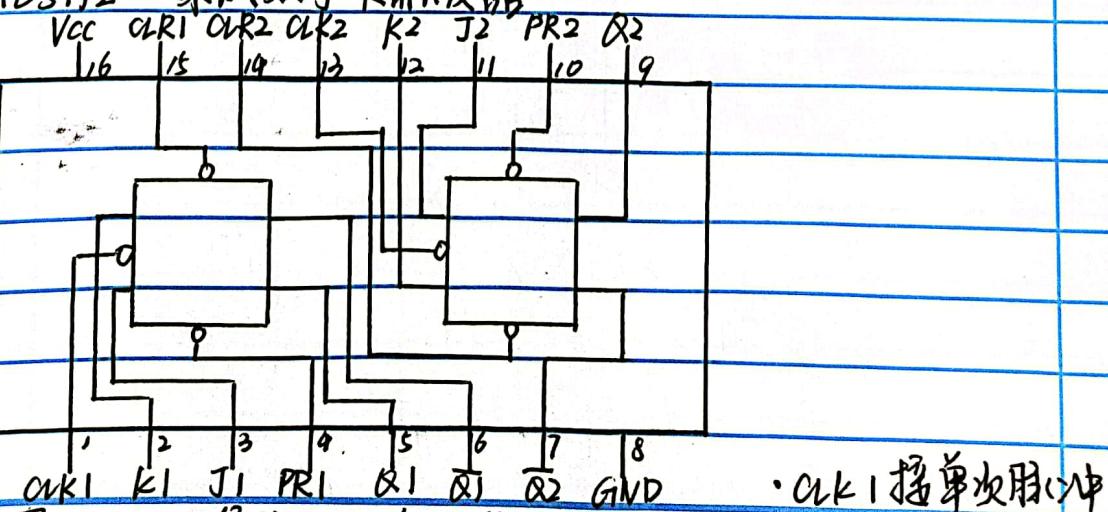


图3 74LS112集成双JK触发器原理图

# 同济大学实验报告纸

软件工程专业2020届1班2250758姓名林继申第组同组人员

课程名称计算机组成原理实验实验名称触发器实验 实验日期 2023年10月18日

## 3. D触发器功能验证

### (1) D触发器工作原理

RS触发器存在不定状态，JK触发器存在空翻和振荡，D触发器避免了这些问题。

D触发器是利用触发器翻转时内部产生的反馈信号使触发器翻转后的状态  $Q^{n+1}$  得以维持，并阻止其向下一个状态转换（即空翻）而实现克服空翻和振荡。

### (2) D触发器的两种接线方法。

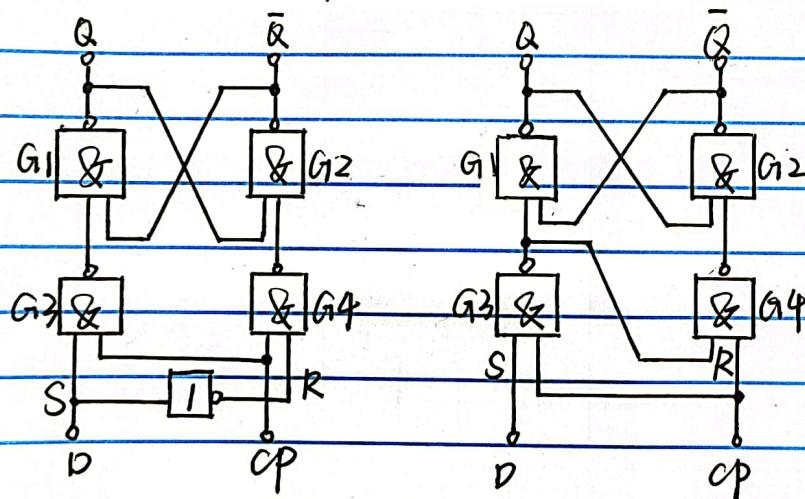


图4 D触发器的两种接线方法

### (3) D触发器逻辑功能表

当  $CP=0$  时，触发器不工作，处于保持状态。

当  $CP$  产生上升沿时，触发器在工作状态。

OP	D	$Q^n$	$Q^{n+1}$	功能
↑	0	0	0	清零
↑	0	1	0	
↑	1	0	1	置位
↑	1	1	1	

表3 D触发器逻辑功能表

# 同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250158 姓名 林继申 第 组 同组人员  
课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2023 年 10 月 18 日

实验所用的 74LS 芯片为上升沿触发，在上升沿到来时，D 触发器的次态与输入 D 保持一致。

## 4. 用 74LS74 构成二、四分频电路

### (1) 74LS74 集成双 D 触发器引脚图。

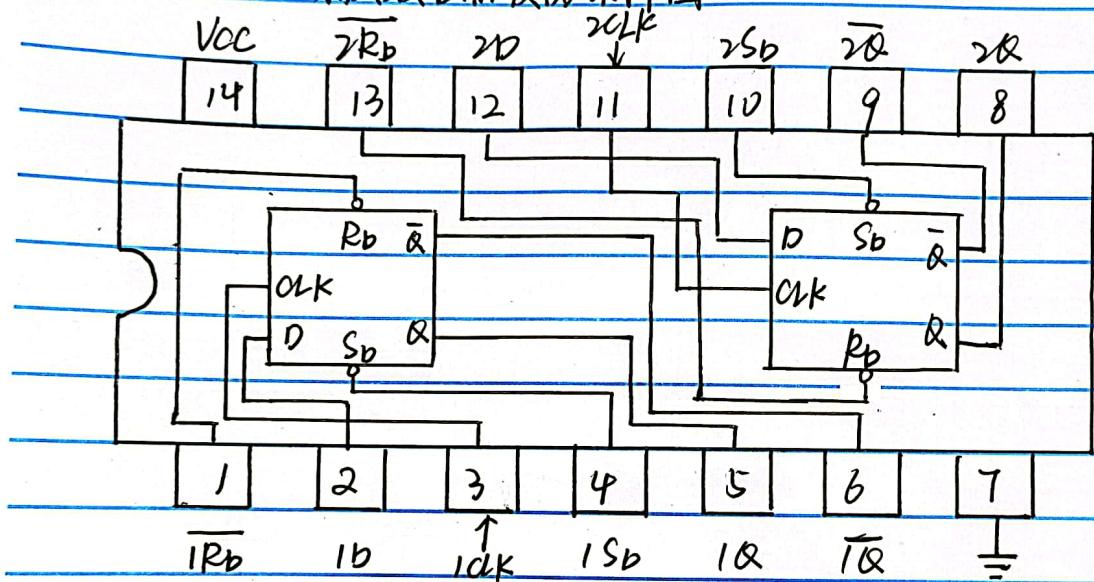


图 5 74LS74 集成双 D 触发器引脚图。

### (2) D 触发器工作波形示意

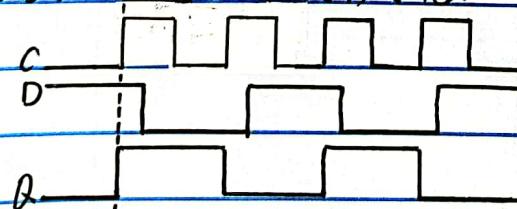


图 6 D 触发器工作波形示意

### (3) 74LS 芯片构成二、四分频电路逻辑原理图

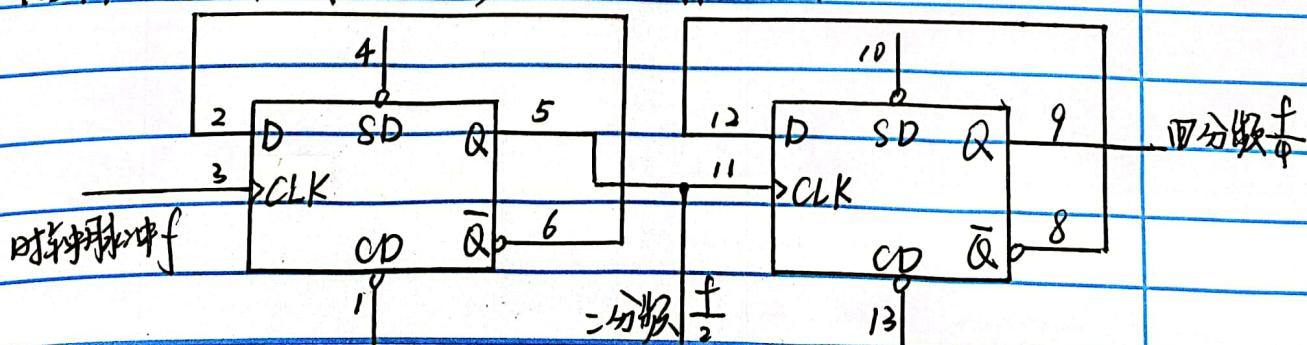


图 7 74LS 芯片构成二、四分频电路逻辑原理图。

# 同济大学实验报告纸

软件工程专业 2026届 1班 2250758 姓名 李杨迷中 第 组 同组人员  
课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2023年10月18日

## (4) 工作原理

将14芯片的第一个D触发器的 $\bar{Q}$ 输出端接到1D输入端，需要分频的信号输入时钟信号输入端 $1CLK$ 。这样每次 $1CLK$ 脉冲使该D触发器的状态翻转一次，所以两次 $1CLK$ 脉冲就会使D触发器输出一个完整的正方波。

同理，第二个D触发器也可搭建出一个二分频电路，将两者串联，第一个D触发器二分频后的输出 $f_2$ 连接至第二个D触发器的时钟驱动 $2CLK$ ，即可再次分频，实现四分频。

## (5) 实验结果记录

按逻辑原理图连接正确的电路，注意芯片的通电与接地，观察 $f$ 、 $f_2$ 、 $f_4$ 之间的频率关系。



图8.  $f$ 、 $f/2$ 、 $f/4$  频率波形图

## 【实验小结】

在本次实验中，我首先了解了时序电路和触发器的基本概念，之后学习了基本R-S触发器、JK触发器和D触发器三种触发器的工作原理、逻辑原理图和逻辑功能表。RS触发器存在不定状态，JK触发器存在空翻和振荡，D触发器避免了这些问题。

在用门电路构建出基本R-S触发器的基础之上，我了解

# 同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2023 年 10 月 18 日

到同步 R-S 触发器转换成 JK 触发器和 D 触发器的工作原理，并通过验证性实验得到了三种触发器的逻辑功能表。通过这些实验，我加深了对数字逻辑知识的理解。

在用 74LS14 构成二、四分频电路实验中，我学习了 74LS14 芯片的工作原理，使用其构成了二、四分频电路，并记录绘制了  $f$ 、 $f_{12}$ 、 $f_{14}$  频率波形图。

本次实验提高了我的实验操作能力和创新能力，加深了我对数字逻辑知识的理解。