

# 同济大学实验报告纸

软件工程 专业 2026 届 1 班 250758 姓名 林继申 第 组 同组人员

课程名称 计算机组装原理实验 实验名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

## [实验目的]

- 掌握译码器的逻辑功能
- 掌握数据选择器的逻辑功能

## [实验设备]

- 数字逻辑实验系统
- 74LS138 3线-8线译码器
- 74LS153 双四选一数据选择器

## [实验原理]

### 1. 组合逻辑电路

组合逻辑电路的特点为任意时刻的输出仅仅取决于当前时刻的输入，即输出仅与输入有关。

对于一个特定的逻辑问题，其对应的真值表是唯一的，但实现它的逻辑电路可以是多种多样的。

设计组合电路就是用电路形式来实现逻辑表达式，电路设计原则是简单、经济、可靠，可以用门电路搭建，也可以采用各种集成器件。

常见的组合逻辑电路有：编码器、译码器、选择器、分配器、比较器、加法器等。

### 2. 译码器工作原理

译码器 (decoder) 是一种具有“翻译”功能的多输入多输出的组合逻辑电路器件。

译码器的功能为将每一组编码序列信号转换为一个特定的输出信号。译码器的输入为一组编码序列信号，译码器的输出为一条特定的译码信号。（与每组输入信号对应）

# 同济大学实验报告纸

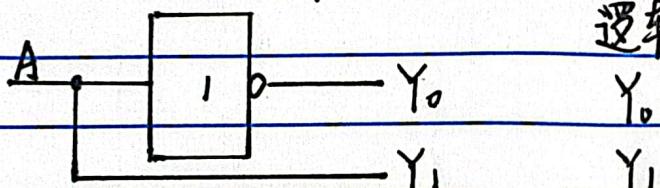
软件工程 专业 2026 届 1 班 225058 姓名 林继伟 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

译码器的工作原理为当某组编码进入输入端时，相应的译码线输出为低电平，与此同时，其他所有译码线输出保持为高电平。通常，译码器的输出与输入端的数量关系为  $(2^n)$ 。

## 3. 译码器示例

### (1) 1 线 - 2 线译码器



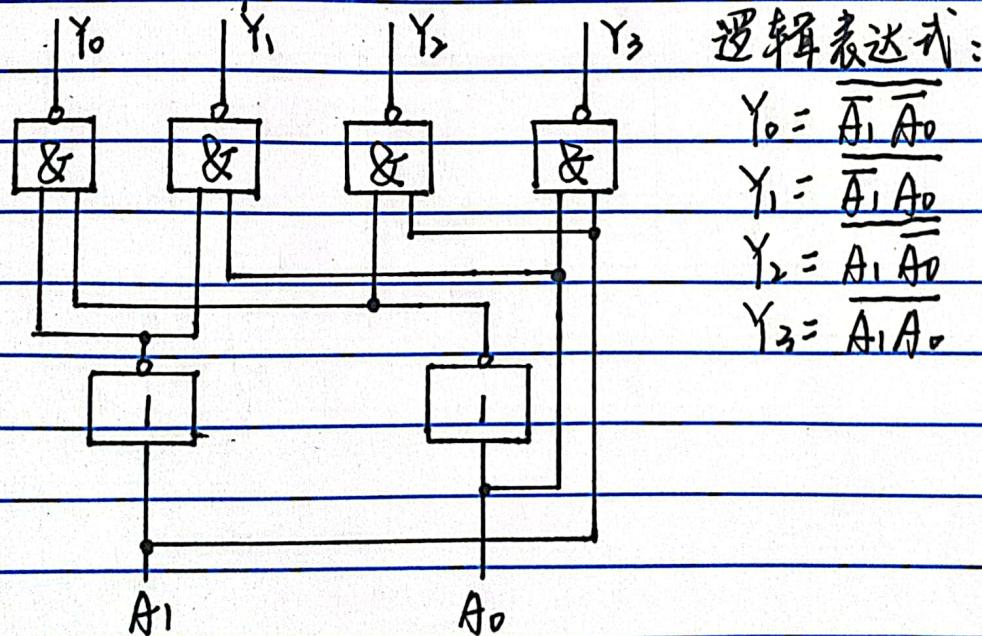
逻辑表达式：

$$Y_0 = \bar{A}$$

$$Y_1 = A$$

图1 1线-2线译码器

### (2) 2 线 - 4 线译码器



逻辑表达式：

$$Y_0 = \overline{\overline{A}_1 \overline{A}_0}$$

$$Y_1 = \overline{A}_1 \overline{A}_0$$

$$Y_2 = \overline{A}_1 A_0$$

$$Y_3 = \overline{A}_1 A_0$$

图2 2线-4线译码器

### (3) 3 线 - 8 线译码器原理图

关于控制信号：集成电路除了输入和输出，通常还配置一些控制端，用来实现使能(enable)、级联、控制等操作。

# 同济大学实验报告纸

软件工程专业 2026 届 1 班 250758 姓名 林继坤 第 组 同组人员 \_\_\_\_\_  
课程名称 计算机组成原理实验 题名 译码器和选择器实验 实验日期 2023 年 9 月 27 日

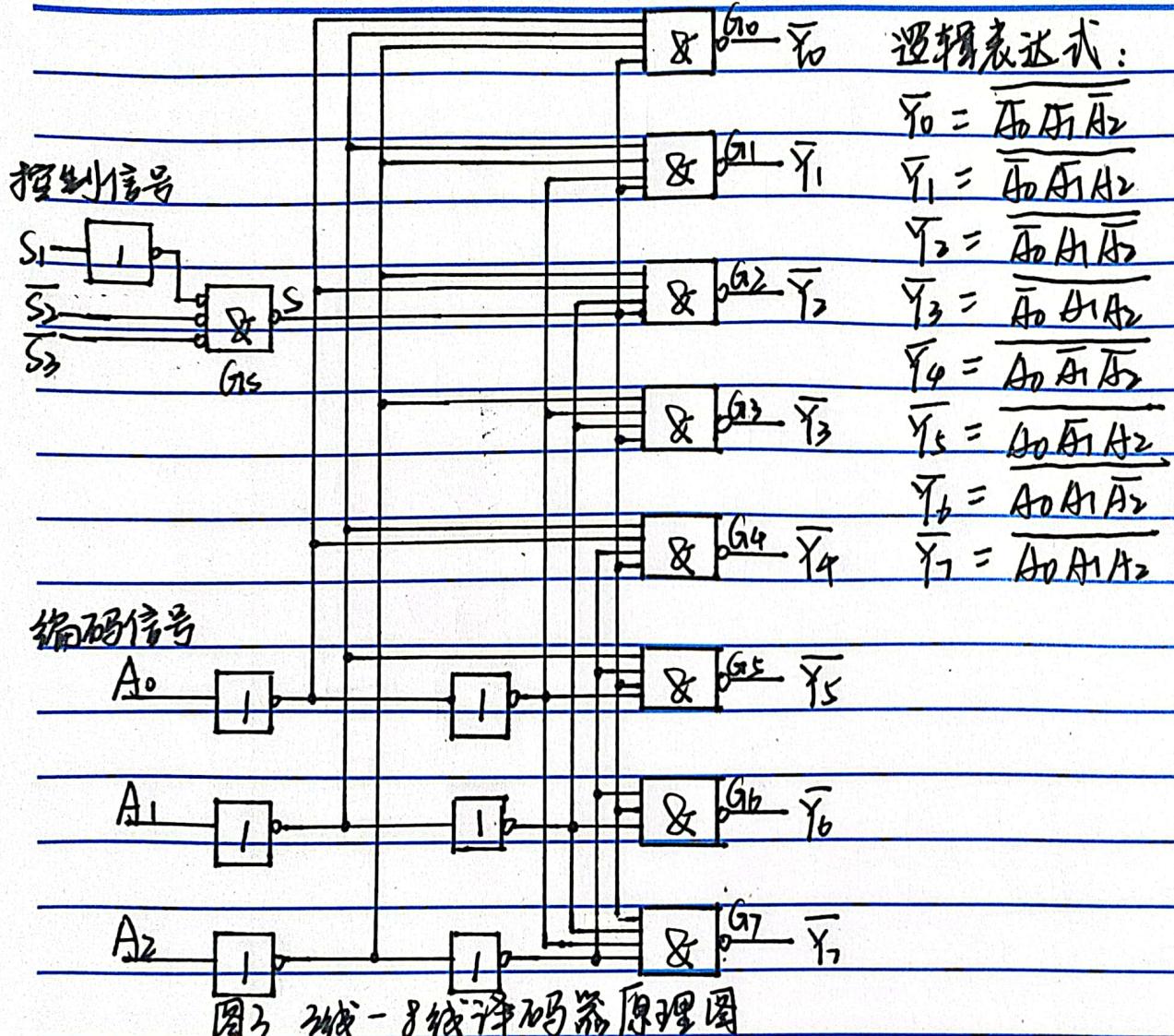


图3 3线-8线译码器原理图

## 4. 数据选择器工作原理

数据选择器是一个多输入、单输出的组合逻辑电路，其基本功能是在选择信号的控制下，从多路输入数据中选择其中的一路数据作为输出。用数据选择器可以实现数据的多路分时传送。

选择信号是一组编码序列，也称为地址编码信号。

## 5. 数据选择器原理图

通常，一个数据选择器包含有：n个地址选择端、 $2^n$ 个数据输入端、1个数据输出端，还有选通功能端（控

# 同济大学实验报告纸

软件工程专业 2026 届 | 班级 20250758 姓名 林锐坤 第 组 同组人员 \_\_\_\_\_  
课程名称 计算机组装原理实验 验证名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

制端)。

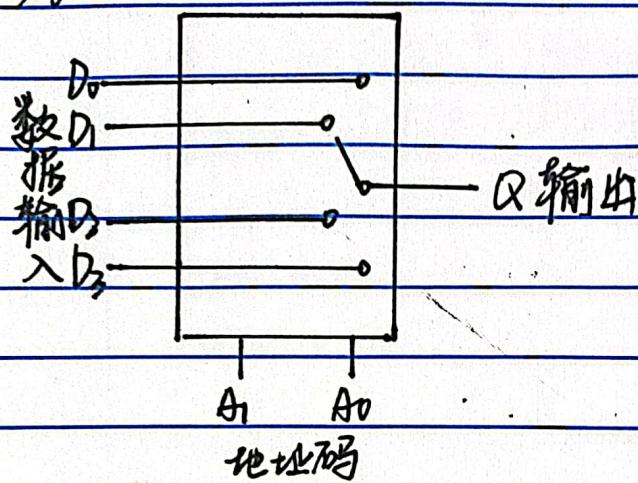


图4 四选一数据选择器原理图

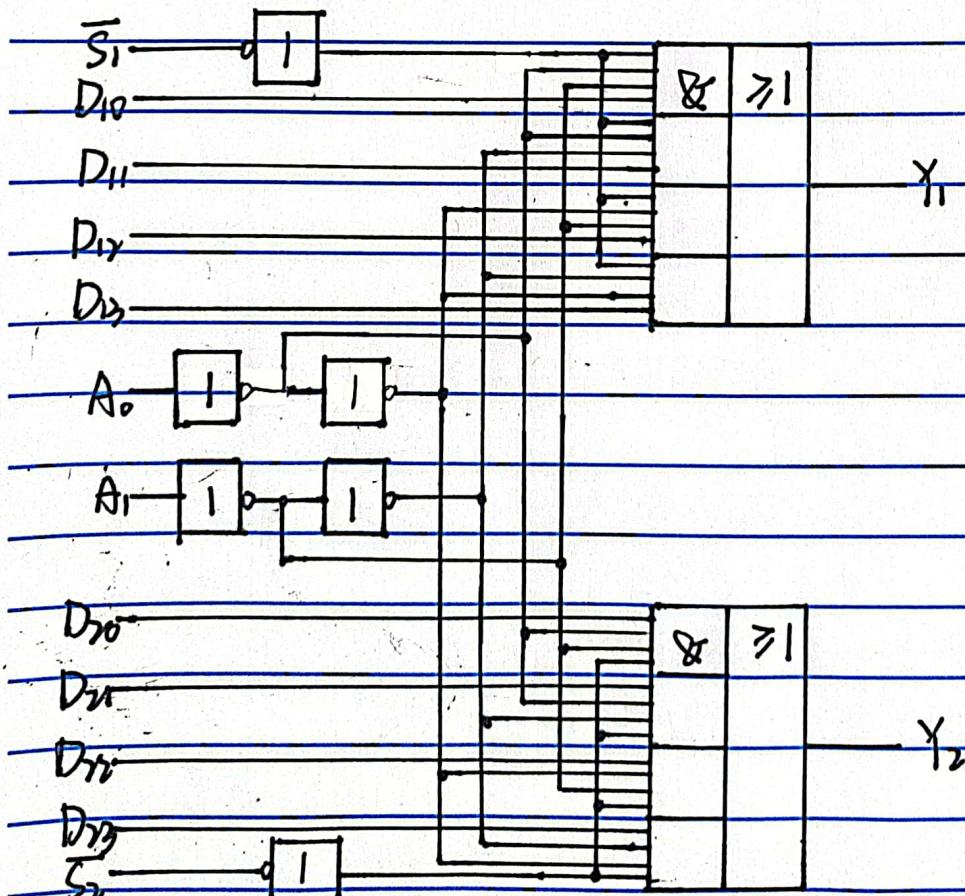


图5 双四选一数据选择器逻辑图(74LS153)

逻辑表达式(其中一个四选一):

$$Y = (\bar{A}_1 \bar{A}_0) D_0 + (\bar{A}_1 A_0) D_1 + (A_1 \bar{A}_0) D_2 + (A_1 A_0) D_3$$

# 同济大学实验报告纸

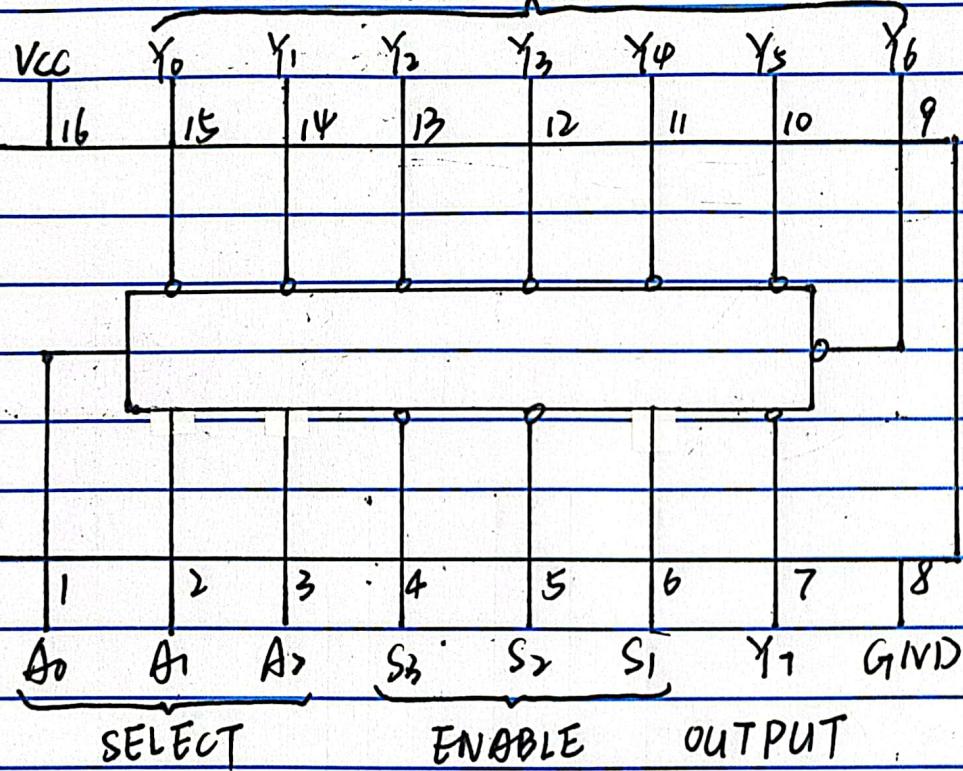
软件工程 专业 2026 届 1 班 2250758 姓名 林继坤 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

## 【实验内容】

1. 74LS138 (3线 - 8线译码器) 功能验证

### DATA OUTPUTS



## (1) 实验步骤

- ① 将芯片的 VCC 16 号接口接 +5V 电压，GND 8 号接口接地；
- ② 在逻辑电平开关中选择连续 6 个开关，从左至右命名为 6、5、4、3、2、1，对应到 74LS138 芯片的 1~6 号接口进行接线；
- ③ 在逻辑电平显示中选择连续 8 个显示，从左至右分别对应芯片的 15、14、13、12、11、10、9、7 接口；
- ④ 检查电路无误后开启电源，通过调节逻辑电平开关，观察所对应的逻辑电平显示的灯亮情况，可得逻

# 同济大学实验报告纸

软件工程 专业 2026 届 | 班 2250758 姓名 林琳伟 第 组 同组人员 \_\_\_\_\_

课程名称 计算机组成原理实验 验名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

逻辑功能表(编码序列的下标保持高位在左边)

输入			输出							
$S_1$	$\bar{S}_2 + \bar{S}_3$	$A_1 A_2 A_3$	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
0	x	x x x	1	1	1	1	1	1	1	1
x	1	x x x	1	1	1	1	1	1	1	1
1	0	0 0 0	0	1	1	1	1	1	1	1
1	0	0 0 1	1	0	1	1	1	1	1	1
1	0	0 1 0	1	1	0	1	1	1	1	1
1	0	0 1 1	1	1	1	0	1	1	1	1
1	0	1 0 0	1	1	1	1	0	1	1	1
1	0	1 0 1	1	1	1	1	1	0	1	1
1	0	1 1 0	1	1	1	1	1	1	0	1
1	0	1 1 1	1	1	1	1	1	1	1	0

表1 74LS138芯片逻辑功能表

## (2) 实验结论

### ① 74LS138的控制端

芯片74LS138有3个控制输入端 $S_1$ 、 $S_2$ 和 $S_3$ 。仅当 $S_1=1$ ， $S_2+S_3=0$ 时，译码器处于工作状态，否则译码器不工作，此时，所有的输出端被封锁在高电平(译码功能被禁止)。

### ② 74LS138的工作方式

当74LS138的8个输出引脚 $Y_0 \sim Y_7$ 全为高电平1，表示芯片处于不工作状态；当74LS138的输出有且仅有1个为低电平0，其余7个输出引脚全为高电平1，表示芯片处于正常工作状态。我们也可以根据呈现低电平

# 同济大学实验报告纸

软件工程 专业 2026 届 1 班 2025188 姓名 林继申 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

的输出引脚编号找到对应输入的编码序列。

如果出现多个输出引脚同时为 0 的情况，说明该芯片输出异常，译码逻辑失效。

## (3) 实验思考

可以使用 2 个三变量译码器 (138 芯片) 构成一个四变量译码器，接线原理图如下，并在实验箱中成功验证。

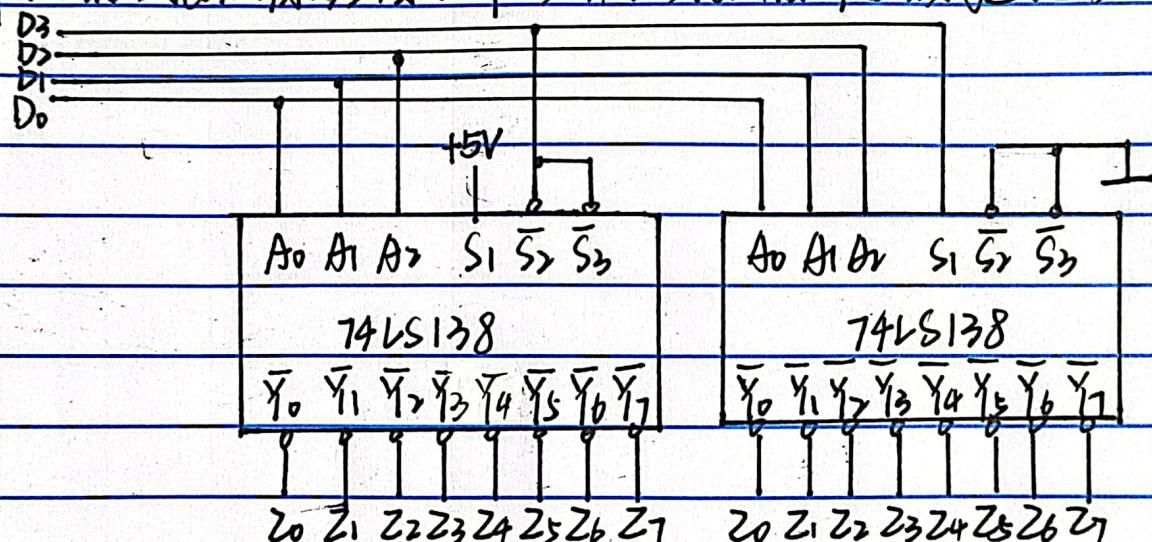


图 7 2 个 138 芯片构成 1 个四变量译码器的原理图

## 2. 74LS153 (双四选一数据选择器) 功能验证

电源 V<sub>cc</sub> A<sub>0</sub> 2D<sub>3</sub> 2D<sub>2</sub> 2D<sub>1</sub> 2D<sub>0</sub> 2Y

16 15 14 13 12 11 10 9



15 A<sub>1</sub> 1D<sub>3</sub> 1D<sub>2</sub> 1D<sub>1</sub> 1D<sub>0</sub> 1Y GND

A 地址选择信号 Y 输出数据信号 D 输入数据信号 S 选通控制信号

# 同济大学实验报告纸

软件工程专业 2026 届 1 班 2750758 姓名 林继申 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

选通端 地址端 输出端

$\bar{S}_1(\bar{S}_2)$	A <sub>1</sub>	A <sub>0</sub>	$Y_1(Y_2)$
1	X	X	0
0	0	0	D <sub>0</sub>
0	0	1	D <sub>1</sub>
0	1	0	D <sub>2</sub>
0	1	1	D <sub>3</sub>

表2 双四选一数据选择器逻辑功能表

## (1) 实验步骤

① 连接电路，选择两个四选一数据选择器组成一个八选一的数据选择器。16号引脚接+5V，8号接地，其余接逻辑电平开关。

②  $Y_1, Y_2$  输出端经过两个或非门后接到逻辑电平显示灯，根据  $\bar{S}_1, \bar{S}_2$  端的输入情况选定数据选择器。电路连接正确后，由  $\bar{S}_1, \bar{S}_2$  的输入控制数据选择器，改变其他输入端的输入，观察输出端，记录数据。

## (2) 实验结论

① 选通控制端  $S$  为低电平有效， $S=0$  时芯片被选中，处于工作状态。 $S=1$  时芯片被禁止，输出  $Y=0$ 。

② 由地址编码 A<sub>1</sub>A<sub>0</sub> 决定从 4 路输入 D<sub>0</sub> ~ D<sub>3</sub> 中选择哪一路输出。

## (3) 实验思考

用 2 个四选一数据选择器能构成八选一选择器。对照 153 芯片的引脚图，将使能端  $S_1$  和使能端  $S_2$  用非门连接做最高位 A<sub>2</sub>，加上原来的 A<sub>1</sub> 和 A<sub>0</sub>，构成三位

# 同济大学实验报告纸

软件工程专业2026届 1 班 2250758 姓名 林继坤 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 译码器和选择器实验 实验日期 2023 年 9 月 27 日

输入端，同时输出端  $Y_2$  和  $Y_1$  通过一个或门输出即可，接线原理图如下，并在实验箱中成功验证。

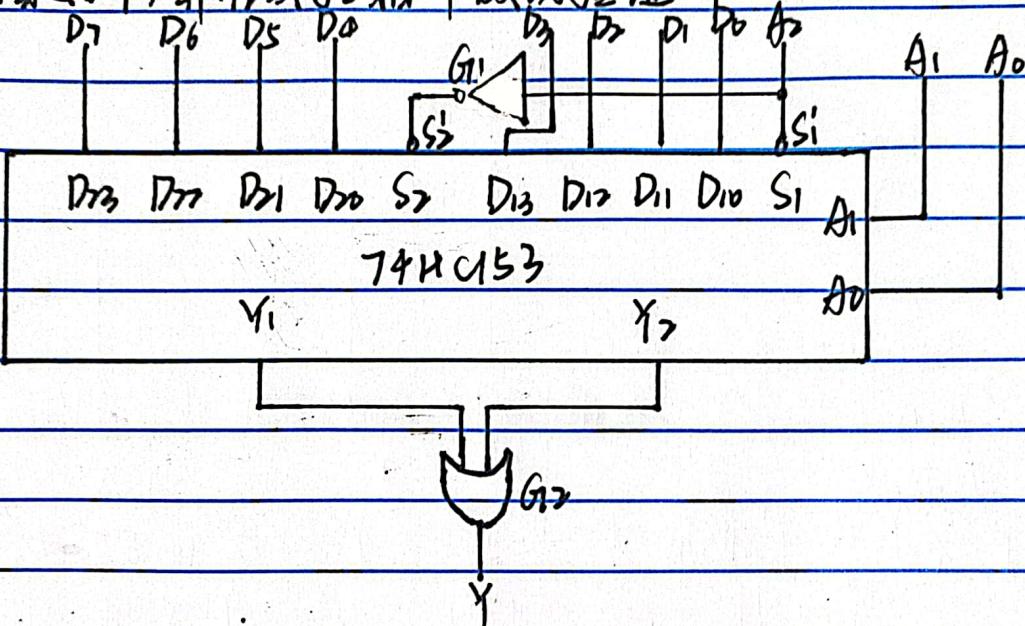


图8 2个四选一数据选择器构成1选2选择器的原理图

## 【实验小结】

本次实验是计算机组成原理实验的第二次实验。本次实验为验证性实验，实验结果已知。实验的重点应在实验操作中体会实验现象背后的原理，深入挖掘实验理论，才能取得进步。

在学习实验原理部分，我对组合逻辑电路、译码器工作原理和数据选择器工作原理进行了学习，补充了数字逻辑的知识。在第一个验证性实验中，我深入体会了74LS138芯片的工作方式，通过本次实验巩固了我的基础知识。

本次实验内容较为简单，但接线有一点复杂，耐心正是做实验必备的品质。本次实验深入了我对数字逻辑知识的理解。