

同济大学实验报告纸

软件工程 专业 2026 届 1 班 220758 姓名 林继坤 第 1 组 同组人员

课程名称 计算机组成原理实验 验名称 总线基本实验 实验日期 2023 年 12 月 13 日

[实验目的]

1. 理解系统总线工作方式
2. 掌握控制总线的功能和应用

[实验设备]

组成原理实验箱 TD-CMA

[实验原理]

1. 总线的基本概念

(1) 总线的基本概念

总线是计算机各部件之间进行数据传输的公共通路，是一组导线和相关的控制、驱动电路的集合。总线不只是一组简单的信号传输线，还是一组协议。

(2) 总线的分类

总线分为外部总线和 CPU 内总线，二者通过三态门连接。外部总线分为数据总线、地址总线和控制总线。

(3) 总线的两大特征

分时与共享是总线的两大特征。所谓共享，在总线上可以挂载多个部件，它们都可以使用这一信息通路来和其他部件传递信息。所谓分时，同一总线在同一时刻，只能有一个部件占领总线发送信息，其他部件要发送信息得在该部件发送完释放总线后才能申请使用。

即同一时刻只能有一个部件占用总线发送信息，但可以有多个部件通过总线接收信息。

2. 总线的连接方式

(1) 单总线连接方式

同济大学实验报告纸

软件工程 专业 2026 届 1 班 250758 姓名 林继中 第 组 同组人员
课程名称 计算机组态原理实验 实验名称 总线基本实验 实验日期 2023 年 12 月 13 日

①含义：CPU、主存和I/O设备同连接在一条总线上

②优点：结构简单，易于扩展

③缺点：高速的存储器与低速的I/O接口竞争总线，影响存储器的读写速度，数据传输效率受限制。

系统总线

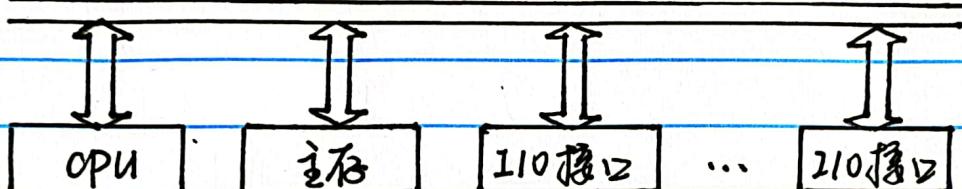


图1 单总线连接方式示意图。

2) 双总线连接方式

①含义：在单总线结构基础上，增加一条CPU和主存之间高速存储总线

②优点：高速存储总线减轻了系统总线负担，提高了数据传输效率。内存和外设之间仍然通过系统总线实现DMA操作，无须经过CPU。

系统总线

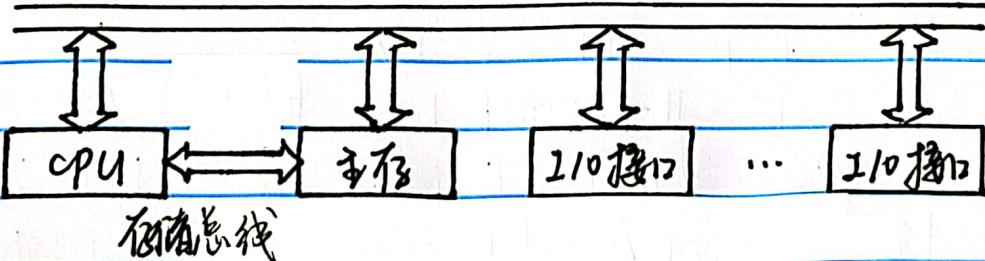


图2 双总线连接方式示意图

3) 三总线连接方式

①含义：三总线连接方式即在双总线结构的基础上，增加I/O处理器

②优点：统一管理多个I/O接口，大大提高传输效率。

同济大学实验报告纸

软件工程 专业 2026 届 1 班 X5758 生名 林继申 第 1 组 同组人员 _____
课程名称 计算机组装原理与实验 验名称 总线基本实验 实验日期 2023 年 12 月 13 日

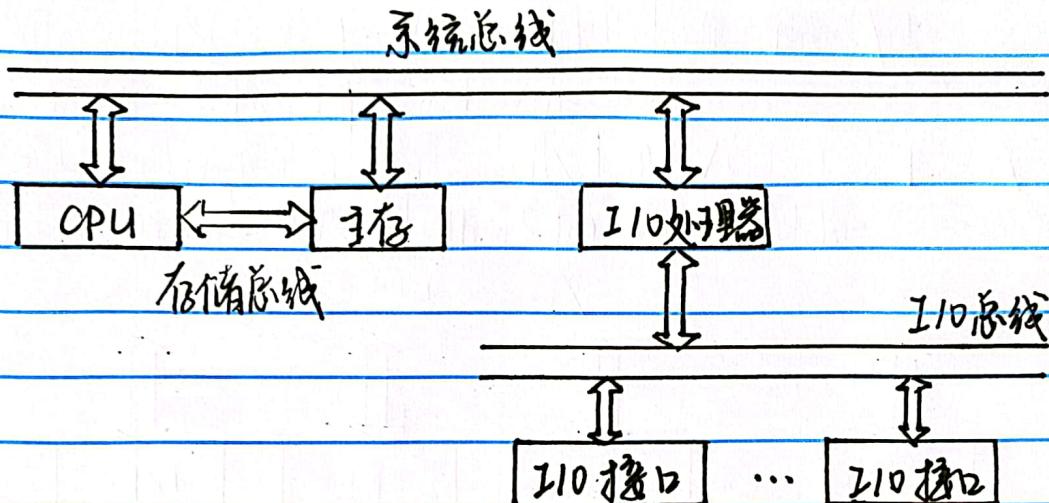


图3 总线连接方式示意图。

3. 现代计算机总线结构

北桥：处理高速信号，包括 CPU、RAM（存储器）、AGP 端口或 PCI-E，以及与南桥芯片之间的通信。

南桥：主要处理 I/O 总线之间的通信。

4. 读写控制逻辑

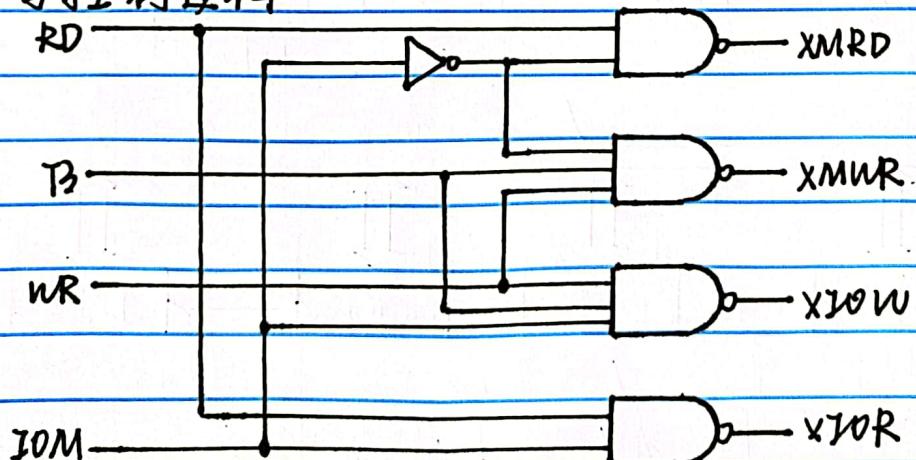


图4 读写控制逻辑原理图

各控制线作用：

① RD=1 时为读操作，WR=1 时为写操作，WR 与 RD 不能同时为 1。

同济大学实验报告纸

软件工程 专业 2026 届 1 班 25058 姓名 林琳 申第 ____ 组 同组人员 _____

课程名称 计算机组成原理实验 实验名称 总线基本实验 实验日期 2023 年 12 月 13 日

② IDM 用来选择是对 I/O 设备还是 MEM 设备进行读写操作。IDM=1 时对 I/O 设备操作，IDM=0 时对 MEM 设备进行操作（通过非门连接）

③ 写操作需要 T3 节拍信号，该操作则无需 T3 节拍信号。

WR	RD	IDM	功能
0	1	0	读存储器
1	0	0	写存储器
0	1	1	读 I/O
1	0	1	写 I/O

表 1 读写控制逻辑功能表

5. 总线传输实验原理

各个部件与总线的数据传输方向及受到哪些控制信号控制如下图所示。

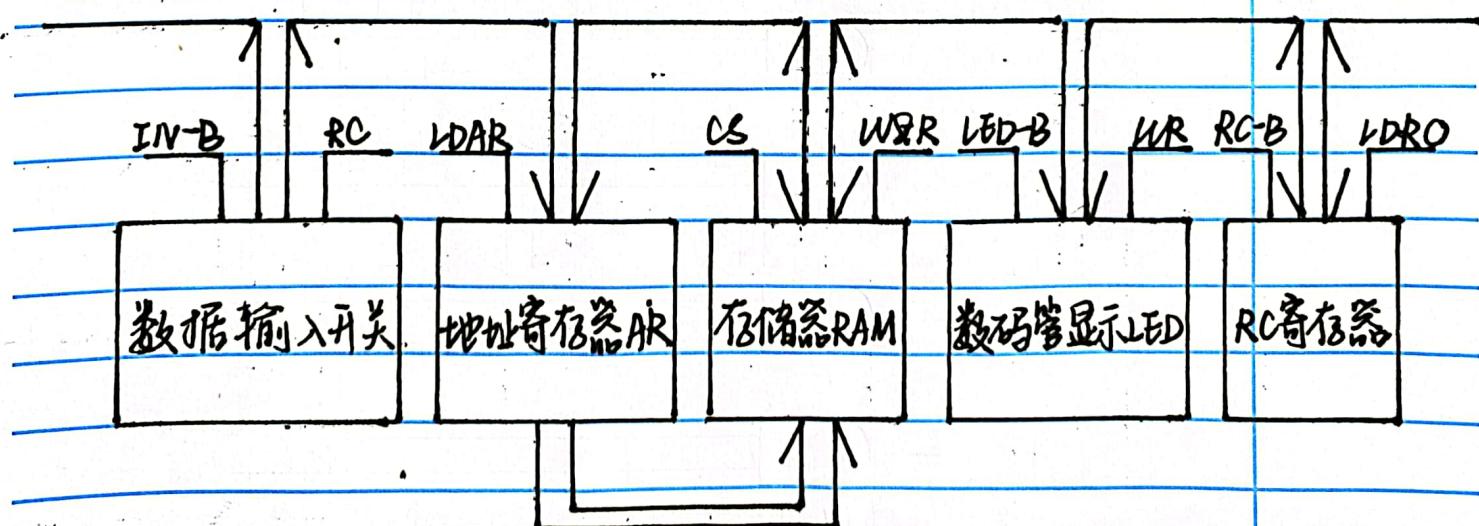


图 5 总线传输实验原理图

在上述总线传输实验原理图中，RD-B、LDRO、LDAR 控制信号的作用：

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 生名 林子淳 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 总线基本实验 实验日期 2023 年 12 月 13 日

控制信号	控制信号值	作用
R0-B (接CON单元K7)	0	R0寄存器输出打开
	1	R0寄存器输出关闭
LDRO (接CON单元K6)	0	R0寄存器输入关闭
	1	R0寄存器输入打开
LDAR	0	不允许访问地址寄存器
	1	允许访问地址寄存器

表2 R0-B, LDRO, LDAR控制信号作用表

R0-B 信号控制 R0 寄存器的输出，低电平打开，高电平关闭。

LDRO 信号控制 R0 寄存器的输入，高电平打开，低电平关闭。

LDAR 信号控制 地址寄存器的访问，高电平允许访问地址寄存器，低电平不允许访问地址寄存器。

上面是 R0-B, LDRO, LDAR 控制信号的作用。实验所用总线传输实验框图如图 5 所示，它将几种不同的设备挂至总线上，有存储器、输入设备、输出设备、寄存器。这些设备都需要有三态输出控制，按照传输要求恰当有序地控制它们，就可实现总线信息传输。

[实验内容]

总线基本实验

1. 实验流程

① 输入设备将一个数打入 R0 寄存器

② 输入设备将另一个数打入 地址寄存器 AR

③ 将 R0 寄存器中的数写入 存储器

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 第 组 同组人员
课程名称 计算机组成原理实验 验证名称 总线基本实验 实验日期 2023 年 12 月 13 日

④ 将存储器中的数显示在 LED 数码管。

2. 实验步骤

① 关闭实验系统电源，按照给定的实验接线原理图连接线路，并检查电路无误。

② 将时序与操作台单元的开关 KK1、KK3 置为“运行”档，开关 KK2 置为“单拍”档，CON 单元所有开关置 0。由于总线竞争报警功能，所以在操作台应当先关闭应关闭的输出开关，再打开应打开的输出开关，否则可能由于总线竞争导致实验出错。按动 CON 单元的总清按钮 CLR。

下面的③④⑤步将实现一个数从 IN 单元写入存储器。

③ 输入设备将 $(0001\ 0001)_2$ 打入 R₀ 寄存器。

将 IN 单元置 00010001，K₇ 置为 1，关闭 R₀ 寄存器的输出。K₆ 置 1，打开 R₀ 寄存器的输入；置 WR=0，RD=1，IOM=1，对 IN 单元进行读操作；LDAR 置 0，不允许访问地址寄存器 AR。连续四次按动 ST 产生 T₃ 脉冲，将 $(0001\ 0001)_2$ 打入 R₀ 寄存器中。

④ 输入设备将 $(10000\ 0001)_2$ 打入地址寄存器中。

将 IN 单元置 00000001，K₇ 置为 1，关闭 R₀ 寄存器的输出。K₆ 置为 0，关闭 R₀ 寄存器的输入；置 WR=0，RD=1，IOM=1，对 IN 单元进行读操作；LDAR 置 1，打开地址寄存器的输入，连续四次按动 ST 产生 T₃ 脉冲，将 $(10000\ 0001)_2$ 打入地址寄存器。

⑤ 将 R₀ 寄存器中的数写入存储器中。

置 WR=1，RD=0，IOM=0，对存储器进行写操作；K₇ 置为 0，打开 R₀ 寄存器的输出，K₆ 置为 0，关闭 R₀ 寄存器的输

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继坤 第 组 同组人员 _____
课程名称 计算机组成原理实验 金名称 总线基本实验 实验日期 2023 年 12 月 13 日

入；LDAR置0，不将数据总线的数打入地址寄存器中。连续四次按动ST产生T3脉冲，将R0寄存器中的数(00010001)写入地址为(100000001)₂的存储器中。

下面的⑥⑦⑧步实现将存储器中的数显示在LED数码管。

⑥将100000001₂打入地址寄存器，具体操作同④。

⑦将当前地址的存储器中的数写入到R0寄存器中：

将K7置为1，关闭R0寄存器的输出；K6置1，打开R0寄存器的输入。置WR=0，RD=1，IOM=0。对存储器进行读操作；LDAR置0，不将数据总线的数打入地址寄存器。连续四次按动ST产生T3脉冲，将当前地址的存储器中的数(00010001)写入R0寄存器中。

⑧将R0寄存器中的数用LED数码管显示。

置WR=1，RD=0，IOM=1对OUT单元进行写操作；将K7置0，打开R0寄存器的输出；将K6置0，关闭R0寄存器的输入；LDAR置0，不将数据总线的数打入地址寄存器中。连续四次按动ST产生T3脉冲，将R0寄存器中的数写入OUT单元，用LED数码管显示。LED数码管显示D1，即(00010001)₂。

⑨在联机软件【实验】-【简单模型机】中，观察控制信号的变化和数据的流动。

操作步骤	IN单元	R0-BLK7	LDRO(K6)	WR	RD	IOM	LDAR
INPUT 11H→R0	00010001	1	1	0	1	1	0
INPUT 01H→AR	00000001	1	0	0	1	1	1
R0寄存器→存储器		0	0	1	0	0	0
INPUT 01H→AR	00000001	1	0	0	1	1	1
存储器→R0寄存器		1	1	0	1	0	0
R0寄存器→LED		0	0	1	0	1	0

表3 各操作步骤的IN单元状态和开关状态

同济大学实验报告纸

软件工程专业 2026 班 220758 姓名 林继申 第 组 同组人员

课程名称 计算机组成原理实验 试验名称 总线基本实验 实验日期 2023 年 12 月 13 日

[实验小结]

在本次总线基本实验中，我明白了存储器中的数据是不能和 I/O 部件直接进行数据交换的。这是因为计算机系统的设计通常遵循“冯·诺依曼”架构。在这个架构中，CPU、存储器和 I/O 设备是分离的组件，它们通过系统总线相连。

CPU 使用控制信号来管理数据在存储器和 I/O 设备之间的传输，CPU 从存储器读取数据，然后将数据传输到 I/O 设备，或者从 I/O 设备读取数据然后写入存储器。这意味着 CPU 在存储器和 I/O 设备之间传输数据。数据在存储器、CPU 和 I/O 设备之间的传输通过系统总线进行。

将外部设备与存储器直接关联起来是十分危险的，不直接写入能够起到“数据隔离”的作用，由于 I/O 控制信号的作用，保证了 I/O 设备与 MEM 设备不能同时工作。另外，直接交换数据还可能引发数据完整性问题，通过 CPU 和操作系统 控制这些交换，可以确保数据的正确和安全。

在本实验中，我理解了系统总线的工作方式，也掌握了系统总线的功能和应用。我也深入学习了总线的基本概念、分类、特征、连接方式，以及读写控制逻辑、各控制线作用和总线传输实验原理。我也深刻理解了 RD-B、LDRO、LDAR 三种控制信号的作用，加深了我对计算机组成原理知识的理解。

本次实验接线较为复杂，多次未能得到理想结果。在排查后发现了问题出现原因是悬空的信号引脚影响了通路图的结果显示，将这些引脚置为无效。解决办法是可将管脚接到 CNV 单元闲置的开关上，若开关打到“1”，等效于接到

同济大学实验报告纸

软件工程专业2026届 1 班2205058 姓名 林述申 第 组 同组人员
课程名称 计算机组成原理实验 实验名称 总线基本实验 实验日期 2023年12月13日

"VCC", 若开关打到 "0", 等效于接到 "GND"。

本次实验加深了我对计算机组成原理知识的理解与体会, 提高了我的动手能力。