

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 同组人员 刘淑仪
课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

[实验目的]

本实验旨在通过实现一个多功能四路抢答器，掌握数字逻辑电路的综合分析和设计方法，提升根据功能需求合理地选用数字逻辑器件的能力，提高电路综合布局及排错的能力，培养书写综合设计性实验报告的能力。

本实验的设计目标是实现一个多功能四路抢答器，该抢答器集成了多项关键功能，包括抢答功能、锁存功能、倒计时功能、LED 显示功能、计分功能等。其核心功能的设计要求如下：

1. 四组参赛选手进行抢答，抢先按下开关的那组指示灯亮，数码管显示该组号码并保持；
2. 某组抢答成功后同时封锁其他组的抢答权限；
3. 抢答开始信号发出后，开始进行倒计时。使用二十进制计数器实现二十秒倒计时，四组参赛选手需要在倒计时间内进行抢答，倒计时结束后四组参赛选手均不可继续抢答；
4. 在某一组参赛选手抢答成功后，可以根据该组回答情况进行加分和减分，即实现计分功能；
5. 本轮抢答结束后，按复位键，可对所有 LED 清零（计分显示不清零），并开始新一轮的抢答。

[实验设备]

电路设计软件：NI Multisim 14.3

表 1 实验所用芯片型号和数量

芯片型号	功能	数量
74LS373	8 位锁存器	1
74LS148	8 线-3 线优先编码器	1
74LS190	BCD 同步加/减计数器	6
74LS74	带置位复位正触发双 D 触发器	2
74LS21	4 输入端双与门	1
74LS32	2 输入端四或门	1
74LS11	3 输入端三与门	1
74LS08	2 输入端四与门	1
74LS00	2 输入端四与非门	1
74LS04	六反相器	5

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 同组人员 刘淑仪

课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

[实验原理]

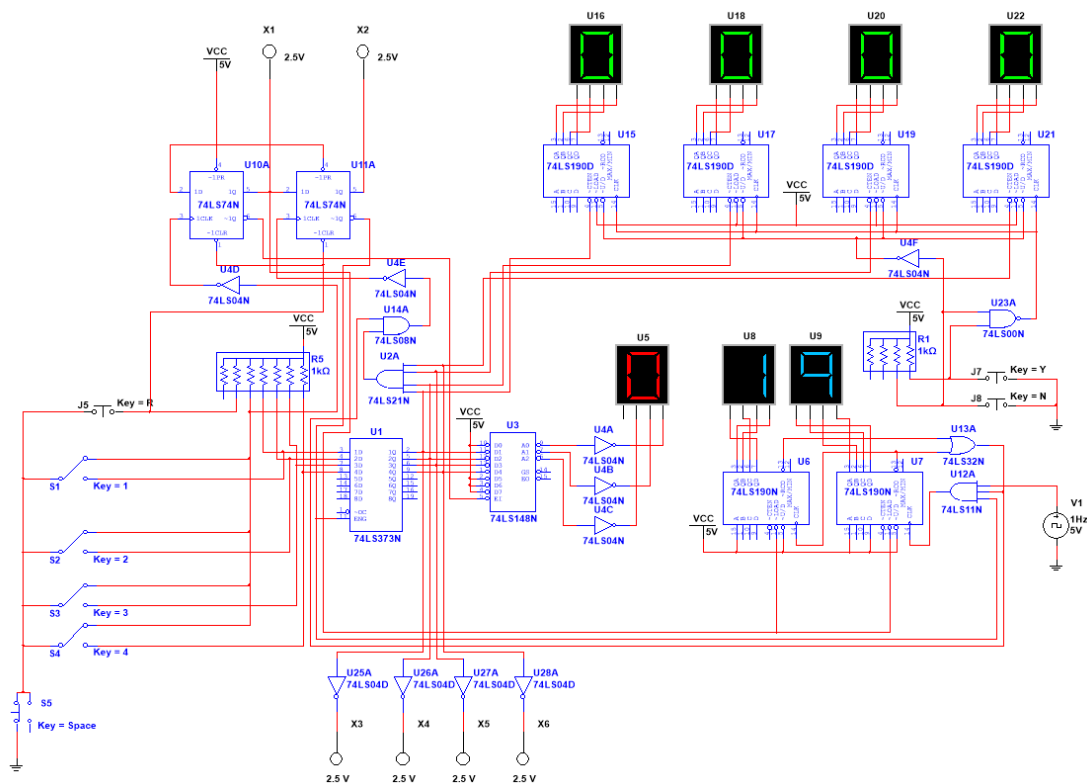


图1 多功能四路抢答器逻辑电路原理图

1. 抢答模块

(1) 实现功能与分析

①四组参赛选手进行抢答

使用开关阵列电路实现。每组参赛选手拥有独立的开关，这些开关连接到锁存器的输入端。

②抢先按下开关的那组指示灯亮

通过 74LS373N 锁存器实现。当任一组的开关被按下，锁存器锁存该状态，并驱动对应的指示灯亮起。

③数码管显示该组号码并保持

74LS148N 优先编码器负责将按下的开关信号编码,然后通过锁存器到数码管显示相应的组号。

④某组抢答成功后封锁其他组的抢答权限

74LS373N 锁存器在锁存某组抢答成功的信号后, 阻断其他信号的输入,

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 同组人员 刘淑仪

课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

实现对其他组抢答权限的封锁。

⑤可对所有 LED 清零开始新一轮抢答

通过复位功能，将 74LS373N 锁存器和其他相关电路复位，清除前一轮的抢答结果，准备新一轮的抢答。

(2) 实现原理

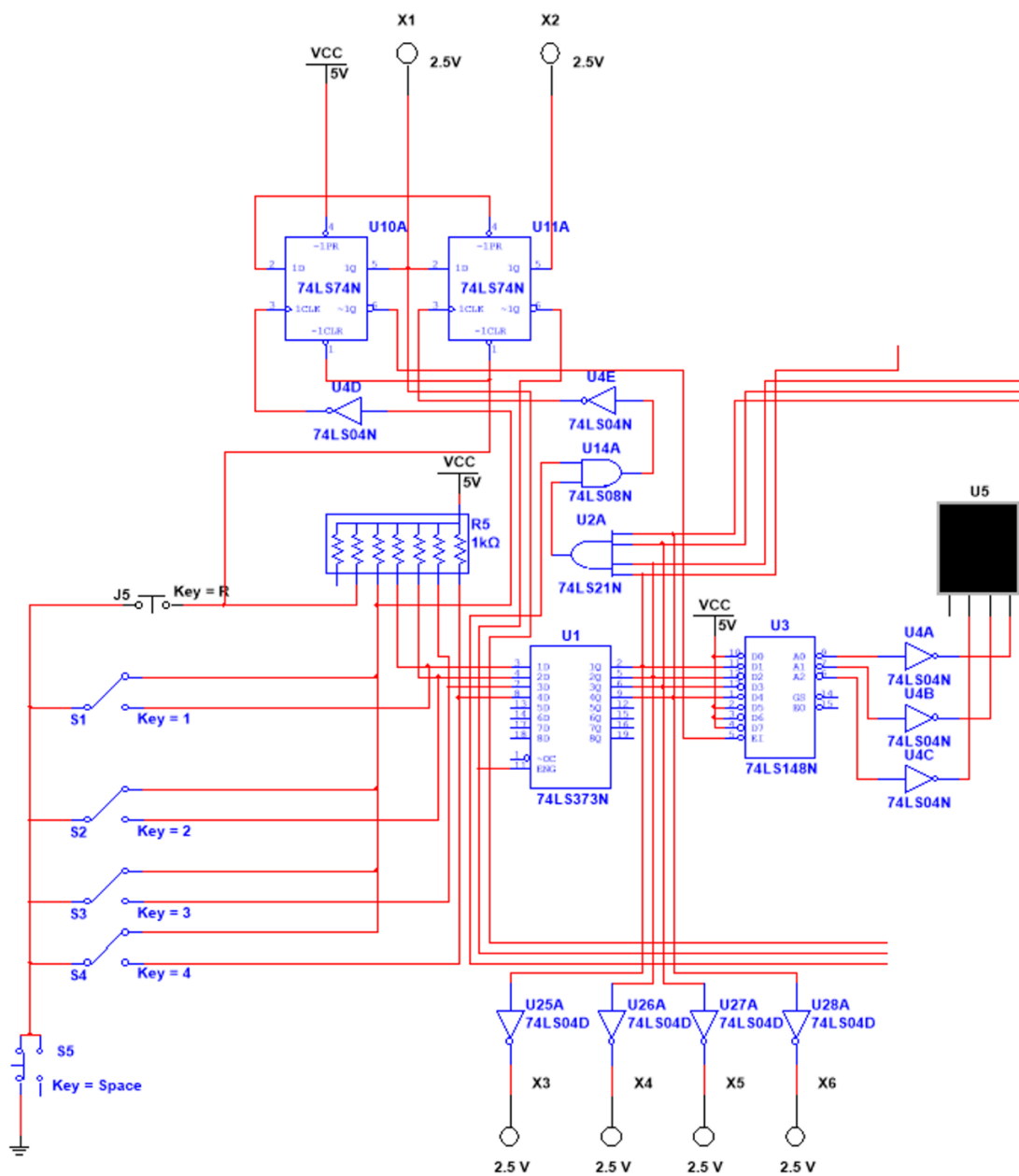


图 2 抢答模块逻辑电路原理图

开关阵列电路连接在锁存器输入端,当所有开关均未按下时,锁存器输出全

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 同组人员 刘淑仪
课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

为高电平，经过门电路处理的反馈信号为高电平，作用于锁存器使能端，使锁存器处于等待接受触发输入的状态。当任一开关按下时，相应输出信号为低电平，反馈信号变为低电平，作用于锁存器使能端，使锁存器被封锁，不再继续接受触发输入，输出保持在封锁前的状态，并维持输出状态，同时驱动对应的指示灯和数码管显示抢答成功的组号。电路将一直维持该状态直到下一轮复位，通过复位操作可以清除当前状态，准备新一轮的抢答。

74LS74N（带置位复位正触发双 D 触发器）：一个双 D 型触发器，通常用于存储位信息。在这个电路中，它用于存储计数器的中间状态或控制计数器的计数模式，同时反映计数的开始与否。

74LS373N（8 位锁存器）：一个透明锁存器，通常用于数据存储。在计数器电路中，它用来保持某个特定的输出状态，直到锁存器被再次触发以存储新的数据。

74LS148N（8 线-3 线优先编码器）：一个 8 线到 3 线优先编码器，用于将多个输入线路转换为较少的输出线路，并且具有确定优先级的功能。在这个电路中，它用于将多个输入信号（如按钮按下的信号）编码为计数器可理解的形式。

2. 计分模块

(1) 实现功能与分析

①四组参赛选手进行抢答，当某小组抢答成功，系统仅对该组进行计分操作
利用 74LS190N 计数器结合抢答模块的输出信号，来确定哪个小组抢答成功，并对该组进行操作。

②若该组回答正确，则进行加分，得分结果在 LED 上显示

74LS190N 计数器用于记录分数。当接收到正确答案的信号时，计数器进行加法操作。通过 74LS04N 控制信号的逻辑翻转来判断是否进行加分。加分的结果通过 LED 显示。

③若该组回答错误，则进行减分，得分结果在 LED 上显示

使用同样的 74LS190N 计数器，但此时计数器进行减法操作。74LS04N 用于逻辑翻转，判断是否需要减分。减分的结果同样通过 LED 显示。

(2) 实现原理

每个 74LS190N 都是一个同步的可逆 4 位二进制计数器。在多功能四路抢答

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 同组人员 刘淑仪

课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

器的设计中，每个 74LS190N 计数器设置特定起始值，代表各小组的初始分数，然后开始计数。根据抢答模块的输出信号，确定哪个小组抢答成功，进而确定哪个计数器将被操作。根据该小组的回答正确与否，通过 74LS04N 实现控制信号的逻辑翻转，74LS00N 将输入条件组合产生一个单一的控制信号，用于通过开关产生脉冲进行一次加分或者减分操作。计数器的结果通过 LED 显示，以展示各小组的当前得分。

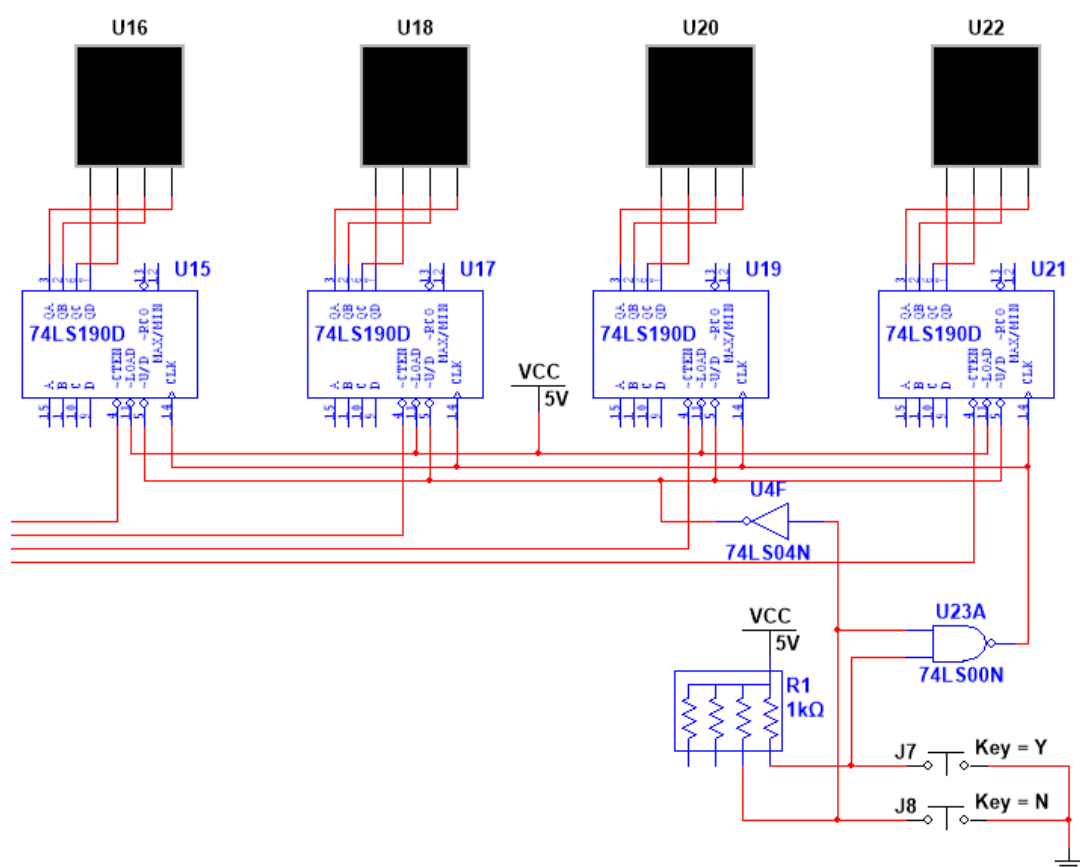


图 3 计分模块逻辑电路原理图

3. 计时模块

(1) 实现功能与分析

抢答成功后开始倒计时

当某小组成功抢答后，抢答模块发送信号至计数器，触发倒计时开始。计数器根据时钟脉冲递减，每个脉冲减少一秒。计数器持续下计，直至计数值达到 0。过程中，计数值可通过连接到计数器的 LED 实时显示。达到 0 时，

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 林继申 同组人员 刘淑仪

课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

计数器输出特定信号，表示倒计时结束，此信号可用于禁止选手继续回答。

使用 CLR 引脚，可将计数器复位，清零计数值，为下一轮抢答准备。

(2) 实现原理

74LS190N (BCD 同步加/减计数器): 一个 4 位同步可逆计数器。它可以进行上计 (正计数) 或下计 (逆计数), 具体取决于 U/D (Up/Down) 引脚的状态。时钟信号通过 CLK 引脚输入, 数据通过四个数据输入引脚 D0-D3 输入, 并且可以通过激活 LOAD 引脚将这些数据值载入到计数器中。当 CLR (清除) 引脚被激活时, 计数器的所有输出将被清零。

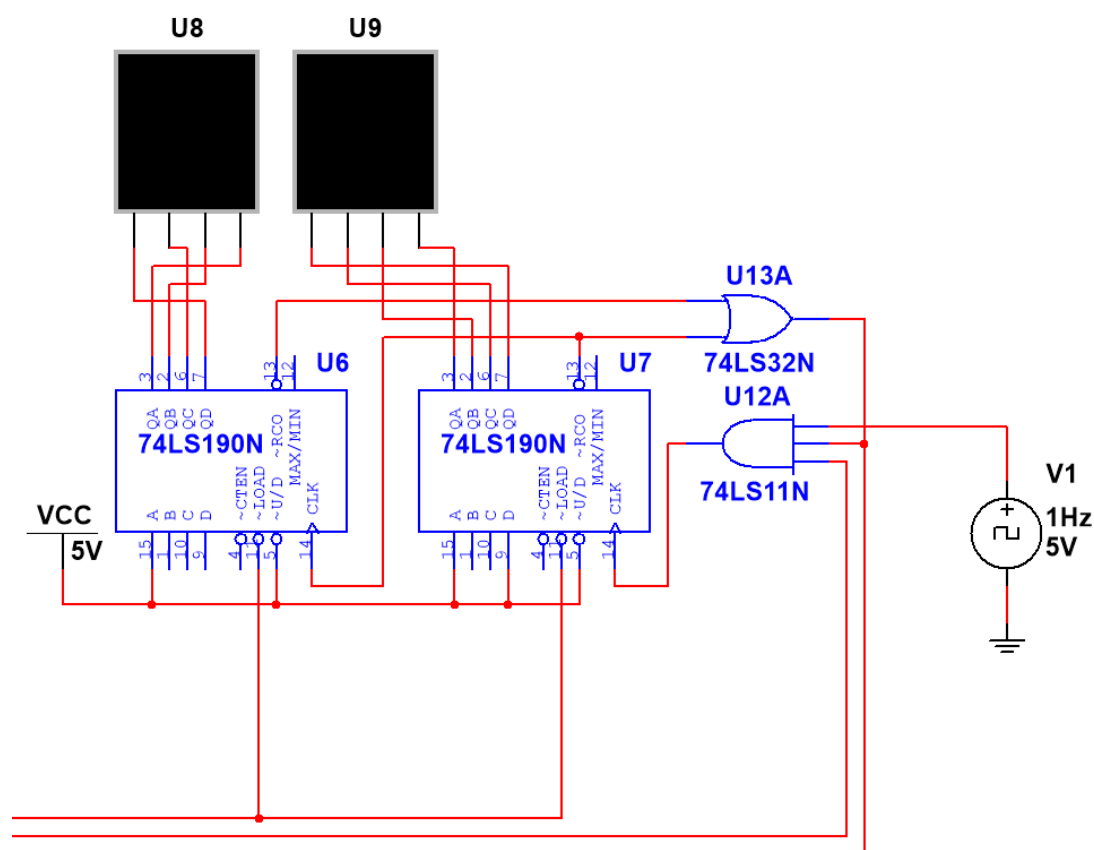


图 4 计时模块逻辑电路原理图

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2025/38 姓名 林继申 第 组 同组人员 刘淑仪

课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

[实验小结]

1. 方案形成过程

本实验的设计目标是实现一个多功能四路抢答器,在讨论设计方案过程中,首先明确该抢答器的几项关键功能,包括抢答功能、锁存功能、倒计时功能、LED显示功能、计分功能等。

基于这些需求的功能,首先应该设计一个开关阵列电路,为每组选手设置一个抢答开关,用数码管显示抢答组别和倒计时,用LED指示抢答和计分状态,使用锁存器和逻辑门实现控制逻辑。

根据功能需求和功能分析,选用以下74系列芯片:74LS373(8位锁存器)、74LS148(8线-3线优先编码器)、74LS190(BCD同步加/减计数器)、74LS74(带置位复位正触发双D触发器)以及若干门电路芯片。

基于上述分析,主要设计方案如下:

①开始环节,按下空格键使得地线断开,传入的高电平信号通过电路传入LED显示屏与开始灯,计时模块开始倒计时。

②抢答环节,选手抢答完毕时,信号传入锁存器存储信息,其余选手被封锁抢答权限,该选手对应的彩灯亮,倒计时器信号通过与门传递停止计时,结束灯亮。

③计分环节,选手抢答完毕后,该选手的计分器通过电平信号连接,此时按下Y/N可以控制该选手的计分器加分/减分。

④第一轮结束,按R复位,开始和结束指示灯均灭,除

同济大学实验报告纸

软件工程专业2026届 1 班 姓名 林继中 第 组 同组人员 刘淑仪
课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

了计分器的LED灯。其余LED灯回归初始状态。下一轮可以在上一轮的基础上继续加減分。

2. 项目完成情况

本项目成功实现了一个具有抢答功能、锁存功能、倒计时功能、LED显示功能、计分功能的四路抢答器。项目完成情况良好，但依然有较大的改进与拓展空间。

3. 设计中遇到的困难

(1) 开关阵列电路的设计

在最初设计开关阵列电路时，选择可弹开的开关。但在电路模拟时发现实验不符预期效果，倒计时和抢答无法激活，在切换成单刀单掷开关后，发现虽然可以实现倒计时和抢答的激活，但不能实现复位。最后选择单刀双掷开关用为选手抢答开关，可弹开的开关用为抢答重置开关和抢答开始开关，并对电路进行微调，即可实现预期功能。

(2) 电路复杂性和集成难度

本电路复杂性较高，有一定的集成难度。通过使用模块化设计来应对这个问题。将每个功能设计为独立的模块，然后将这些模块（抢答模块、计分模块、计时模块）集成在一起。这样可以分步骤进行，便于调试和优化。

(3) 芯片的选择和使用

在进行芯片的选择时，通过结合所学知识和查阅相关资料，最终选择了74LS373（8位锁存器）、74LS148（8线-3线优先编码器）、74LS190（BCD同步加/减计

同济大学实验报告纸

软件工程专业 2026 届 1 班 姓名 林继申 第 组 同组人员 刘淑仪
课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

数器) 74LS74 (带置位复位正触发双 D 触发器) 作为本实验的主要芯片。

(4) 锁存功能的实现

在设计锁存功能时, 有两个条件会触发锁存条件。一是某一组已经完成抢答, 二是倒计时已经结束。这两种情况都会封锁未抢答组的抢答权限。解决方法是, 通过与非门和非门构建门电路, 实现了将反馈信号变为低电平, 作用于锁存器使能端, 使锁存器被封锁, 输出保持在封锁前的状态。

(5) 电路设计软件的使用

在初步使用电路设计软件时, 接线会乱, 芯片放置位置混乱。在进行的电路的功能分析和模块化设计后, 从各个模块分别进行芯片的放置和接线。电路图绘制简洁直观, 逻辑清晰。

4. 调试中出现异常现象的分析与讨论

(1) 抢答功能无法实现

在抢答功能无法实现时, 首先考虑电路设计错误。检查抢答模块的电路设计, 特别是 74LS63 锁存器、74LS148 优先编码器以及开关阵列电路的连接。在确定锁存器和编码器功能无误后, 进行接线的检查。在将所有导线都连接无误后, 抢答功能得以实现。

(2) 开关阵列电路无法实现

在开关阵列电路中选择单刀双掷开关后, 无法开始抢答。后面发现是电路短路问题。在 $V_{CC} + 5V$ 电源处接上大小为 $1k\Omega$ 的负载即可解决这个问题。

同济大学实验报告纸

软件工程 专业 2026 届 1 班 25078 姓名 林继申 第 组 同组人员 刘淑仪

课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

(3) 锁存功能无法实现

锁存功能无法实现，首先检查锁存器 (74LS373) 的设计与接线，确保锁存器的输入、输出、使能端和其他控制端的连接都是正确的。锁存器的使能端 (Enable) 是关键，它控制着数据的锁存。如果使能端的逻辑处理有误，锁存器可能无法正常锁存数据。

进一步分析问题产生原因，与锁存器 (74LS373) 相关的门电路出了问题。通过使用与门和非门，实现了锁存功能，解决了该问题。

5. 对现有电路方案的思考改进

(1) 可以扩展抢答人数，四路抢答器改进为八路抢答器。

(2) 可以使用蜂鸣器在抢答成功、抢答开始和回答正确和错误时进行提示音。

(3) 倒计时模块可以添加一个开关阵列来设计倒计时的初始值，增强抢答器的通用性。

(4) 可以考虑某组在一次抢答成功之后，若回答错误则禁止下一轮次的抢答权限功能。

6. 实验收获

本实验是对前半学期的数字逻辑知识的总结与实践。本实验中，各个环节都让我们了解到通过与非门的连接控制 LED 显示屏的显示以及开始结束灯的亮灯，通过开始环节让我们了解到了双 D 触发器对时序电路的控制，通过抢答环节让我们了解到了锁存器对信号状态影响与锁存功能，通过倒计时环节让我们了解到了计时器的使用，通过计分环节让我们了解到了计数器加法/减法

同济大学实验报告纸

软件工程专业 2026 届 1 班 2050758 姓名 林继申 第 组 同组人员 刘淑仪

课程名称 计算机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2023 年 11 月 1 日

功能的实现,各种LED灯显示屏让我们了解到了数码显示管和译码器的使用。

通过设计一个多功能四路抢答器,我掌握了数字逻辑电路的综合分析和设计方法,提升根据功能需求合理地选用数字逻辑器件的能力,提高电路综合布局及排错的能力,培养书写综合设计性实验报告的能力。