

同济大学实验报告纸

软件工程 专业2026届 1 班250758 姓名 林继申 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 计数器实验 实验日期 2023年10月25日

[实验目的]

1. 理解并掌握集成计数器工作原理
2. 掌握任意进制计数器的设计方法

[实验设备]

1. 数字逻辑实验系统
2. 74LS00 - 2输入端四与非门
3. 74LS90 - 异步二-五-十进制计数器
4. 74LS161 - 同步四位二进制计数器

[实验原理]

1. 计数器

计数器是用来累计电路输入脉冲个数的时序电路

在计数功能的基础上，计数器还可以实现计时、定时、分频等多种功能。计数器的电路结构中包含有触发器（常用JK类型）。

计数器按照脉冲的输入方式可分为同步计数器和异步计数器。

2. 同步计数器原理

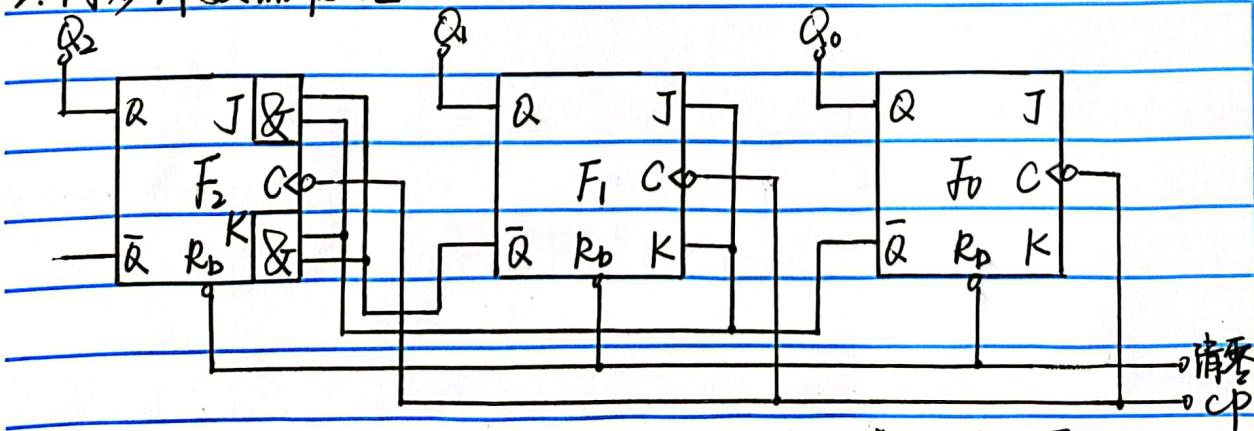


图1 三位二进制同步减法计数器原理图

同步计数器的时钟脉冲接到所有的触发器 CP 端，各个触

同济大学实验报告纸

软件工程专业 2026 届 1 班 2250758 姓名 林继坤 第 组 同组人员
课程名称 计算机组成原理实验 实验日期 2023 年 10 月 25 日

发器的翻转是同时进行的。

3. 异步计数器原理

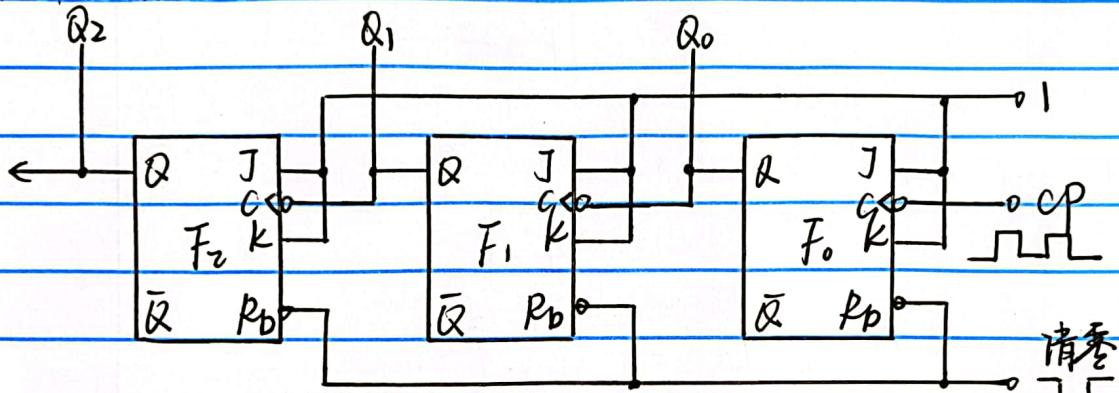


图2 三位二进制异步加法计数器原理图

异步计数器的时钟脉冲不是同时接到所有的触发器 CP 端，触发器的翻转不是同时进行的，一部分触发器 CP 端是来自其他触发器的输出。

4. 反馈清零法

(1) 反馈清零法原理

利用芯片的复位端和门电路逻辑，跳越 M-N 个状态，从而获得 N 进制计数器。计数器的清零方式分为异步和同步两种。

在电路内部，异步清零的清零信号直接到达清零端。

同步清零需等到清零信号和有效时钟信号同时具备时再到达清零端。

同步清零可以保证电路状态在时钟周期内不会发生改变。

因此，对于 N 进制计数器，对于异步清零，要在第 N 次脉冲计数时进行清零操作，对于同步清零，则要在第 N-1 次脉冲计数时进行清零操作。

同济大学实验报告纸

软件工程 专业 2026届 1 班 25758 姓名 林继坤 第 组 同组人员 _____
课程名称 计算机组成原理实验 实验名称 计数器实验 实验日期 2023年 10月 25 日

(2) 反馈清零法示例

74LS90 是异步清零，采用 0110 状态对 R01 和 R02 位清零。

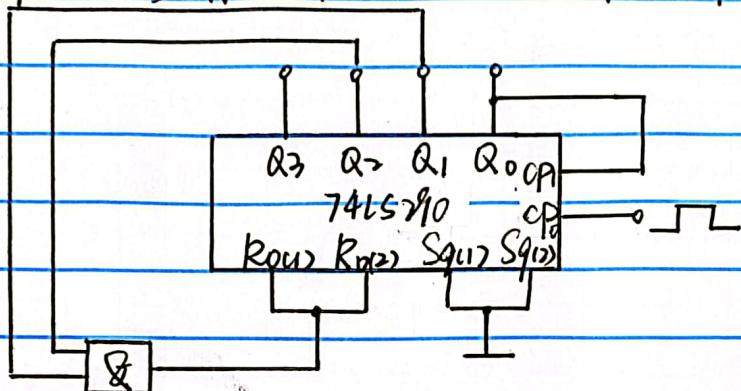


图3 74LS90构成六进制计数器原理图。

74LS161 也是异步清零，采用 1010 状态对 CR 位清零。

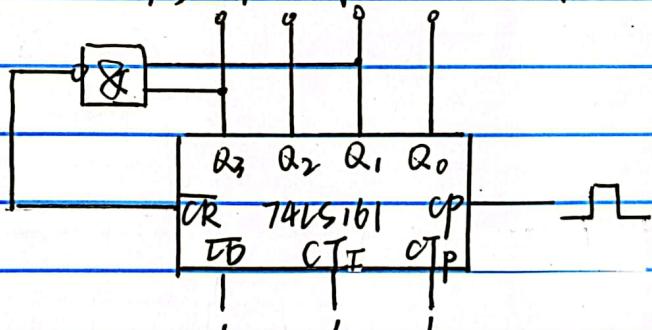


图4 74LS161构成十进制计数器原理图。

5. 反馈置数法

(1) 反馈置数法原理

在计数过程中，将其输出的某一个状态通过门电路逻辑处理，产生一个控制信号反馈至预置数控制端，在下一个 CP 脉冲作用后，计数器就会把预置数输入端的状态置入输出端。

预置数控制信号消失后，计数器就从被置入的状态开始重新计数。

(2) 反馈置数法示例

同济大学实验报告纸

软件工程专业2026届 1 班 25758 姓名 林诗坤 第 组 同组人员
课程名称 计算机组成原理实验 实验名称 计数器实验 实验日期 2023年10月25日

74LS161 是同步置数 - 采用 0110 状态对 LD 置数

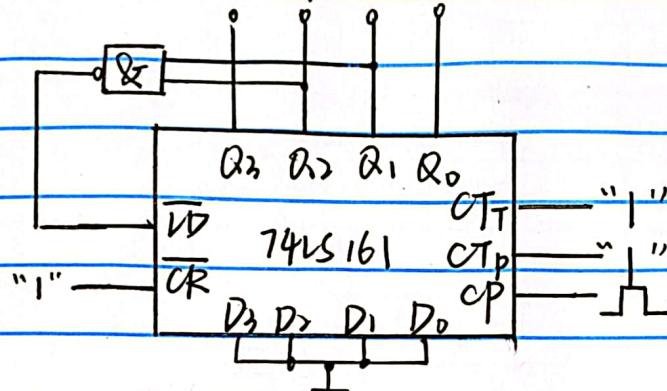


图5 74LS161构成七进制计数器。

直接利用进位端对 LD 反馈置数 0111

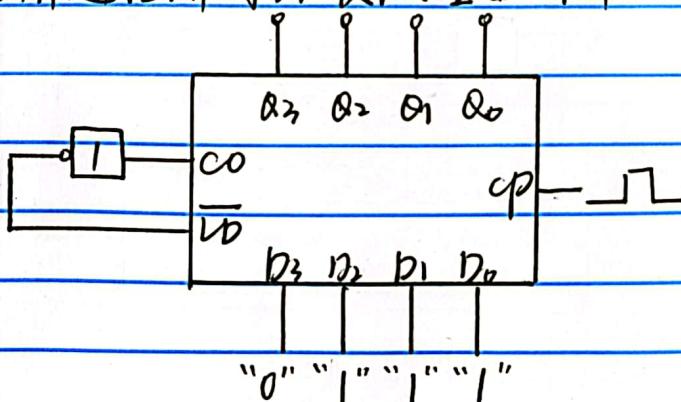


图6 74LS161构成九进制计数器。

6. 级联法

(1) 级联法原理

适用于计数器进制 $M < N$ 欲构成的进制 N . 先将多片计数器级联，组成最大计数值 $> N$ 的计数器. 然后采用前述清零或置数的方法实现模 M 计数器。

通常在级联后，再采用反馈清零法

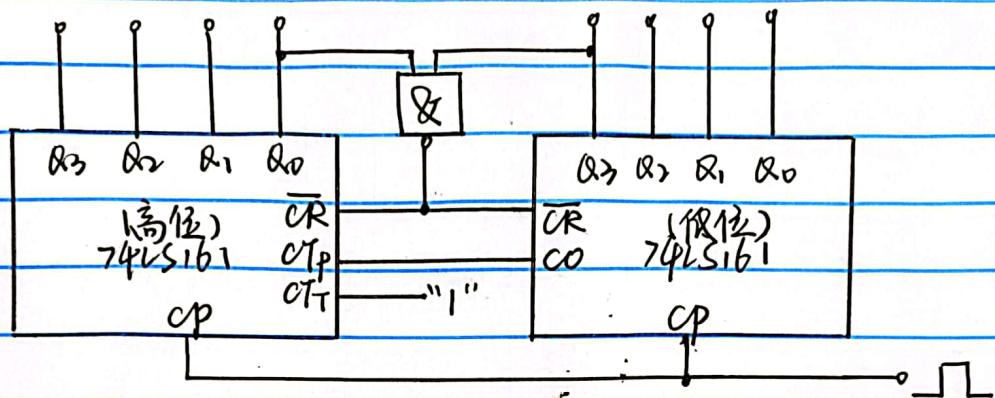
(2) 级联法示例

在 0001 1000 (二进制 24) 反馈清零。

图7 74LS161构成二十四进制计数器

同济大学实验报告纸

软件工程专业 2026届 1 班 750758 姓名 林林冲 第 组 同组人员
课程名称 计算机组成原理实验 实验名称 计数器实验 实验日期 2023年10月25日



在 0010 0100 (BCD 码 24) 反馈清零。

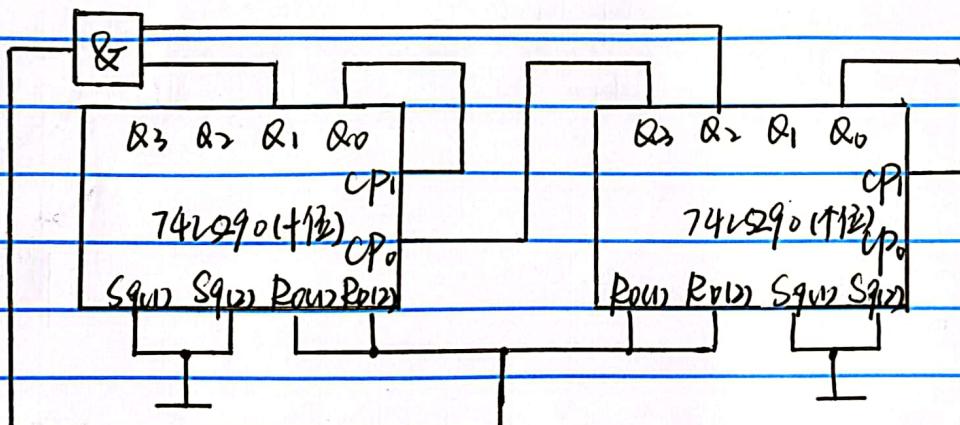


图 8 74LS90 构成二十四进制计数器。

[实验内容]

1. 74LS90 计数器功能验证

(1) 异步二-五-十进制计数器。

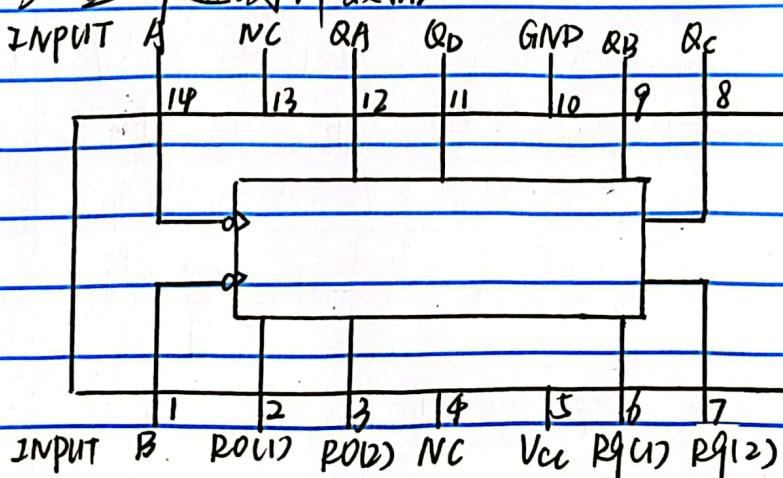


图 9 74LS90 引脚图。

同济大学实验报告纸

软件工程专业 2026 届 | 班 25078 姓名 林继坤 第 组 同组人员

课程名称 计算机组成原理实验 实验名称 计数器实验 实验日期 2023 年 10 月 25 日

(2) 74LS90 工作原理

R_{01}, R_{02} 为置 0 端, S_{q1}, S_{q2} 为置 9 端, CLK_A, CLK_B 端为两个计数时钟输入端, Q_B, Q_C, Q_D, Q_A 为输出端 (计数序列), NC 表示空脚。

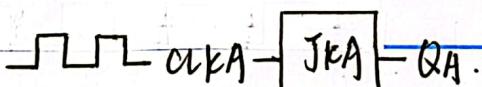
清零功能: 当 R_{01}, R_{02} 全为 1, 且 S_{q1} 和 S_{q2} 不全为 1, 计数器输出 $Q_{DCBA} = 0000$

置 9 功能: 当 S_{q1}, S_{q2} 全为 1, 且 S_{q1} 和 S_{q2} 不全为 1, 计数器输出 $Q_{DCBA} = 1001$.

计数功能: 当 S_{q1} 和 S_{q2} 不全为 1, 且 R_{01} 和 R_{02} 不全为 1, 输入脉冲 CP 时, 计数器开始计数.

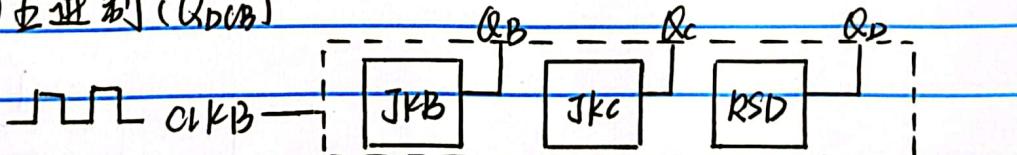
(3) 接线方法

① 二进制 (Q_A)



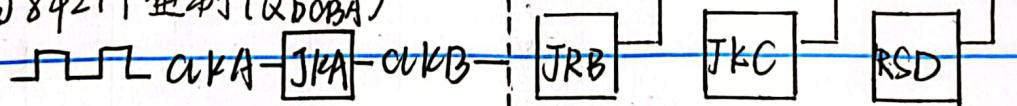
CP_1 (即 CLK_A) 接入脉冲, CP_2 不接入, 观察输出 Q_A

② 五进制 (Q_{DCB})



CP_2 (即 CLK_B) 接入脉冲, CP_1 不接入, 观察输出 Q_{DCB}

③ 8421十进制 (Q_{DCBA})



CP_1 (即 CLK_A) 接入脉冲中, 将 Q_A 接入 CLK_B (CP_2) 中, 观察输出 Q_{DCBA} .

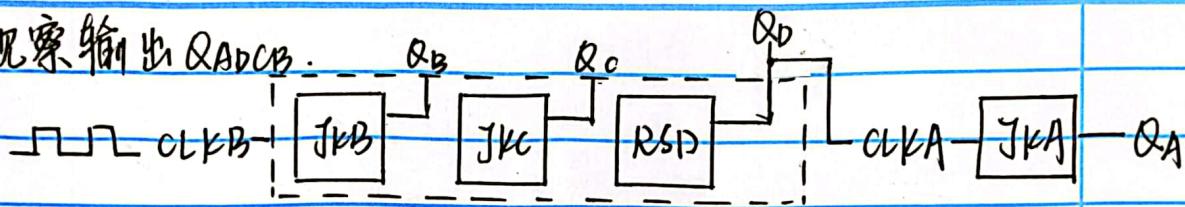
④ 5421十进制 (Q_{ADCB})

CP_2 (即 CLK_B) 接入脉冲, 将 Q_D 接入 CLK_A (CP_1) 中,

同济大学实验报告纸

软件工程专业2026届1班25号姓名林继坤第组同组人员
课程名称计算机组成原理实验实验名称计数器实验 实验日期2023年10月25日

观察输出 $Q_{A'DCB}$



(4) 74LS90 逻辑功能表

$S_{9(1)}$	$S_{9(2)}$	$R_{0(1)}$	$R_{0(2)}$	C_P1	C_P2	Q_B	Q_C	Q_B	Q_A	
1	1	0	X	X	X	1	0	0	1	置9
1	1	X	0	X	X	1	0	0	1	
0	X	1	1	X	X	0	0	0	0	清零
X	0	1	1	X	X	0	0	0	0	

$S_{9(1)} \cdot S_{9(2)} = 0$	C_P	0	二进制 (Q_A)
$R_{0(1)} \cdot R_{0(2)} = 0$	C_P	Q_A	五进制 (Q_{DCB})
	Q_B	C_P	8421十进制 (Q_{DCBA})
	Q_B	C_P	5421十进制 (Q_{ADCB})

} 计数

表1 74LS90 逻辑功能表

2. 74LS161计数器功能验证

(1) 同步四位二进制计数器

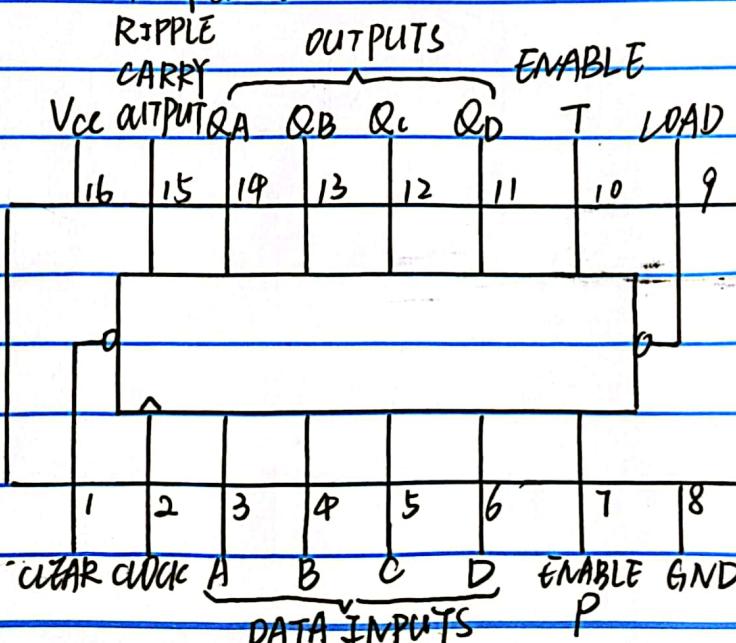


图10 74LS161芯片引脚图.

同济大学实验报告纸

软件工程专业2026届1班20258姓名林继坤第组同组人员
课程名称计算机组成原理实验实验名称计数器实验 实验日期2023年10月25日

(2) 74LS161工作原理

4个控制端: CR(11), LD(9), EP(7), ET(10).

当复位端 CR=0 时, 输出 QDOBA 全为零, 实现异步清零功能(复位功能)

当 CR=1 时, 预置数据控制端 LD=0, 且 CP 在上升沿时.

QDOBA = DOBA, 实现同步预置数功能.

当 CR=LD=EP=ET=1 时, 输出 QDOBA 保持不变, 处于保持状态.

当 CR=LD=EP=ET=1, CP 上升沿实现自然二进制计数功能

(3) 实验步骤

① 正确连接电路, 注意芯片的通电与接地。

② 调整不同的输入。

③ 观察输出, 并进行实验记录。

(4) 74LS161逻辑功能表

CR	LD	EP	ET	CP	QD	QC	QB	QA	
0	X	X	X	X	0	0	0	0	异步清零
1	0	X	X	↑	D	C	B	A	同步预置数
1	1	0	X	X	QD	QC	QB	QA	保持
1	1	X	0	X	QD	QC	QB	QA	
1	1	1	1	↑					计数

表2 74LS161逻辑功能表

3. 构成任意进制计数器。

(1) 3种常用的计数器进制构建方法

① 反馈消零法

同济大学实验报告纸

软件工程 专业 2026 届 1 班 2250758 姓名 邱诗坤 第 组 同组人员
课程名称 计算机组成原理实验 实验名称 计数器实验 实验日期 2023 年 10 月 25 日

② 反馈置数法

③ 级联法（用于构造更大进制的计数器）

④ 使用 74LS161 芯片构成 36 进制计数器的工作原理

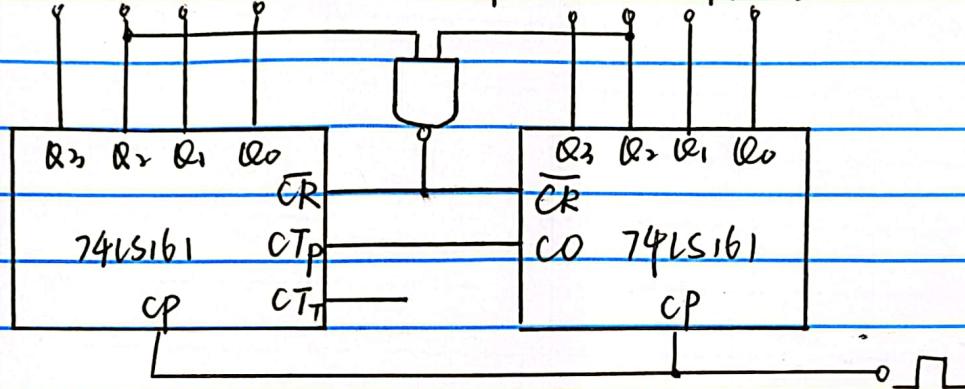


图 11 74LS161 构成 36 进制计数器工作原理图

工作原理：使用 74LS161 芯片构成 36 进制计数器，可以采用级联法。一个用于计数十进制的个位（0~9），另一个用于计数 6 进制的十位。两个 74LS161 级联， $10 \times 6 = 36$ 。使用反馈清零法 00100100（二进制 36）反馈清零。这样就使用 2 个 74LS161 芯片构成了一个 36 进制计数器，范围为 0~35。

[实验小结]

在本次实验中，我了解了计数器的概念和同步计数器和异步计数器的原理，通过两个计数器验证实验，我掌握了 74LS90（异步二-五-十进制计数器）和 74LS161（同步四位二进制计数器）的芯片引脚图、工作原理、逻辑功能表和接线方法等，加深了我对计数器知识的理解。

在构成任意进制计数器实验中，我了解了 3 种常用的计数器进制构建方法（反馈清零法、反馈置数法和级联法）的原理，学习示例更加深了我对这 3 种方法的理解。

同济大学实验报告纸

软件工程专业 2016届 1 班 2250758 姓名 材伟申 第 组 同组人员

课程名称 计算机组原理实验 实验名称 计数器实验 实验日期 2023 年 10 月 25 日

我运用很联法，使用2个74LS161芯片构成36进制计数器。根据前面所学知识，本次实际应用加深了我对数字逻辑知识的理解，也提高了我的编程能力和实验操作能力。