

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

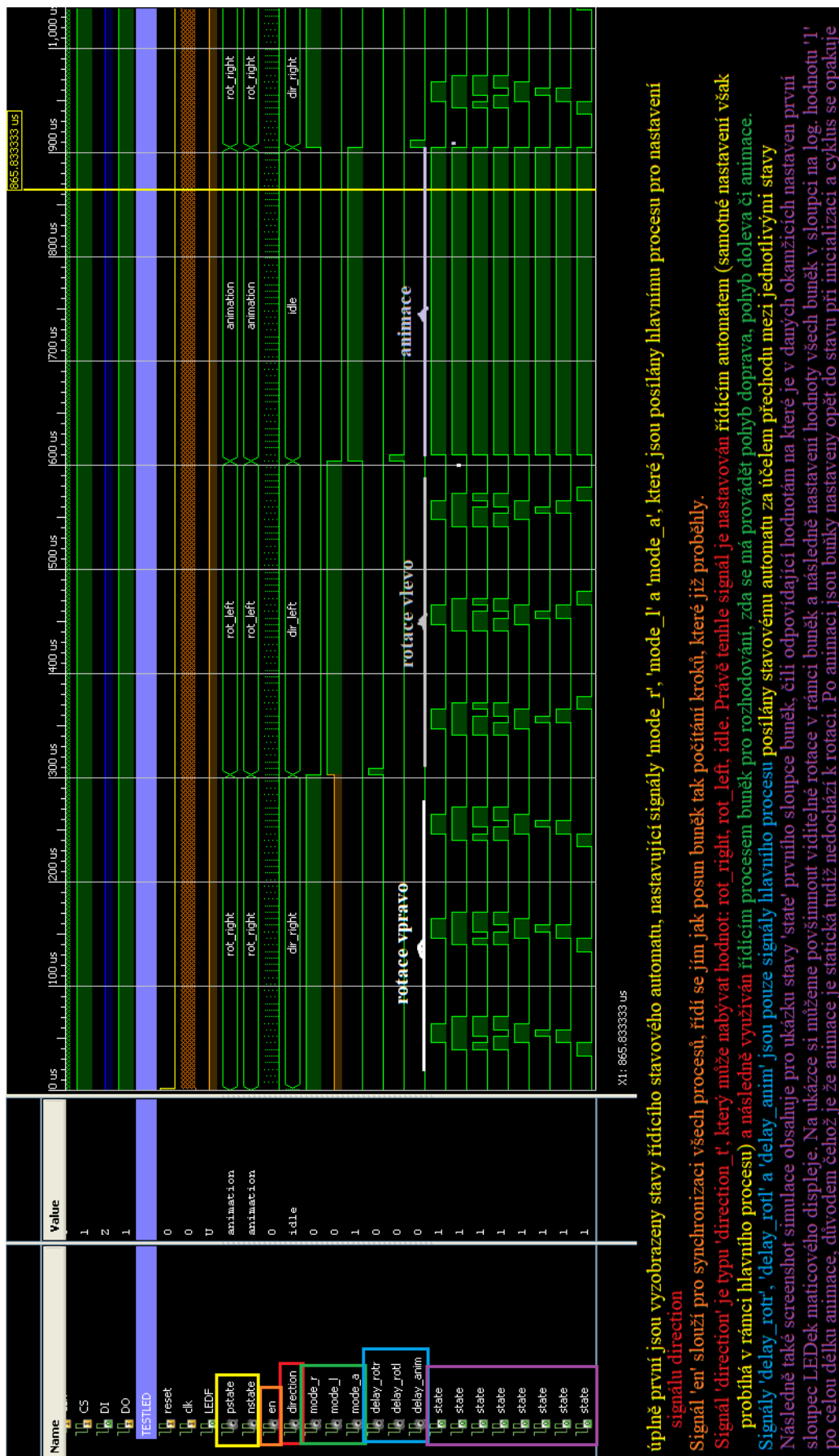
Seminář VHDL – dokumentace k finálnímu projektu

## Zdůvodnění použitých konstant

- *constant CLK\_FREQ = 25000000 (lumin\_board.vhd)*: vstupní frekvence CLK 25MHz
- *constant OUT\_FREQ = 15 (lumin\_board.vhd)*: výstupní frekvence (15 přechodů za sekundu)
- *signal mov\_cnt : integer range 0 to 143 (lumin\_board.vhd)*: čítač používán při rozhodování momentálního stavu displeje, je prováděno  $3 \cdot 16$  kroků doprava,  $3 \cdot 16$  kroků doleva, a animace trvá  $3 \cdot 16$  „kroků“ taktéž, čili  $3 \cdot 48 = 144 - 1 = 143$
- *signal cnter = integer range 0 to 47 (cell.vhd)*: využíván k počítání do posledního kroku při animaci, v tento moment se totiž musí signál 'state' u všech buněk nastavit opět na původní hodnotu jinak by rotace byla prováděna s výstupem animace (rotovalo by se s výstupem animace)
- *constant delay1 = 3999 (display.vhd)*: určuje počet CLK+1, po jejichž, dobu se bude držet rozsvícený jeden sloupec displeje než se přejde na rozsvícení sloupce vedlejšího. K nalezení konstanty došlo zkoušením konstant, dokud displej nepřestal blikat

## Odkaz na video s komentářem je [zde](#)

Omlouvám se, jsem si vědom faktu že video je poněkud „zasekané“ (zvukový výstup je naštěstí v pořádku), avšak nepodařilo se mi natočit video lepší kvality, jelikož jediný počítač který mám momentálně k dispozici není úplně nejrychlejší a točit skrze mobilní telefon by dle mého nedopadlo o moc lépe.



Obrázek 1: Screenshot výstupu simulace