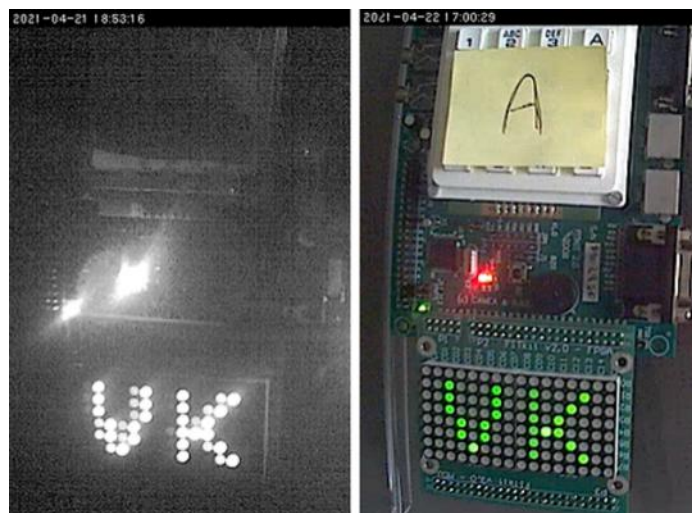


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

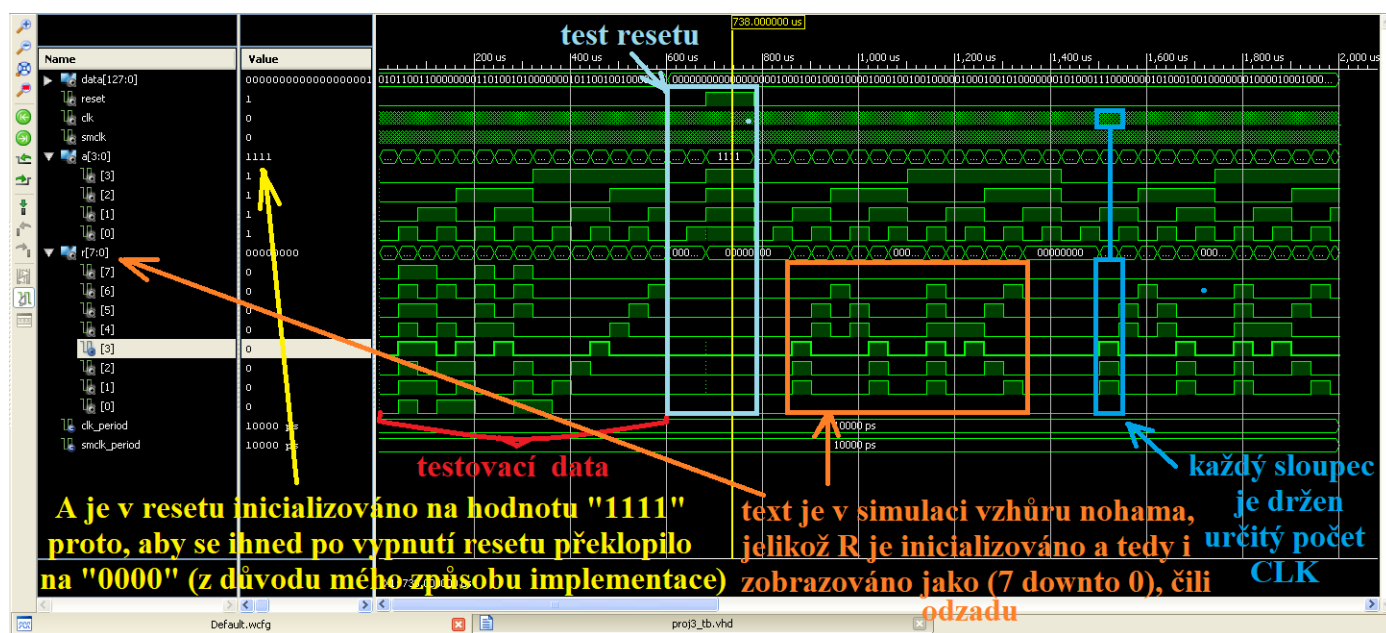
Seminář VHDL – 3. projekt

22. dubna 2021

Vojtěch Kališ (xkalis03)



Obrázek 1: Screenshot funkčního řešení



Obrázek 2: Screenshot simulace s využitím display_tb.vhd

Zdůvodnění hodnoty 'delay1' používané čítačem 'cnter2' v souboru 'display.vhd'

K výběru dané hodnoty, sloužící při počítání prodlevy přechodů mezi sloupcema, jsem došel aplikací metody „pokus-omyl“ při níž jsem se snažil najít ideální frekvenci, resp. frekvenci dostatečně vysokou aby nedocházelo k přehřívání ale zároveň i dostatečně nízkou aby na displeji nedocházelo k „blikání“.