

Submission 11

11.1.1

AluSrc => Add / Sub / And / Or und das 27. Bit ist nicht gesetzt (da sonst shifted Register); Wenn keines auftritt ist es auch gesetzt, da wird der output der Alu aber nicht benötigt

AluCtrl =>

Bit 0: 1 wenn Orr oder Sub, sonst 0

Bit 1: 1 wenn And oder Orr, sonst 0

zwischen And / Orr und Add / Sub wird unterschieden mittels des 24. (bei Add/Sub 1; Orr/And 0) und 25. Bits (bei Orr/And 1) und dass bei Add/Sub nicht 27. und 28. Bit gesetzt sind (da sonst LDR/STR)