

1. 다섯 단계의 Pipeline MIPS 구조에 대해서, 다음의 MIPS 코드가 있다.

```

Loop: beq  $t5, $a1, Exit      # if t5 == a1, exit loop
      lw   $t0, 0($a0)        # Load fib(n-2)
      lw   $t1, 4($a0)        # Load fib(n-1)
      add  $t2, $t0, $t1      # Calculate fib(n)
      sw   $t2, 8($a0)        # Store fib(n)
      add  $a0, $a0, $s1      # s1 contains 4
      add  $t5, $t5, $s2      # s2 contains 1
      j    Loop

```

Exit:

- 1.1. 위의 MIPS 코드에서 존재하는 모든 hazards들에 대해서 각 라인별로 조사하고, 어떤 hazard인지 쓰시오.
- 1.2. 각 hazard를 해결하기 위해서 stall을 사용하여, clock cycle 단위로 IF, ID, EX, MEM, WB의 다섯 단계에 대한 pipeline step을 도식화하시오. data forwarding 구조가 있다고 가정하고, branch decision은 ID단계에서 정해진다고 가정하시오. 아래의 테이블을 사용하고, 필요하면 테이블의 크기를 늘려서 작성하시오.

[illegible]

- 1.3. 2번에서 발생한 stall을 줄여주기 위해서 instruction들을 재배치하여 나열하고, 그 결과에 대해서 clock cycle 단위로 IF, ID, EX, MEM, WB의 다섯 단계에 대한 pipeline step을 도식화하시오. 아래의 테이블을 사용하고, 필요하다면 테이블의 크기를 늘려서 작성하시오.

[illegible]

2. 다음과 같은 c코드있다. a,b,c,e,f 는 각각 다음과 같이 메모리가 할당되어 있으며, b의 주소 값은 MIPS의 \$t0 레지스터에 저장되어 있다고 가정한다.

a = b + e;

c = b + f;

\$t0 ->

c
f
a
e
b

- 2.1. 위의 c 코드를 MIPS assembly code로 작성하시오.
- 2.2. 위에서 작성한 assembly code에서 각 라인별로 hazard가 발생할 경우, 발생하는 hazards에 대해서 어떤 hazard인지 쓰시오.
- 2.3. 위의 hazard를 해결하기 위해서 stall을 사용하여 assembly code에 대해서 clock cycle 단위로 IF, ID, EX, MEM, WB의 다섯 단계에 대한 pipeline step을 도식화하시오. (1.2, 1.3의 테이블 양식을 활용)
- 2.4. stall을 최대한 해결해주기 위해서 명령어를 reorder하여 다시 작성하시오.
- 2.5. 재배치된 명령어 순서에 대해서, clock cycle 단위로 IF, ID, EX, MEM, WB의 다섯 단계에 대한 pipeline step을 도식화하시오. (1.2, 1.3의 테이블 양식을 활용)