

Projektbericht

Instruction	Instruction Encoding
EOR (shifted register)	f100 1010 ss0m mmmm iiii iinn nnnd dddd
ADDS (immediate)	f011 0001 0hii iiiiiiii iinn nnnd dddd
SUBS (immediate)	f111 0001 0hii iiiiiiii iinn nnnd dddd
B.cond	0101 0100 iiiiiiii iii0 cccc
ADDS (shifted register)	f010 1011 ss0m mmmm iiii iinn nnnd dddd
RET	1101 0110 0101 1111 0000 00nn nnn0 0000

Assembly Language	Machine Code (binary)	Machine Code (hex)
eor x0, x0, x0	1100 1010 0000 0000 0000 0000 0000 0000	ca000000
eor x1, x1, x1	1100 1010 0000 0001 0000 0000 0010 0001	ca010021
eor x2, x2, x2	1100 1010 0000 0010 0000 0000 0100 0010	ca020042
adds x0, x0, #5	1011 0001 0000 0000 0001 0100 0000 0000	b1001400
adds x1, x1, #3	1011 0001 0000 0000 0000 1100 0010 0001	b1000c21
adds x2, x2, #7	1011 0001 0000 0000 0001 1100 0100 0010	b1001c42
subs x0, x0, #1	1111 0001 0000 0000 0000 0100 0000 0000	f1000400
b.ne my_loop	0101 0100 1111 1111 1111 1111 1010 0001	54ffffa1
adds x0, x1, x2	1010 1011 0000 0010 0000 0000 0010 0000	ab020020
ret	1101 0110 0101 1111 0000 0011 1100 0000	d65f03c0