

Programa para Excelência em Microeletrônica
Módulo: Nivelamento
Matéria: Sistemas Digitais

Desenvolvimento de um Microcomputador

Aluno: Miqueas Galdino dos Santos

Sumário

INTRODUÇÃO	iii
-------------------------	------------

TEORIA	iv
---------------------	-----------

O uso do computador SAP pode facilitar o entendimento dos detalhes relacionados a organização de computadores e sua aplicação em linguagem de baixo nível. A proposta da arquitetura do computador SAP é mostrada em três diferentes gerações, sendo a geração SAP-1 o primeiro estágio com vistas aos computadores eletrônicos modernos.iv

O SAP-1 não pode ser considerado como Turing completo, já que não possui a capacidade de produzir um desvio condicional a partir do algoritmo que está sendo executado, além de outras limitações. Entre suas principais vantagens estão justamente o número reduzido de instruções, que o torna uma ferramenta didática capaz de exemplificar o funcionamento de um sistema básico de computador.iv

3 DESENVOLVIMENTO DO PROGRAMA.....	v
---	----------

3.1 CONTADOR DE PROGRAMA.....	v
--------------------------------------	----------

3.2 REM.....	vi
---------------------	-----------

3.3 RAM	vi
----------------------	-----------

3.4 REGISTRADOR DE INSTRUÇÕES	vii
--	------------

3.5 CONTROLADOR-SEQUENCIALIZADOR	viii
---	-------------

3.6 ACUMULADOR A	ix
-------------------------------	-----------

3.7 SOMADOR-SUBTRATOR	x
------------------------------------	----------

3.8 REGISTRADOR B.....	x
-------------------------------	----------

3.9 REGISTRADOR DE SAÍDA	xi
---------------------------------------	-----------

BIBLIOGRAFIA	xiii
---------------------------	-------------

INTRODUÇÃO

De acordo com Malvino [1] (p. 255) o computador SAP (Simples-Quanto-Possível = Simple-As-Possible) foi projetado com o objetivo de apresentar de forma lúdica a estrutura operacional de um computador eletrônico moderno, de maneira que fique mais simples abstrair a concepção usada nos computadores eletrônicos mais modernos.

O presente relatório tem como objetivo demonstrar como foi construído a estrutura de um SAP-1, utilizando a ferramenta QuartusPrime. Ao decorrer deste trabalho o projeto será esmiuçado, de forma a levar o detalhamento de como foi formado o Microcomputador, mostrando suas características e como ele é composto internamente.

TEORIA

O uso do computador SAP pode facilitar o entendimento dos detalhes relacionados a organização de computadores e sua aplicação em linguagem de baixo nível. A proposta da arquitetura do computador SAP é mostrada em três diferentes gerações, sendo a geração SAP-1 o primeiro estágio com vistas aos computadores eletrônicos modernos.

O SAP-1 não pode ser considerado como Turing completo, já que não possui a capacidade de produzir um desvio condicional a partir do algoritmo que está sendo executado, além de outras limitações. Entre suas principais vantagens estão justamente o número reduzido de instruções, que o torna uma ferramenta didática capaz de exemplificar o funcionamento de um sistema básico de computador.

3 DESENVOLVIMENTO DO PROGRAMA

3.1 CONTADOR DE PROGRAMA

O contador de programa, que é parte da unidade de controle, conta de 0000 a 1111. Sua tarefa é enviar à memória o endereço da instrução seguinte a ser buscada e executada.

O contador de programa é como alguém que aponta um dedo em uma lista de instruções, dizendo para fazer isto em primeiro lugar, fazer isto em segundo, fazer isto em terceiro etc. É por isto que o contador de programa às vezes é chamado ponteiro (pointer); ele aponta ou indica um endereço na memória onde algo importante está sendo armazenado.

Sendo criado com quatro Flip-Flops JK-RS, o contador inicia a contagem em 0000, quando a simulação é iniciada. Toda vez que o bit CP (que está ligado ao Controlador e Sequencializador) é ativado a sua contagem é incrementada. Após isso, quando o bit de controle EP é ativado, os barramentos de saída(S[0],S[1],S[2],S[3]) são ativados, fazendo com que o computador use as instruções de modo sequencial.

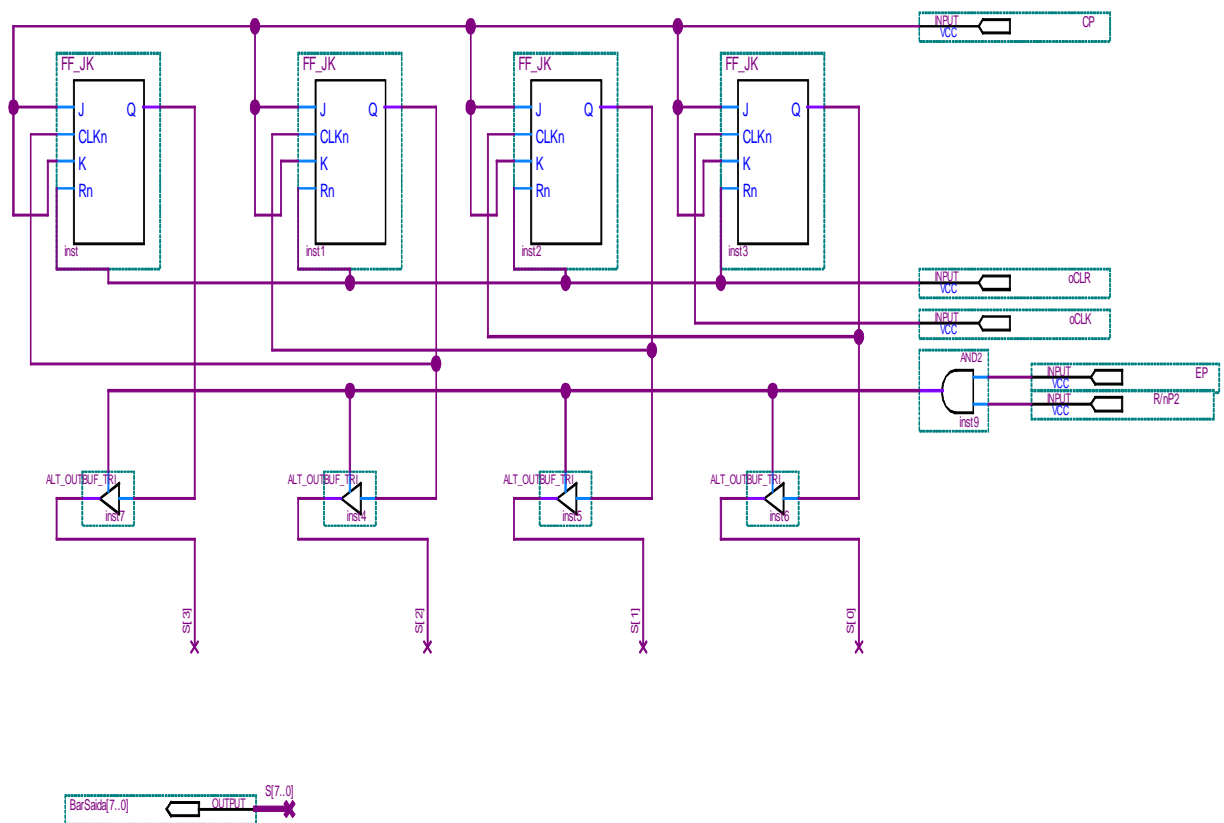


Figura 1- Contador Programa

3.2 REM

O registrador de endereço na memória (REM) é parte da memória do SAP-1. Durante um processamento do computador, o endereço no contador de programa é retido no REM. Um bit mais tarde, o REM aplica este endereço de 4 bits à RAM, onde operação de leitura é realizada.

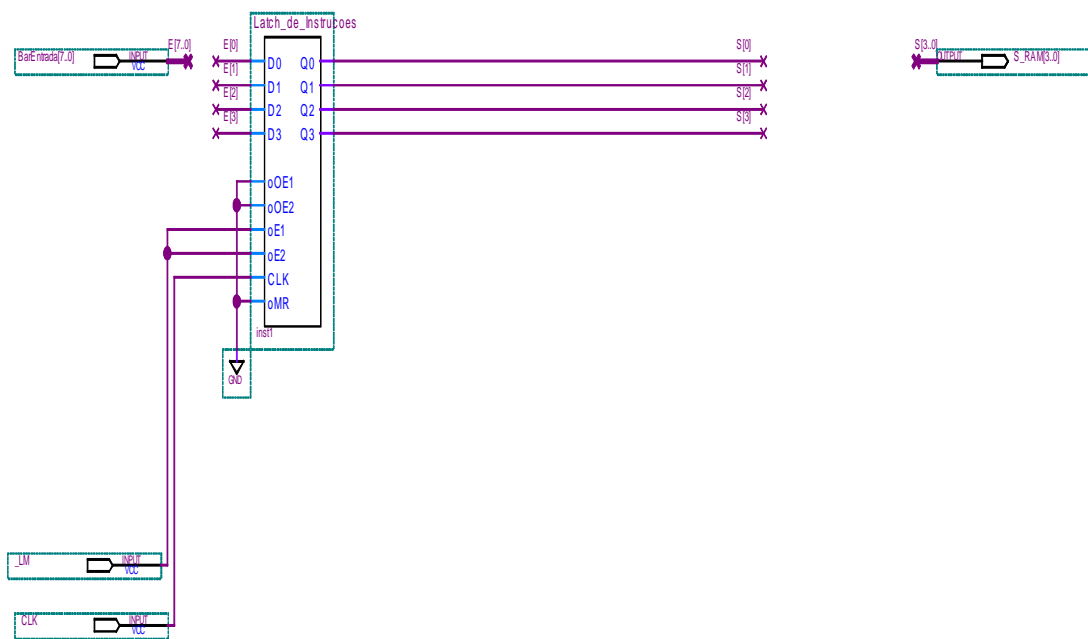


Figura 2- REM

Formado por um latch de instruções(74173) que armazena 4 bits provenientes de E[0],E[1],E[2],E[3] toda vez que o bit de controle **_LM** estiver em nível baixo e houver um pulso do CLK. Esses bits podem vir do contador binário, e sua saída está ligada a RAM.

3.3 RAM

A memória principal(RAM) armazena tanto as instruções quanto os dados que serão utilizados durante o processamento do algoritmo. A RAM é uma RAM TTL estática de 16 x 8. Sendo ela programada diretamente com dados já pré-estabelecidos sem a necessidade do uso de chaves.

A placa é ativada sempre que o bit de controle `_CE` estiver em nível baixo. Além disso, o dado armazenado em uma determinada posição de memória pode ser enviado para as saídas.

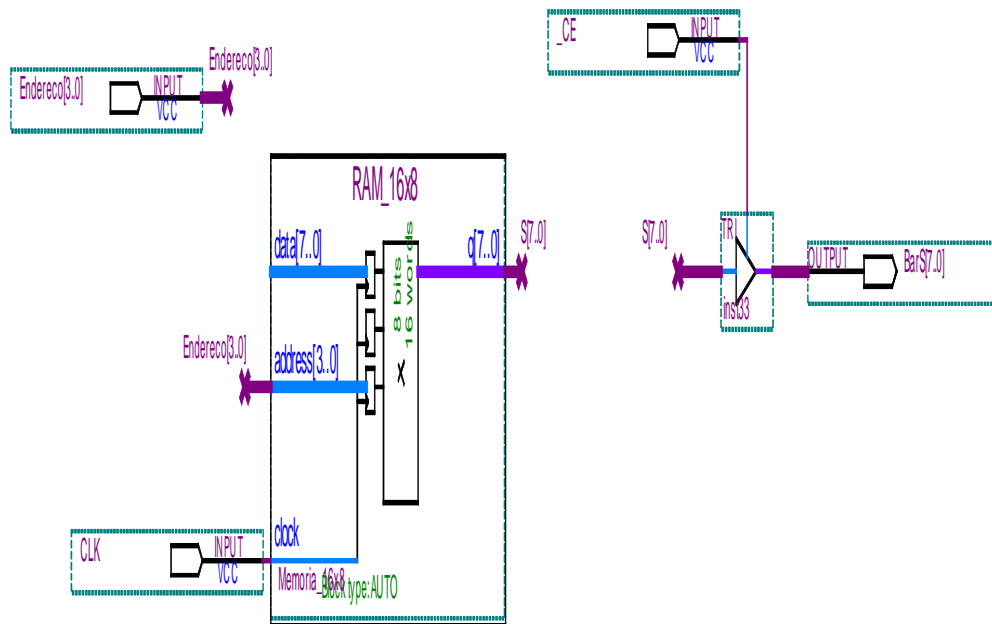


Figura 3- Memória RAM 16X8

3.4 REGISTRADOR DE INSTRUÇÕES

O registrador de instruções constitui parte da unidade de controle. Para buscar uma instrução da memória o computador realiza uma operação de leitura da memória. Isto coloca o conteúdo do local de memória endereçado no barramento W. Ao mesmo tempo, o registrador de instruções é preparado para carregamento na próxima transição positiva de relógio.

Ele armazena a palavra lida da memória a partir do endereço disponibilizado no barramento W oriundo do Contador de Programa. Contém Flip-Flops- D, onde os quatro primeiros quando ativados pelo bit de controle `_LI`, enviam seus resultados para o Controlador, contendo a instrução de operação para que assim possa se definir quais os outros blocos que serão ativos e os últimos Flip-Flops enviam os bits de endereço de dados para o barramento W, ocorrendo isso quando o bit de controle `_EI` esteja ativado.

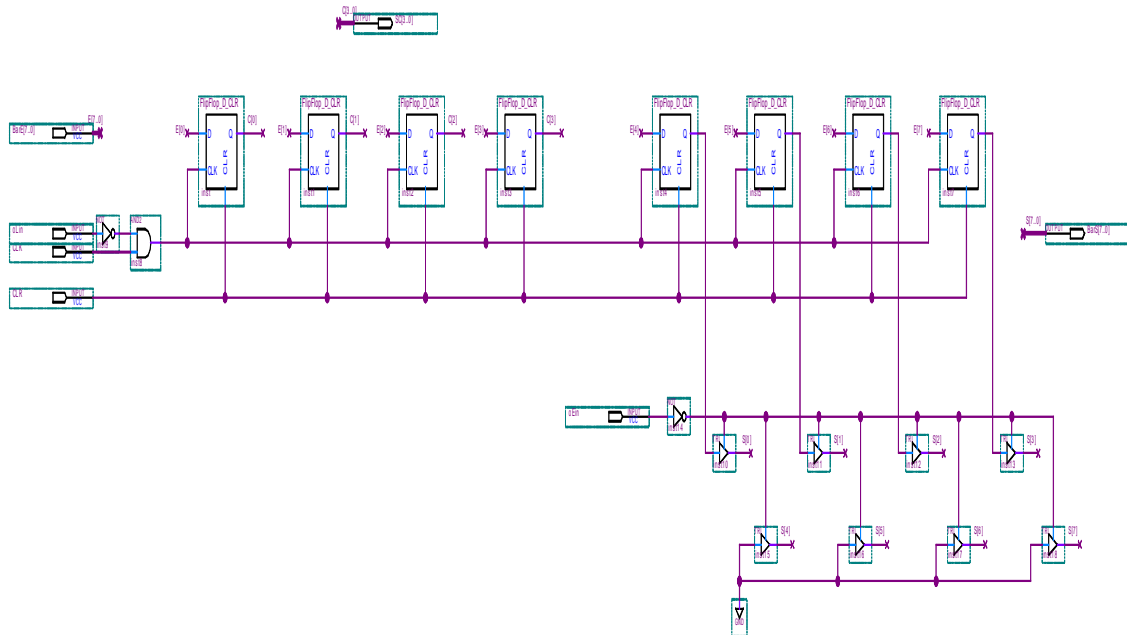


Figura 4- Registrador de Instruções

3.5 CONTROLADOR-SEQUENCIALIZADOR

De início é formado por um **contador em anel**, formados por FLIP-FLOPS JK, e tendo como função sequencializar o envio dos bits de controle, na qual a cada pulso de clock o flip-flop que estiver em nível alto define a etapa de processamento atual.

Logo depois, se é encontrado o **Decodificador de instruções** responsável por ativar um dos bits LDA, ADD, SUB, OUT ou HLT, onde as entradas (E[0], E[1], E[2], E[3]) que configuram tais instruções.

Por fim, se encontra a Matriz de Controle. A matriz, recebe qual a instrução esta sendo executada (**Decodificador de instrução**) e qual é a etapa atual (**Contador em anel**). Tendo essas duas informações “em mãos”, ela forma a palavra de controle e envia para o restante do circuito.

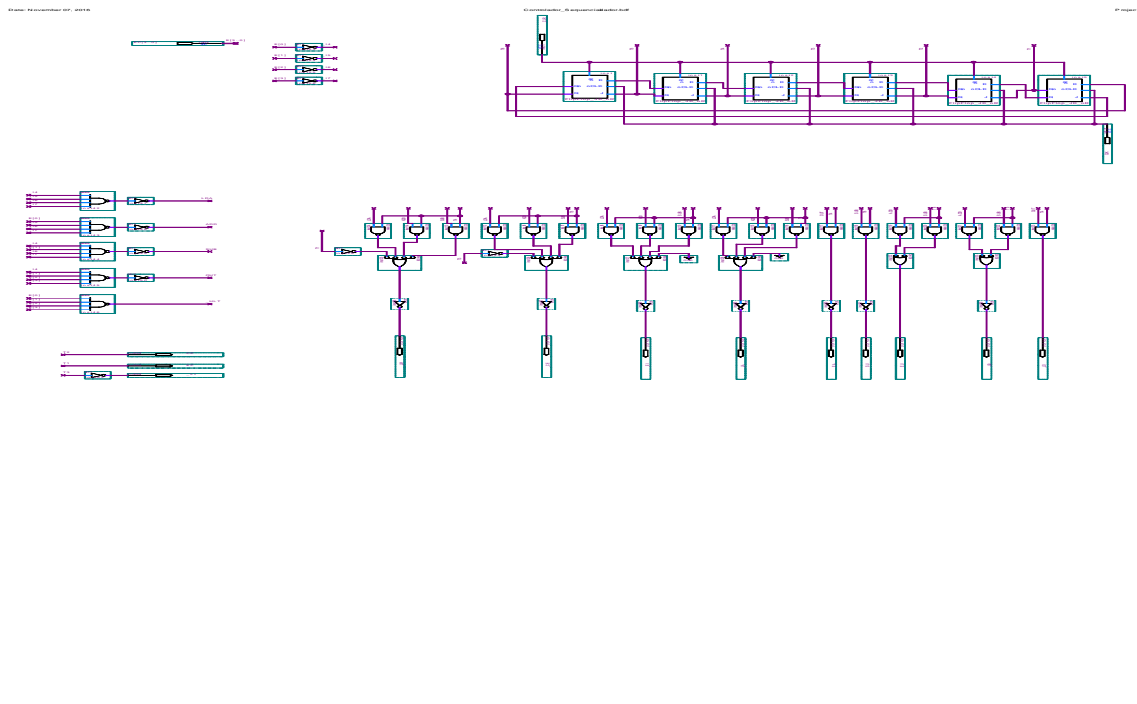


Figura 5- Controlador e Sequencializador

3.6 ACUMULADOR A

O acumulador é um registrador de memória intermediária que armazena respostas intermediárias durante um processamento no computador. Possuindo dos Latches de 4 bits, tem como função receber os dados do barramento. Os dados então são disponibilizados automaticamente no circuito somador/subtrator.

Além disso o acumulador é composto por tristates para caso queira deixar o barramento livre, ou seja, Se as portas forem acionadas pelo bit de controle EA o valor do acumulador é encaminhado ao barramento, senão o barramento permanece livre.

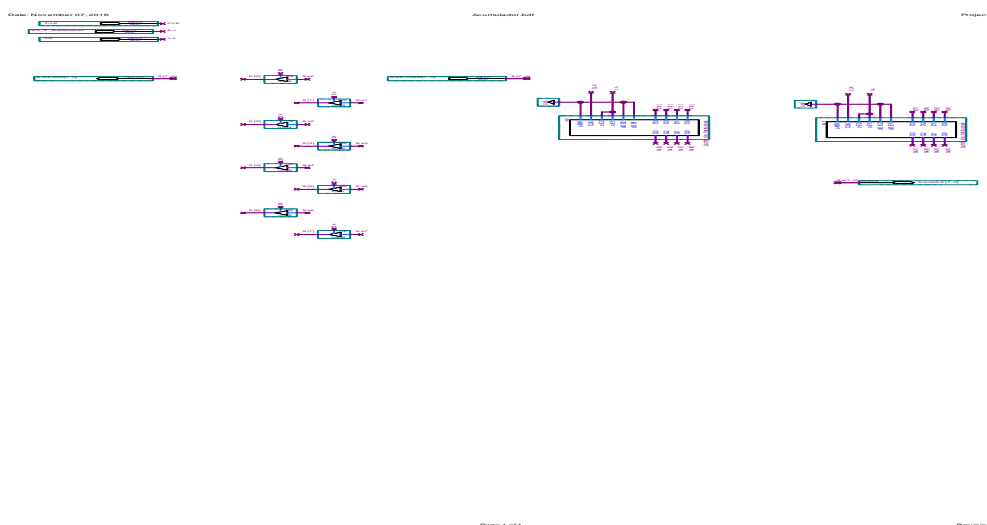


Figura 6- Acumulador A

3.7 SOMADOR-SUBTRATOR

É um circuito combinatório independente do clock do circuito, ou seja o somador-subtrator é assíncrono (não-sincronizado); isto significa que seu conteúdo pode variar logo que as palavras de entrada variem. Porém sua saída é controlada através das tristates ativadas pelo bit de controle EU. Além disso, ela é formada por 2 latches que recebem dados do Acumulador e do Registrador B, possuindo um bit de controle SU que organiza tais entradas.

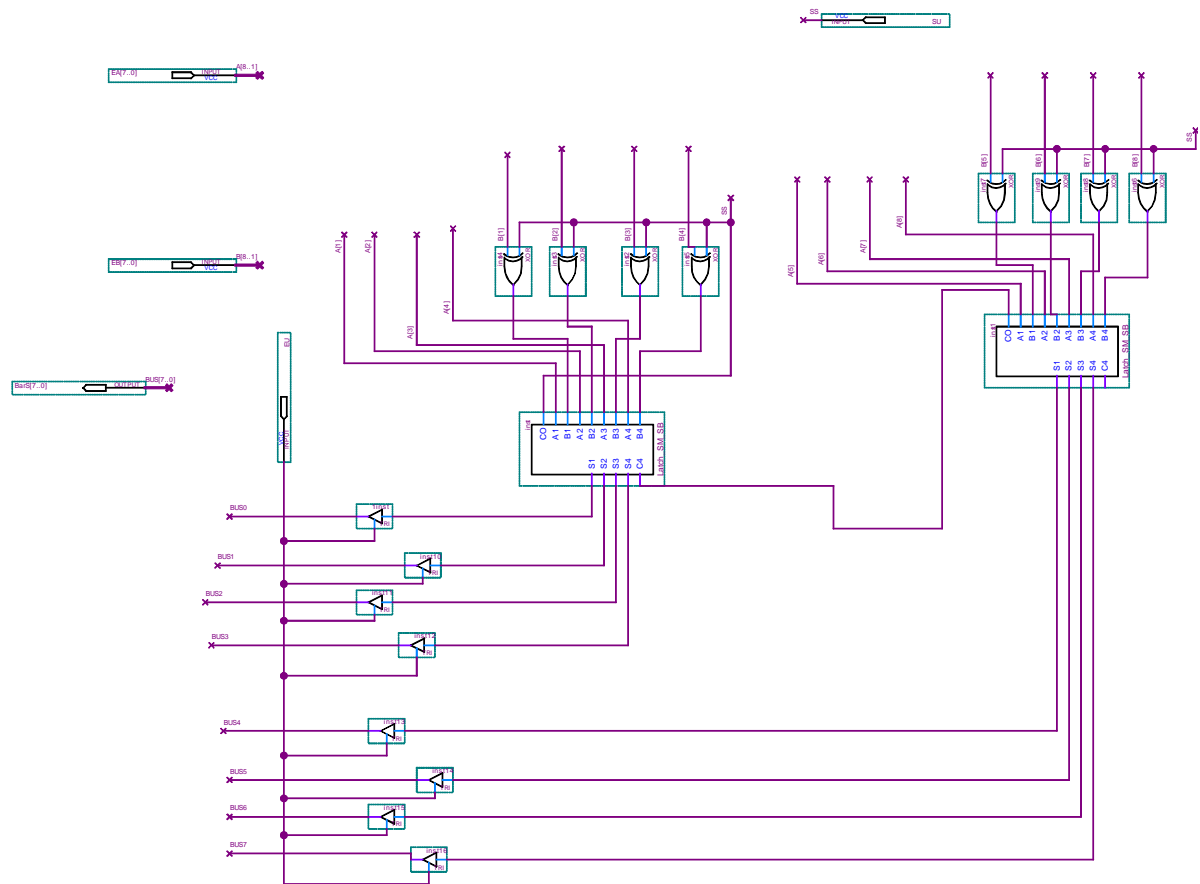


Figura 7- Somador-Subtrator

3.8 REGISTRADOR B

Formado por 2 Latches que armazenam um valor qualquer B que é lido da memória principal pelas instruções ADD e SUB. Possui um bit de controle que é ativado para baixo (LB) para que juntamente com uma transição positiva de clock, possa-se carregar a palavra do barramento W dentro do registrador B. Sua saída está ligada ao somador e subtrator.

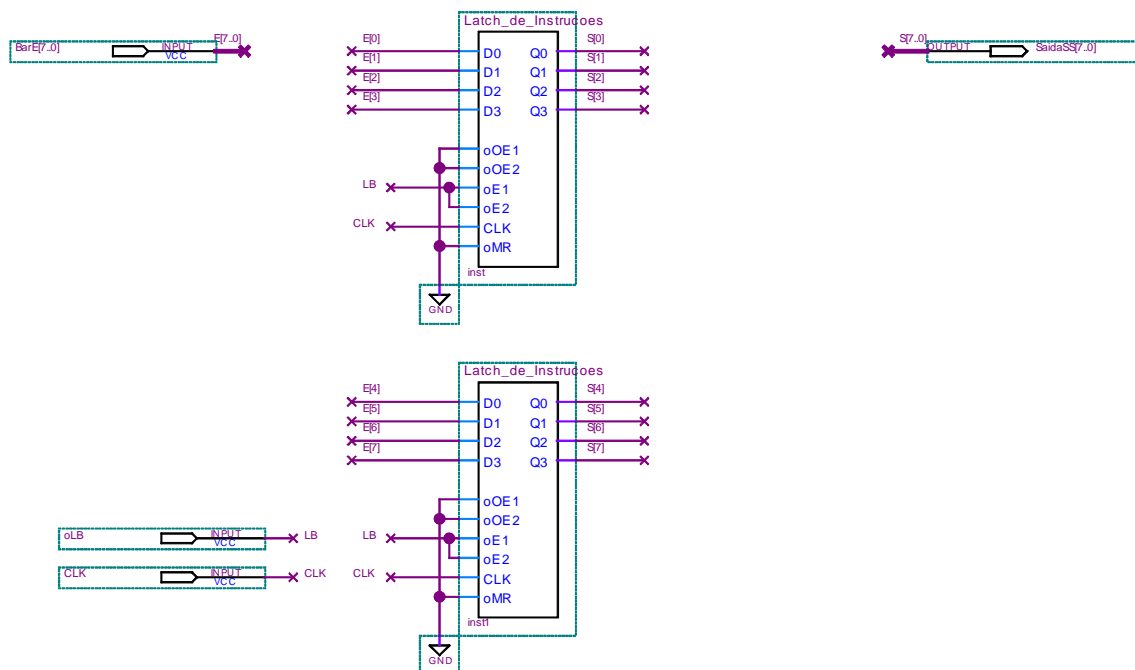


Figura 8- Registrador B

3.9 REGISTRADOR DE SAÍDA

No final de um processamento do computador, o acumulador contém a resposta ao problema que está sendo resolvido. Neste ponto, necessitamos transferir a resposta para o mundo exterior. Isto é onde é usado o registrador de saída.

Sendo formado por 8 FLIP-FLOPS D, e possuindo um bit de controle Lo, que é ativado para baixo, fazendo com que a próxima transição positiva de clock carregue a palavra do acumulador no registrador de saída.

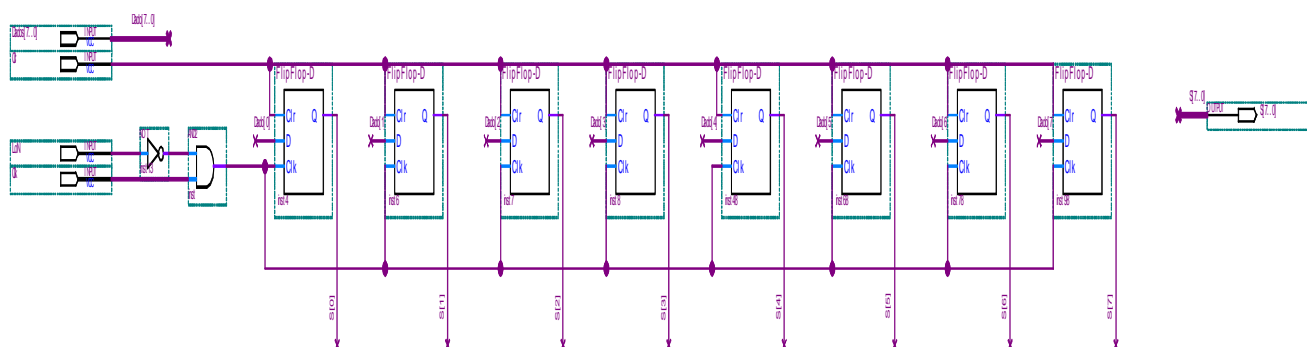


Figura 9- Registrador de Saída

CONCLUSÕES

O objetivo deste relatório, foi demonstrar como o Microcomputador foi formado, utilizando a ferramenta QuartusPrime. É possível, de maneira geral, entender o funcionamento do SAP-1, que representa de forma simples a arquitetura de um computador. Tendo a capacidade de efetuar Operações como: LDA, ADD, SUB, OUT e HLT.

Vale ressaltar também, a utilização da ferramenta QuartusPrime, que demonstrou grandes funcionalidades para o desenvolvimento do projeto até aqui.

BIBLIOGRAFIA

https://github.com/MiqueasGaldino/Miqueas_uC_PEM

<http://www.ic.unicamp.br/~ducatte/mc542/2012S2/sap-1.pdf>

<https://www.revista-programar.info/artigos/introducao-a-arquitectura-sap-com-foco-em-sap-1/>