

计算机体系结构习题课

随堂测验1~3

随堂测验1

1. 假设机器A和机器B是某种ISA两种实现方式。对某一程序，机器A的时钟周期250ps，平均CPI为2.0；机器B的时钟周期500ps，平均CPI为1.2。试问：哪台机器性能更好？

机器A：平均每条指令的执行时间为 $2.0 \times 250 \text{ ps} = 500 \text{ ps}$

机器B：平均每条指令的执行时间为 $1.2 \times 500 \text{ ps} = 600 \text{ ps}$

$$\frac{Performance_A}{Performance_B} = \frac{\frac{1}{500}}{\frac{1}{600}} = 1.2 > 1$$

机器A的性能更好

随堂测验1

2. 对于某一机器，编译器设计者要在两种代码生成方案中做出选择。该机器实现的三类指令class A，class B和class C，其CPI分别为1,2和3。

- 代码生成方案1：所执行的代码序列1有2条A类指令，1条B类指令和2条C类指令
 - 代码生成方案2：所执行的代码序列2有4条A类指令、1条B类指令和1条C类指令
- 分别计算完成这两套代码序列执行所花费的cycle数，以及平均CPI？

$$\text{Cycles} = IC_A * CPI_A + IC_B * CPI_B + IC_C * CPI_C$$

$$\text{方案1: } \text{Cycles}_1 = 2 * 1 + 1 * 2 + 2 * 3 = 10$$

$$CPI_1 = \frac{10}{2+1+2} = 2$$

$$\text{方案2: } \text{Cycles}_1 = 4 * 1 + 1 * 2 + 1 * 3 = 9$$

$$CPI_1 = \frac{9}{4+1+1} = 1.5$$

随堂测验2

1、有一条4段(S1->S2->S3->S4)组成的数据处理流水线。其中，S1与S4的执行时间均为 Δt ，S2与S3的执行时间均为 $2\Delta t$ 。

- 计算该流水线的理想加速比；
- 若该流水线连续处理5个数据(无数据相关)，试计算流水线的实际吞吐率；

$$S = \frac{n \sum_{i=1}^k \Delta t}{\sum_{i=1}^k \Delta t_i + (n-1) \max(\Delta t_1, \Delta t_2, \dots, \Delta t_k)} = \frac{n * 6\Delta t}{6\Delta t + (n-1) * 2\Delta t} \rightarrow 3$$

$$TP = \frac{5}{6\Delta t + (5-1) * 2\Delta t} = \frac{5}{14\Delta t}$$

随堂测验2

2、假设一条k段指令流水线，由于条件分支的影响，每次条件转移成功(taken)将造成k-1个时钟周期的断流。假设条件分支一般在程序中所占的比例为p，转移成功的概率为q。试计算由于分支指令的影响，该流水线最大吞吐率下降的百分比。

假设指令数为N，每个流水段的执行时间均为 Δt ；

由于条件分支增加的执行时间为 $Npq(k-1)\Delta t$ ；

无条件分支的影响时，最大吞吐率为 $TP_{old} = \frac{1}{\Delta t}$

有条件分支的影响后，最大吞吐率为 $TP_{new} = \frac{N}{N\Delta t + Npq(k-1)\Delta t} = \frac{1}{\Delta t + pq(k-1)\Delta t}$

下降的百分比为 $\frac{TP_{old} - TP_{new}}{TP_{old}} = \frac{pq(k-1)}{1 + pq(k-1)}$

随堂测验3

1、假设一计算机系统由一颗1GHz处理器、两级Cache和DRAM主存构成。第一级Cache分成指令Cache和数据Cache。所读写的数据可用必须等待整个数据块传送完毕。存储系统的参数如下表所示：

	Hit Time	Miss Rate	Block Size
Level-1 cache	1 cycle	6% for data 2% for instruction	32 bytes
Level-2 cache	12 cycles + (1 cycle per 64 bits)	2%	256 bytes
DRAM	75ns + (10 ns per 8 bytes)	-	-

计算访问指令的平均访存时间

$$AMAT_{\text{DRAM}} = 75 + \left(\frac{256}{8} * 10 \right) = 395ns = \frac{395ns}{1/10^9s} \text{ cycles} = 395 \text{ cycles}$$

$$AMAT_{\text{L2cache}} = 12 + \left(\frac{32 * 8}{64} * 1 \right) + 2\% * AMAT_{\text{DRAM}} = 16 + 2\% * 395 \text{ cycles} = 23.9 \text{ cycles}$$

$$AMAT_{\text{L1cache}} = 1 + 2\% * AMAT_{\text{L2cache}} = 1 + 2\% * 23.9 \text{ cycles} = 1.478 \text{ cycles} = 1.478ns$$

随堂测验3

1、假设一计算机系统由一颗1GHz处理器、两级Cache和DRAM主存构成。第一级Cache分成指令Cache和数据Cache。所读写的数据可用必须等待整个数据块传送完毕。存储系统的参数如下表所示：

	Hit Time	Miss Rate	Block Size
Level-1 cache	1 cycle	6% for data 2% for instruction	32 bytes
Level-2 cache	12 cycles + (1 cycle per 64 bits)	2%	256 bytes
DRAM	75ns + (10 ns per 8 bytes)	-	-

假设所有的数据访问都是Load操作，计算访问数据的平均访存时间

$$AMAT_{\text{DRAM}} = 75 + \left(\frac{256}{8} * 10 \right) = 395ns = \frac{395ns}{1/10^9s} \text{ cycles} = 395 \text{ cycles}$$

$$AMAT_{\text{L2cache}} = 12 + \left(\frac{32 * 8}{64} * 1 \right) + 2\% * AMAT_{\text{DRAM}} = 16 + 2\% * 395 \text{ cycles} = 23.9 \text{ cycles}$$

$$AMAT_{\text{L1cache}} = 1 + 6\% * AMAT_{\text{L2cache}} = 1 + 6\% * 23.9 \text{ cycles} = 2.434 \text{ cycles} = 2.434ns$$