

存储系统

主存与CPU的连接

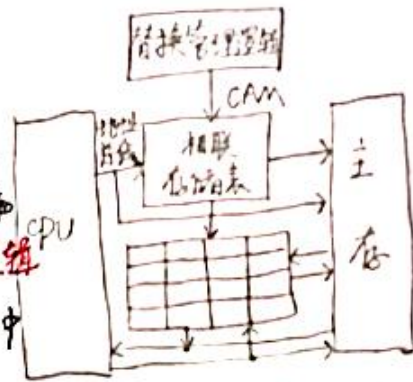
- 主存与CPU通过数据总线、地址总线、控制总线相连接
- 先进行位扩展,再进行字扩展(尽量保证地址不重)
- 位扩展:地址线和控制线公用;数据线单独分开连接
- 字扩展:地址总线和数据总线公用,读写控制信号线公用,由地址总线的高位译码产生片选信号,让各芯片分时工作。

并行存储器

- CPU与主存速度不匹配
 - 芯片技术
 - 结构技术:并行存储器
 - 系统结构技术:Cache、虚拟存储器
- 双端口RAM:两个输入输出端,可并行读写数据,是空间并行技术
- 多模式存储器
 - 顺序方式
 - 交叉方式

Cache存储器

- 当CPU读取主存中一个字时,便发出此字的内存地址到Cache和主存;
 - 此时Cache控制逻辑依据地址判断此字是否在Cache中
- 如果是,此字立即传送给CPU
 如果不是,则用主存读回期把此字从主存读出送到CPU,与此同时,把含有这个字的整个数据块从主存读出送到cache中。



- 映射方式
 - 直接映射:硬件简单,成本低→大容量,冲突多
 - 全相联映射:灵活性好,命中率高,电路设计难,成本高→小容量
 - 组相联映射:全相联和直接映射的折中。

替换算法

- 随机算法
- 先进先出算法(FIFO)
- 最近最少使用算法(LRU)
- 最不经常使用算法(LFU)

地址格式设计:

- 字地址
 - 行
- 块数/行数 = 区大小 / Cache 区大小 ÷ 每块大小

虚拟存储器

- 将主存或辅存的地址空间统一编址
- 页式虚拟存储器:以页为基本单位
- 段式虚拟存储器
- 段页式虚拟存储器
- 快表(TLB)



如果为直接映射就不需要