

Digital Down-converter to DVBS2x receiver

1st Jhonathan Nicolas Moreira Silva

Matrícula: 160031621

Programa de Engenharia Eletrônica

Universidade de Brasília - FGA

Brasília, Brasil

jnicolas@aluno.unb.br

<https://bitbucket.org/jhonicolas>

2nd Misael de Souza Andrade

Matrícula: 160015669

Programa de Engenharia Eletrônica

Universidade de Brasília - FGA

Brasília, Brasil

misas.andrade@aluno.unb.br

<https://bitbucket.org/misaelandrade>

Resumo—Este documento é o ponto de controle I da disciplina de projeto de circuitos reconfiguráveis, este mesmo visa mostrar os principais conceitos sobre um DDC (Digital Down Converter) para o receptor de comunicação no padrão DVBS2x no qual estará implementado.

I. JUSTIFICATIVA

Digital Down-converter(DDC) é um componente que converte um sinal digitalizado RF ou IF com taxa de amostragem alta num sinal de frequência mais baixa de banda limitada, a uma taxa de amostragem mais baixa, a fim de recuperar a informação desse sinal modulado. De forma simplificada, a Figura 1 ilustra a caixa-preta do DDC, em que tem como entrada um sinal digitalizado com alta taxa de amostragem e como saída o sinal em fase e em quadratura.



Figura 1. Down-Converter Genérico

As características do DDC o leva para aplicações chaves em sistemas de comunicações, principalmente em receptores de rádio digital, onde estes geralmente possuem conversores analógicos-digitais(A/D) rápidos para digitalizar sinais RF ou IF de banda limitada, o que gera altas taxas de amostragem. Todavia, em muitos casos o sinal de interesse representa uma pequena parcela dessa banda, consequentemente, para extrair esta parcela a essa alta taxa de dados, é necessário um filtro abusivamente grande. Então, a partir desse ponto o DDC permite mover a faixa de interesse tenha sua frequência reduzida, diminuindo a taxa de amostragem, tornando os requisitos de processamento do sinal de interesse e de filtro viáveis.

Para a implementação do DDC, é muito comum a utilização de circuitos integrados para aplicação específica padrão ASSPs(Application-Specific Standard parts), todavia, por mais barato que seja atualmente o custo de fabricação das ASSPs, elas não oferecem a integração e a flexibilização que um FPGA fornece. Além disso, a maior vantagem do uso do FPGA para implementar um DDC é a velocidade, devido suas grande matriz de blocos lógicos configuráveis, evidenciando

assim o motivo da implementação do DDC por um FPGA no projeto.[1]

II. OBJETIVOS

A. Objetivo geral

O presente projeto tem como objetivo principal desenvolver o modelo de referência em software, descrever em VHDL, simular, e implementar no FPGA o componente DDC para o receptor no padrão DVBS2x.

B. Objetivos específicos

Os objetivos específicos do projeto, originam-se dos módulos necessários para compor o DDC, sendo passíveis de serem integrados entre si ou ramificados em outros. São eles:

- Descrever, simular e implementar o componente do oscilador que gera uma sinusóide digital amostrada.
- Descrever, simular e implementar o componente do sintetizador de frequência DDS (Direct Digital Synthesizer), que integra um valor de incremento de fase.
- Descrever, simular e implementar o componente do Mixer para multiplicar o sinal de entrada pelo sinusóide gerado localmente para mudar o espectro do sinal.
- Descrever, simular e implementar o componente do Cascaded Integrator Comb (CIC) filter, que faz a subamostragem.
- Descrever, simular e implementar o componente do Filtro Compensador FIR (CFIR).

III. METODOLOGIA

A. Visão Geral do DDC

A arquitetura básica de um DDC é formada por três processos: um quadratura heterodínia, um par de filtros passa baixas e um sub amostrador *down sampler* de tamanho $M-1$ *M a 1* (HARRIS et al., 2012). Onde o índice M é a razão da entrada e saída da largura de banda no processo de filtragem, quando M é grande a filtragem normalmente é feita em dois sub filtros um deles é um integrador que realiza a maioria da sub amostragem seguido de um par de outros dois filtros que realiza a correção espectral. Os DDCs mais comuns são baseados no receptor heterodínia de Edwin Armstrong ele é composto de : um sintetizador digital direto em quadratura como entrada de um par de multiplicadores que realizam a

translação para o espectro desejado passando por um par de filtros passa baixas que limitam a largura de banda do sinal e por fim um sub amostrador que reduz a taxa da saída na proporção que a largura de banda foi reduzida.

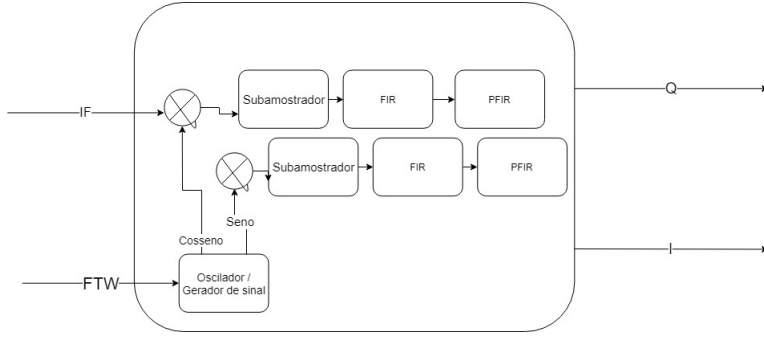


Figura 2. Lógica de um bloco DDC

Observando a figura 2 constata-se que o DDC será dividido em cinco blocos básicos são eles:

- Direct Digital Synthesizer (DDS)
- Mixer
- Cascaded Integrator Comb (CIC) filter
- Filtro Compensador FIR (CFIR)
- Filtro Compensador FIR (CFIR)

B. Direct Digital Synthesizer (DDS)

Um sintetizador digital direto ou também conhecido como Oscilador complexo é um componente do DDC responsável por gerar um sinal senoidal com defassagens (seno + cosseno) ambos na frequência intermediária. A arquitetura desse bloco é relativamente flexível o que facilitará na descrição de hardware, matematicamente uma onda senoidal pode ser obtida rotacionando um vetor em volta do círculo da fase conforme figura 3. O DDS é dividido em dois blocos são eles o acumulados de fase (PA) e o conversor de fase para amplitude (PAC)

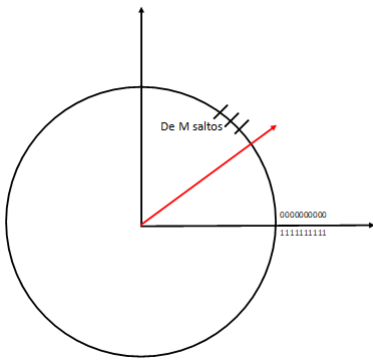


Figura 3. Lógica de um bloco DDS

a) PA: Acumulador de Fase

O acumulador de fase é a parte principal do DDS. Esse bloco é atualizado a cada ciclo de clock. A cada período a fase do acumulador é incrementada com a palavra de ajuste Δf

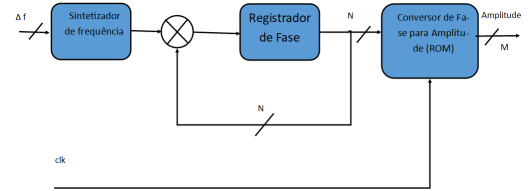


Figura 4. Bloco Acumulador de Fase

Essa palavra forma o tamanho do passo entre o relógio e então ou seja define quantos passos pular M conforme a figura 3. Nesse caso o próprio PA torna o contador de endereços desnecessário criando uma lógica conhecida como roda de fase que pode ser visualizado na figura 3 um vetor girando em torno de um ponto, sendo que cada passo M forma as amostras de fase de uma onda senoidal completa. Cada vez que há um pulso de clock PA aumenta o número armazenado na fase no registrador adicionando FTW nesse registrador e a frequência de sincronização é obtida com a equação 1.

$$f_{out} = \frac{(\Delta f * f_{clk})}{2^N} \quad (1)$$

Onde

Δf é a frequência de sintonia da palavra

f_{out} é a frequência requerida na saída

N é o número de bits requeridos para representar FTW

f_{clk} é a frequência do clock

A palavra da frequência de sintonia (FTW) forma um “salto” processo para pular os pontos de fase N -bit da roda de fase. Esses pontos de fase de N bits são conhecidos como tamanho de etapa de fase ou tamanho do salto de fase. O controle sobre o tamanho do salto constitui a resolução do ajuste de frequência do sistema DDS. Quanto maior o tamanho do salto, mais rápido o PA transborda completar a geração de um ciclo de onda senoidal. A saída do Acumulador de Fase (em graus) é obtido usando a fórmula 2.,

$$PA = \frac{(\Delta f * n * 360^\circ)}{2^N} \quad (2)$$

b) Conversor da Fase para Amplitud (PAC): e

O conversor de fase para amplitude is configurado como seno/cosseno. Ele é usado depois no PA como uma palavra e de endereçamento dentro da forma de onda para o endereço correspondente para a amplitude da onde do seno. O valor da saída do PAC pode ser expressa pela equação 3

$$PAC_{output}x(n) = \sin(PA) \quad (3)$$

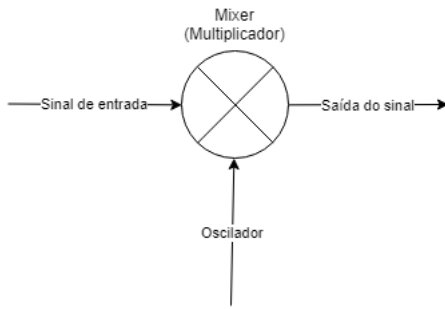


Figura 5. Bloco do Mixer

C. Mixer

Um mixer é usado para converter o sinal IF para um sinal com base banda ou banda limitada multiplexando a entrada do sinal complexo sinusoidal $\cos(\omega t) - j\sin(\omega t) = e^{-j\omega t}$ por isso são gerados dois sinais como saída:

- Sinal em Fase
- Sinal em Quadratura

A figura 5 segue a lógica da equação 4

$$\begin{aligned} Freqüencia(A) * Freqüencia(B) = \\ Freqüencia(A - B) + Freqüencia(A + B) \end{aligned} \quad (4)$$

D. Filtro CIC

A função do filtro digital é suprimir tanto o sinal de banda de devida à mistura de frequência e ruído resultando em aliasing resultados de dizimação e também para maximizar a relação sinal-ruído (SNR). O espectro de sinais de fase e de quadratura pode ser filtrado pois isso é implementável sem grandes problemas em um FPGA. Uma resposta de frequência de filtro digital é sempre simétrico sobre 0.5Fs. A frequência indesejada os componentes vão para fora das bandas de passagem do filtro.

E. CFIR Filter

saída do filtro CIC tem é "filtro de limpeza" onde pode ser aplicado no CIC droop, bem como para atingir a frequência de corte desejada e a forma de filtro. Este filtro é tipicamente um subamostrador por um fator de "2" ou "4" para minimizar a amostra de saída.

IV. REQUISITOS

Os requisitos para a execução do projeto do Digital Down Converter são baseados até o momentos em:

- Fazer o componente com o tamanho dos dados configuráveis em tempo de síntese para que projeto possa ser implementado independentemente da arquitetura do FPGA.
- Tornar a frequência do oscilador do bloco DDS configurável em tempo de síntese.
- A frequência do sinal de saída deve ser centrada em zero.
- Em caso de *trade-off* entre arquiteturas dos componentes a performance e a quantidade de DSPs devem ser os principais requisitos de escolha.

- A frequência do sinal de entrada deve ser plausível de configuração em tempo de síntese.

Dados os conhecimentos a respeito do DDC e com base nos requisitos apresentados, tem-se na Figura 6 (Anexo A), a proposta para a entidade do projeto em VHDL. A entidade apresenta o mapeamento das entradas e saídas do DDC e também dos parâmetros genéricos requisitados. Observa-se que os valores atribuídos são exemplares.

REFERÊNCIAS

- [1] ANDRAKA, Ray. High Performance Digital Down-Converters for FPGAs. San Jose, Ca: Xcell Journal, 2000.
- [2] EUROPEAN TELECOMMUNICATIONS STANDARDS INSTITUTE. ETSI EN 301 545-2 V1.2.1: Digital Video Broadcasting (DVB); Second Generation DVB Interactive Satellite System(DVB- RCS2); Part 2 Lower Layers for Satellite Standard. Sophia Antipolis: European Telecommunications Standards Institute, 2014.
- [3] SAVVOPOULOS, Panayiotis; ANTONAKOPOULOS, Theodore. COMPARATIVE PERFORMANCE ANALYSIS OF SYMBOL TIMING RECOVERY FOR DVB-S2 RECEIVERS. Patras, Greece: University Of Patras, 2006.
- [4] LIMA, Eduardo R. de et al. A Detailed DVB-S2 Receiver Implementation: FPGA Prototyping and Preliminary ASIC Resource Estimation. Campinas: Eldorado Research Institute, 2014.
- [5] HARRIS, Fred et al. Cascade linear phase recursive half-band filters implement the most efficient digital down converter. San Diego: Springer Science+business Media, 2012.
- [6] CHANGRUI, Wu et al. Design and FPGA Implementation of Flexible and Efficiency Digital Down Converter. Wu Changrui: Ieee, 2010.

V. ANEXOS

A. Anexo A

```

] --! Previous entity of the DDC project

]entity ddc_previous_entity is
    Generic ( word_length      : integer := 12;                --! ADC and DAC Resolution (12 bits)
              bandwidth_frequency : integer := 200000000;      --! flexible bandwidth synthesis time
              oscillator_frequency : integer := 200000000);    --! flexible frequency of oscillators

    Port      ( clk           : in STD_LOGIC;
                reset         : in STD_LOGIC;
                digital_signal : in STD_LOGIC_VECTOR (word_length-1 downto 0); --! received signal already digitalized
                imaginary_component : out STD_LOGIC_VECTOR (word_length-1 downto 0); --! imaginary component of the converted output s
                real_component  : out STD_LOGIC_VECTOR (word_length-1 downto 0)); --! imaginary component of the converted output s
]end ddc_previous_entity;
```

Figura 6. Entidade prévia proposta para o DDC.