

Folha de Dados - Segunda Lista Exercícios
Projeto de Sistemas em Chip
Data de entrega: 05 de julho de 2019 às 23:50

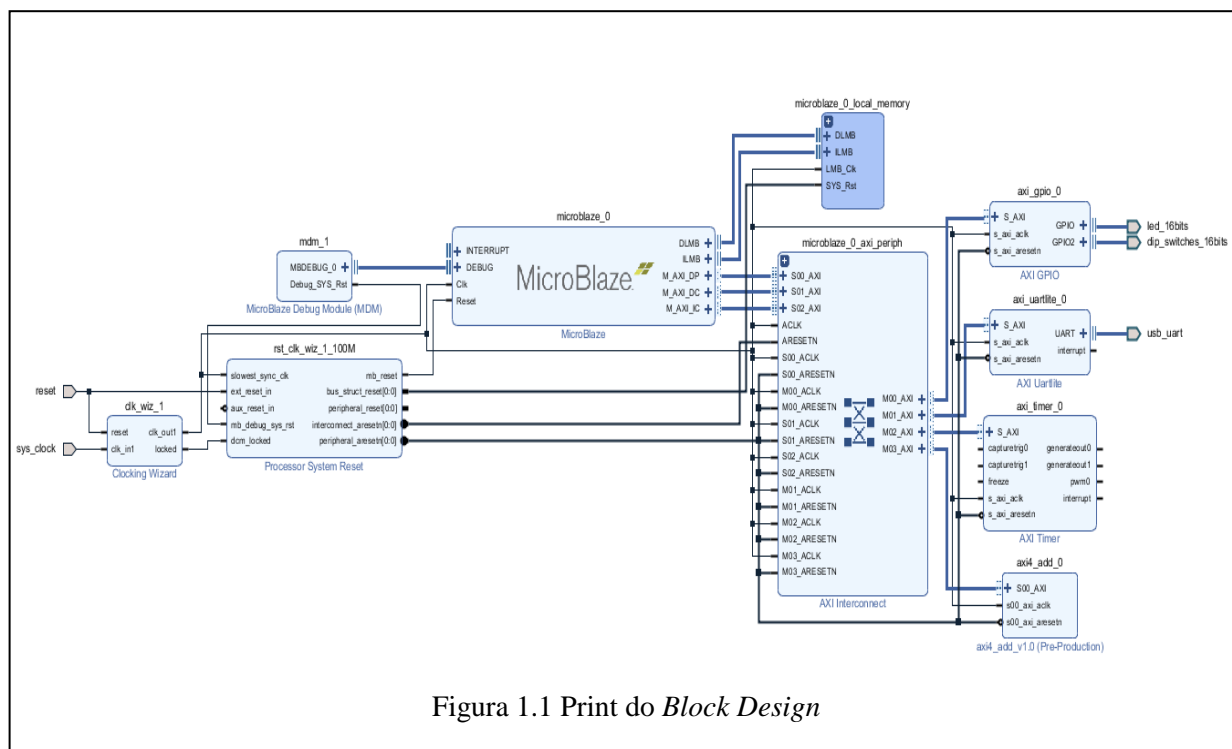
Instruções:

1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: Misael de Souza Andrade matrícula: 16/0015669

Exercício 1 (5 pontos). Co-processador FPadd

- 1) Diagrama de blocos (block design) do sistema em chip



- 2) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
3126 (15.03 %)	2777 (6.68 %)	36 (33.96 %)	0 (0 %)	22 (44 %)

3) Análise de timing:

Worst negative slack (setup): 0.751 ns

Worst negative slack (hold) : 0.025 ns

Frequência máxima de operação do circuito: 125 MHz

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 0,751 ns	Worst Hold Slack (WHS): 0,025 ns	Worst Pulse Width Slack (WPWS): 3,000 ns
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 8502	Total Number of Endpoints: 8502	Total Number of Endpoints: 3278

Figura 1.3 Print do timing summary

4) Layout do circuito após a implementação (após processo *Place and Route* – PAR):

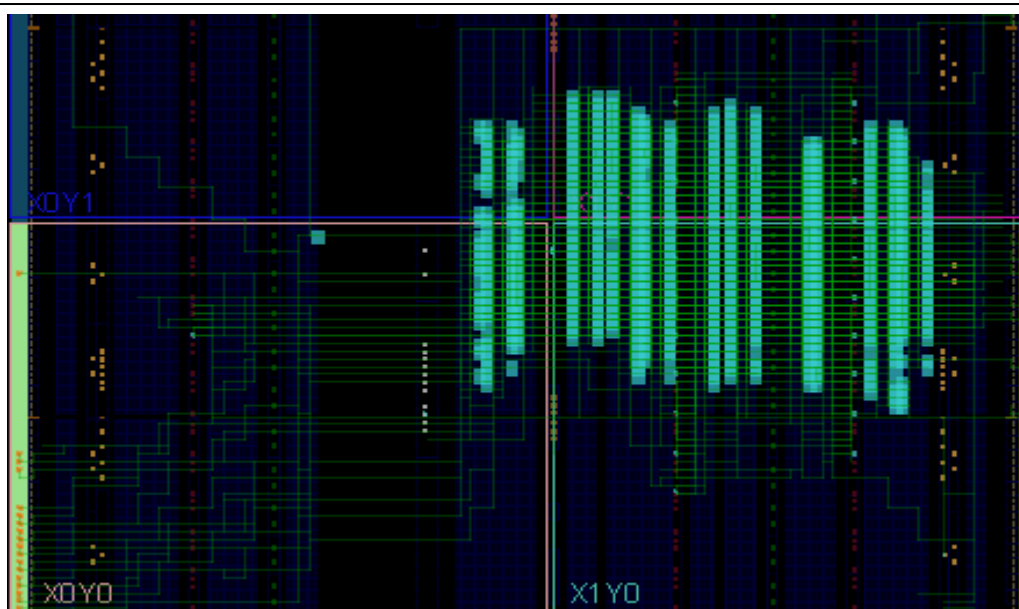
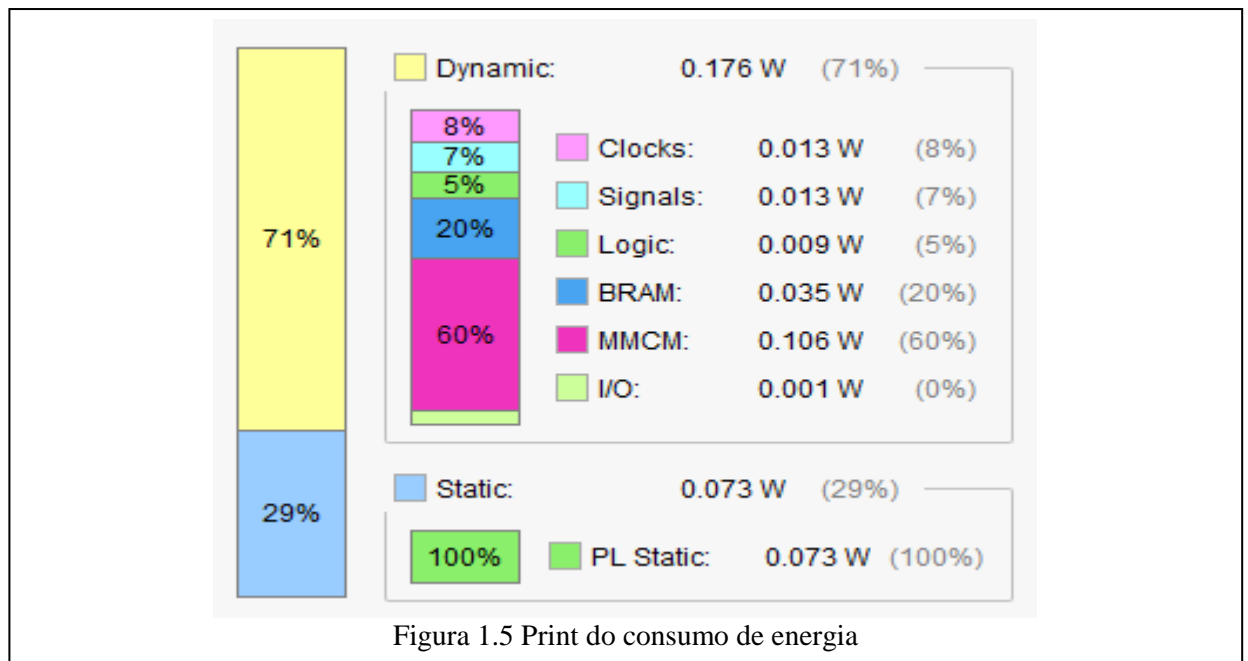


Figura 1.4 Layout do circuito

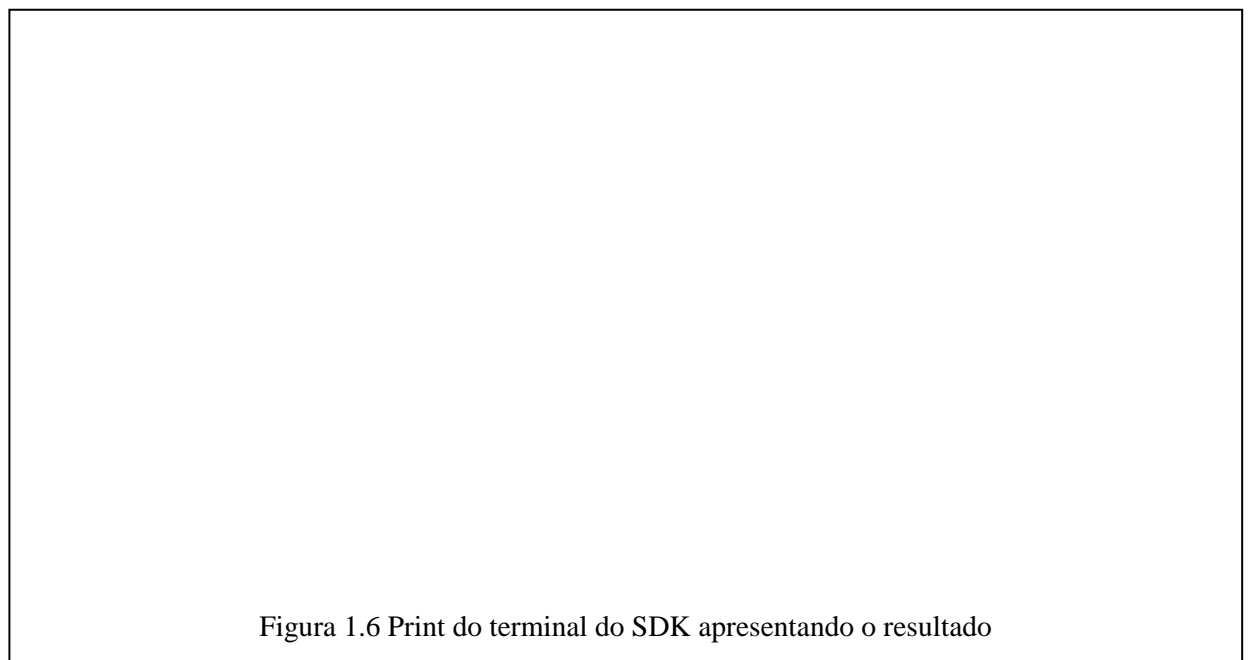
5) Estimação do consumo de energia após a implementação do circuito:

Potência total: 249 (mW)
 Potência estática: 73 (mW)
 Potência dinâmica: 176 (mW)

Gráfico de consumo de energia:



6) Simulação no SDK via terminal.



Exercício 2 (5 pontos). Co-processador RNA

- 1) Diagrama de blocos (block design) do sistema em chip



Figura 1.1 Print do *Block Design*

2) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

3) Análise de timing:

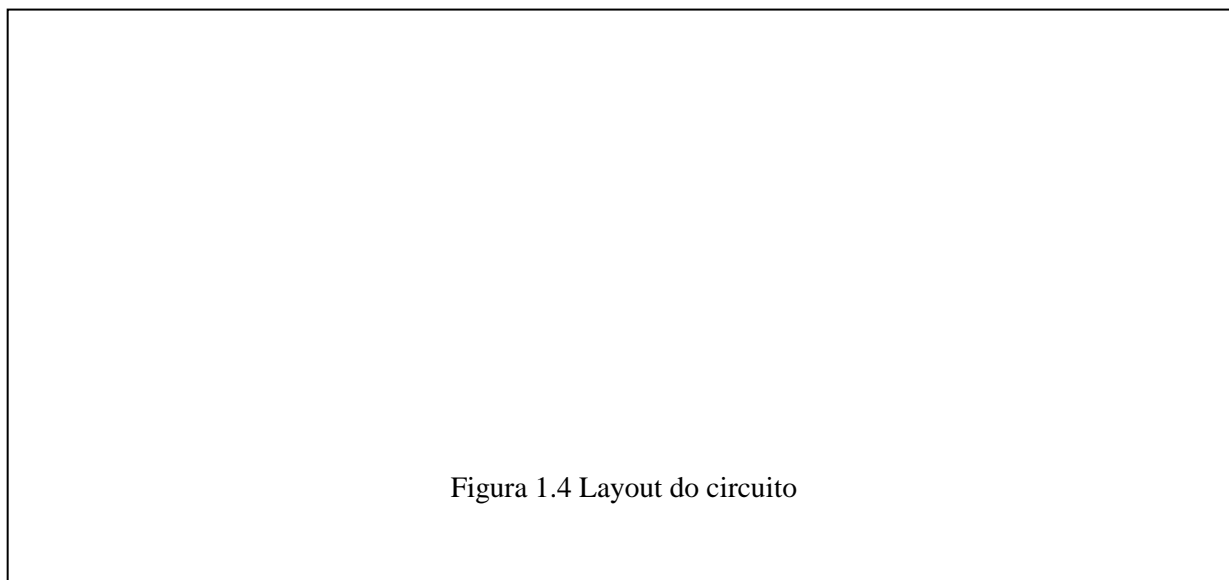
Worst negative slack (setup): _____ ns

Worst negative slack (hold) : _____ ns

Frequência máxima de operação do circuito: _____ MHz

Figura 1.3 Print do timing summary

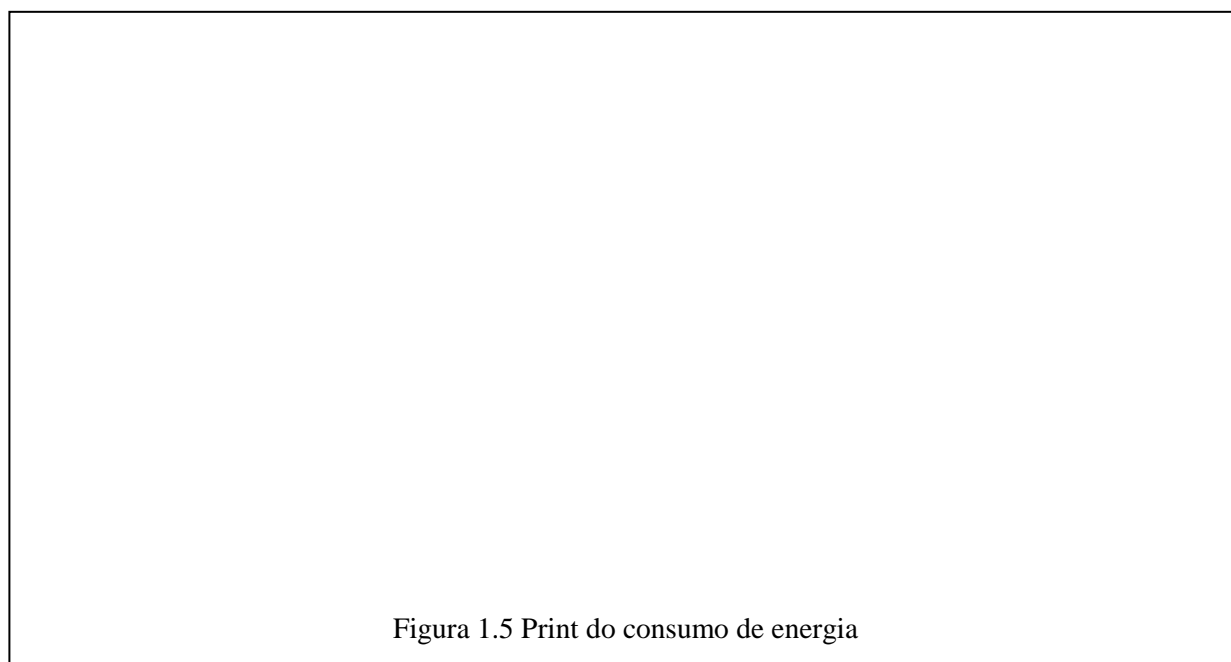
4) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



5) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)
Potência estática: _____ (mW)
Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:



6) Simulação no SDK via terminal.

