Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



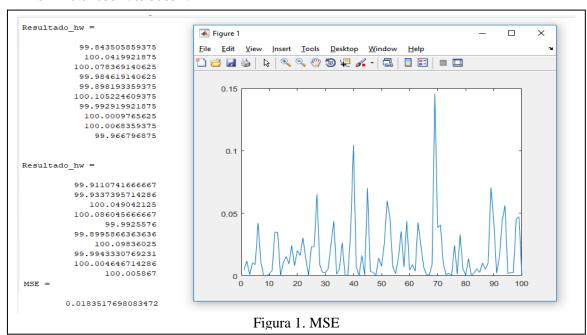
Projeto de Circuitos Reconfiguráveis PROVA- Folha de Dados

Entrega até sexta-feira 10 de maio de 2019 às 23:50 horas

Nome: Misael de Souza Andrade Matrícula: 16/0015669

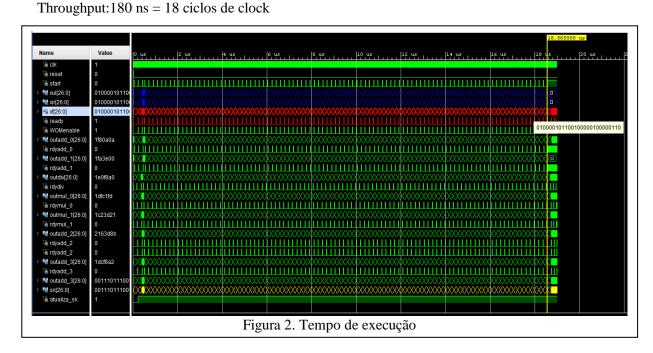
2) Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

MSE = 0.0183517698083172



4) Simulação

Frequência do clock: 100 MHz (período de 10 ns) Tempo de execução: 18565 ns ou 18.565 us Latência: 180 ns = 18 ciclos de clock



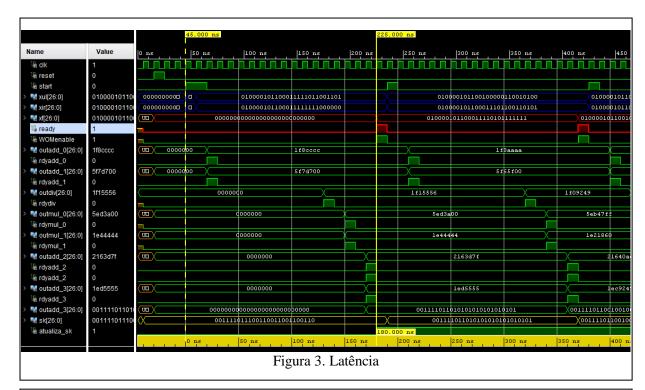
Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

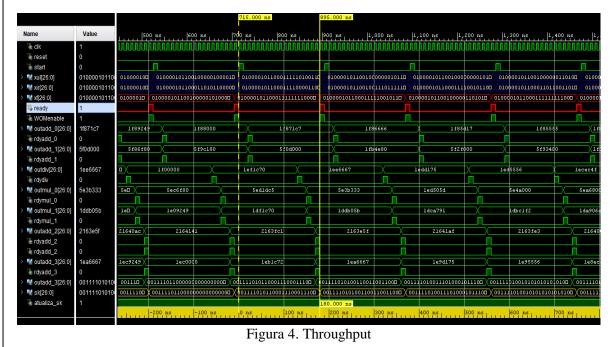
Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br







5) Análise de timming:

Worst negative slack (setup): 0.521 ns Worst negative slack (hold): 0.152 ns

Frequência máxima de operação do circuito: 100 MHz (período = 10 ns)

Caminho crítico (net de origem): FILTRO/div/FMul1/multOp/CLK Caminho crítico (net de destino): FILTRO/div/FMul1/multOp/A[14]

Maximo path delay: 9.082 ns

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



etup		Hold		Pulse Width	
Worst Negative Slack (WNS):	0,521 ns	Worst Hold Slack (WHS):	0,152 ns	Worst Pulse Width Slack (WPWS):	4,500 ns
Total Negative Slack (TNS):	0,000 ns	Total Hold Slack (THS):	0,000 ns	Total Pulse Width Negative Slack (TPWS):	0,000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	759	Total Number of Endpoints:	759	Total Number of Endpoints:	448

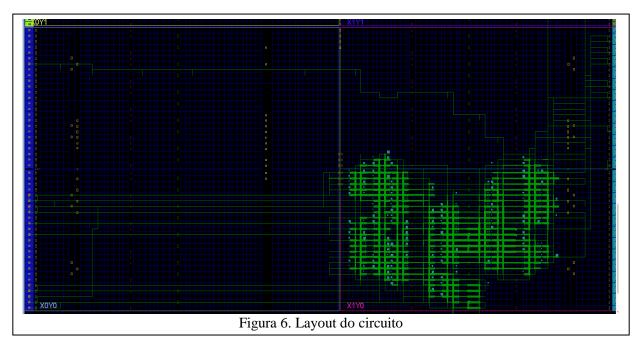
6) Consumo de recursos após implementação (processo Place and Route - PAR):

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
1596 (7.67 %)	443 (1.06 %)	28 (26.42 %)	3 (3.33 %)	1 (50 %)

e-mail: damuz@unb.br



7) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



Estimação do consumo de energia após a implementação do circuito:

Potência total: 114 (mW)
Potência estática: 72 (mW)
Potência dinâmica: 42 (mW)

Gráfico de consumo de energia:

