

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 02

Тема: «Исследование работы коммутационных логических элементов»

Выполнил:  
студент группы 250503 Патюпин М.С.

Проверил:  
к.т.н., доцент \_\_\_\_\_ Селезнёв И.Л.

Минск  
2024

## 1 ЦЕЛЬ РАБОТЫ

Изучить работу коммутационных логических элементов.

## 2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Необходимо выполнить следующие задачи:

1. Подготовить лабораторные модули dLab2, dLab3, dLab4, dLab5, dLab6 на установке N1 ELVIS.
2. Изучить работу шифратора(K555ИВ1).
3. Изучить работу дешифратора(K531ИД14).
4. Изучить работу мультиплексора(KP555КП2).
5. Изучить работу сумматора(K155ИМ3).
6. Изучить работу цифрового компаратора(K555СП1).

## 3 ТЕОРИТИЧЕСКИЕ СВЕДЕНИЯ

### 3.1 Шифратор

Шифратором (Coder - CD)  $M \times N$  называют комбинационное устройство с  $M$  входами и  $N$  выходами, преобразующее  $M$ -разрядный унитарный код в  $N$ -разрядный двоичный код.

Шифраторы классифицируют по ряду признаков.

По числу входов различают:

- полные шифраторы, число входов которых  $M = 2^n$ ;
- неполные шифраторы, имеющих число входов  $M < 2^n$ .

По уровням входных и выходных сигналов выделяют:

- шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
- шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

По функциональной значимости входов шифраторы разделяют на две группы:

- шифраторы с равнозначными функциями входов, в которых все входы равноценны и при подаче на любой из них активного уровня сигнала на выходе формируется двоичный код. В таких шифраторах нельзя подавать несколько входных сигналов одновременно от разных источников, т. е. должна соблюдаться очередность подачи сигналов от разных источников. Если на один из входов шифратора подан сигнал, остальные входы шифратора должны быть заблокированы;
- приоритетные шифраторы, в которых возможна одновременная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного

кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

На рисунке 3.1 приведено условное графическое обозначение приоритетного шифратора низкого уровня К555ИБ1.

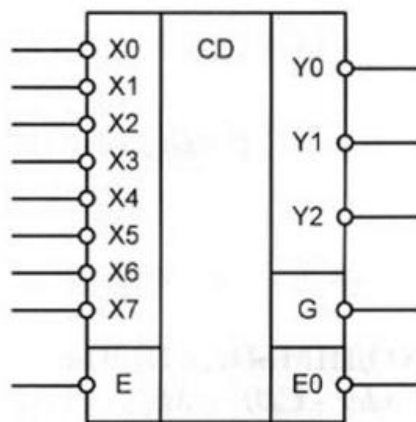


Рисунок 3.1 - Условное графическое обозначение шифратора К555ИБ1

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

- восемь информационных входов  $X_0, X_1, \dots, X_7$ ;
- три информационных выхода  $Y_0, Y_1, Y_2$ ;
- вход разрешения работы данного шифратора  $EI$ ;
- выход разрешения работы других шифраторов при каскадировании  $E_0$ ;
- выходной сигнал группового переноса  $G$ .

Работа дешифратора разрешена при подаче нуля на вход разрешения  $EI$  (enable input). При этом на выходах кода  $Y_0, Y_1, Y_2$  формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. То есть старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код 111. Единичный сигнал на входе  $E$  запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе  $G$  вырабатывается ноль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход  $X_0$  от ситуации отсутствия сигналов на всех входах.

Выход  $E_0$  становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе  $E$ .

Состояние выходных сигналов  $G$  и  $E_0$  шифратора описывается следующими уравнениями:

$$G = EI \vee \overline{EI} \wedge x_0 \wedge x_1 \wedge x_2 \wedge x_3 \wedge x_4 \wedge x_5 \wedge x_6 \wedge x_7,$$

$$EO = \overline{EI} \wedge x_0 \wedge x_1 \wedge x_2 \wedge x_3 \wedge x_4 \wedge x_5 \wedge x_6 \wedge x_7$$

Работа устройства иллюстрируется таблицей состояний, таблица 3.1.

Таблица 3.1 – Таблица состояний шифратора

Входы								Выходы					
EI	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	X	1	1	0	0	1
0	1	1	1	1	1	0	X	X	1	0	1	0	1
0	1	1	1	1	0	X	X	X	1	0	0	0	1
0	1	1	1	0	X	X	X	X	0	1	1	0	1
0	1	1	0	X	X	X	X	X	0	1	0	0	1
0	1	0	X	X	X	X	X	X	0	0	1	0	1
0	0	X	X	X	X	X	X	X	0	0	0	0	1

Примечание: символ X указывает на то, что состояние соответствующего сигнала не имеет значения, т.е. не влияет на состояние выходного кода.

Сигналы EI и EO используются для наращивания разрядности шифратора. На рисунке 3.2 приведена схема построения шифратора 16x4 на основе двух шифраторов 8x3.

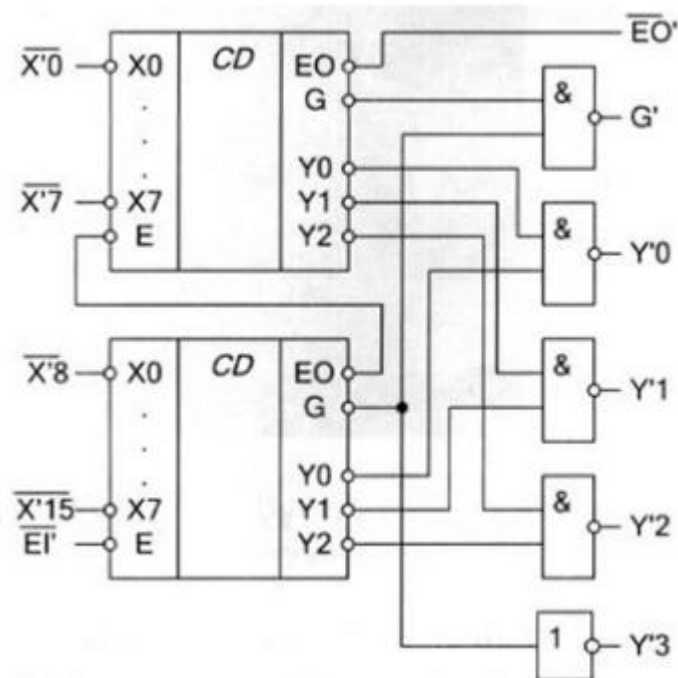


Рисунок 3.2 - Схема построения шифратора 16x4

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора К555ИБ1 информация

о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче данных по информационным каналам. Шифраторы также могут быть использованы при организации клавиатуры для формирования кода нажатой клавиши. При этом каждому входу шифратора соответствует отдельная клавиша. Если ни одна из них не нажата, об этом свидетельствует единичное значение сигнала G. При нажатии на какую-либо клавишу выход G переходит в единичное состояние, а на информационных выходах формируется код нажатой клавиши. При использовании приоритетного шифратора в случае одновременном нажатии нескольких клавиш формируется код клавиши с наибольшим приоритетом.

### 3.2 Дешифратор

Дешифратором  $M \times N$  называют комбинационное устройство с  $M$  входами и  $N$  выходами, преобразующее  $M$ -разрядный двоичный код в  $N$  разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня - единственный 0.

Максимальное число выходов  $N = 2^M$  соответствует всем возможным наборам сигналов на входе дешифратора или  $M$ -разрядным двоичным кодам. Дешифратор с максимальным числом  $N = 2^M$  выходов называется полным ( $M \times 2^M$ ), а с числом выходов  $N < 2^M$  – неполным. Так, например, дешифратор, имеющий 4 входа и 10 выходов, будет неполным, а дешифратор, имеющий 2 входа и 4 выхода, будет полным.

На рисунке 3.3 приведено условное обозначение дешифратора  $2 \times 4$  типа К531ИД14.

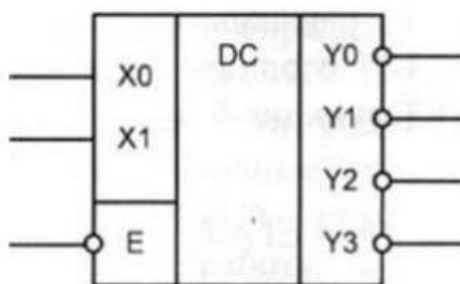


Рисунок 3.3 – Условное обозначение дешифратора К531ИД14

На входы  $X_0$  и  $X_1$  можно подать 4 комбинации логических уровней: 00, 01, 10, 11. Схема имеет 4 выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу  $M$ , определяемому состоянием входов  $X_0$ ,  $X_1$ , следующим образом:

$$M = 2^1 * x_1 + 2^0 * x_0$$

Выходные сигналы дешифратора описываются соотношениями:

$$y_0 = \overline{x_1} \wedge \overline{x_0}$$

$$y_1 = \overline{x_1} \wedge x_0$$

$$y_1 = \overline{x_0} \wedge x_1$$

$$y_1 = x_0 \wedge x_1$$

Помимо информационных входов  $X_0$ ,  $X_1$  дешифратор имеет дополнительные входы управления  $E$ . Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Дешифратор, представленный на рисунке 3.1, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$y_0 = \overline{E} \wedge \overline{x_1} \wedge \overline{x_0}$$

$$y_1 = \overline{E} \wedge \overline{x_1} \wedge x_0$$

$$y_2 = \overline{E} \wedge \overline{x_0} \wedge x_1$$

$$y_3 = \overline{E} \wedge x_0 \wedge x_1$$

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления. Например, для дешифратора КР555ИД7 с одним прямым входом управления  $E_1$  и двумя инверсными  $E_2$  и  $E_3$  функция  $E$  рассчитывается по формуле:

$$E = E_1 \wedge \overline{E_2} \wedge \overline{E_3}$$

Работа дешифратора описывается с помощью таблицы 3.2:

Таблица 3.2 – Таблица состояний дешифратора

$E$	$x_1$	$x_0$	$y_3$	$y_2$	$y_1$	$y_0$
1	x	x	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

На рисунке 3.4 приведена схема наращивания разрядности дешифратора. Для построения дешифратора  $3 \times 8$  на основе двух полных дешифраторов  $2 \times 4$  нужно соединить параллельно их входы  $X_0$  и  $X_1$ . Входной

сигнал  $X_2$  подключается непосредственно к входу разрешения  $E$  младшего дешифратора и через инвертор к входу разрешения  $E$  старшего дешифратора.

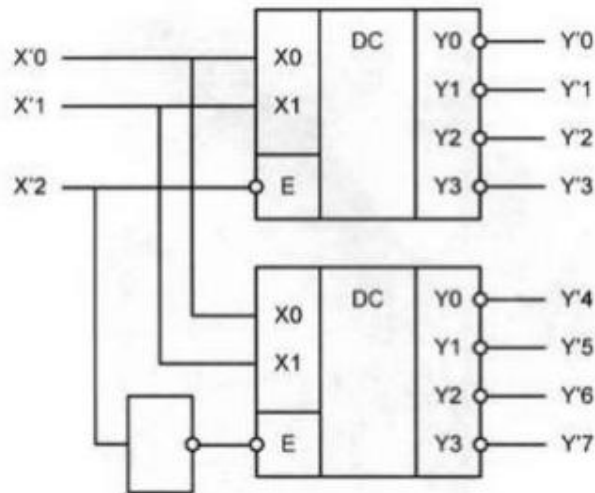


Рисунок 3.4 - Схема построения дешифратора  $3 \times 8$

В зависимости от состояния сигнала  $X_2$  только один из выходных дешифраторов будет реагировать на комбинацию сигналов на входах  $X_0$  и  $X_1$ . Только выбранный дешифратор сформирует единицу на одном из своих выходов, номер которого определяется сигналами  $x_0$  и  $x_1$ . Например, если на входах  $X_2 X_1 X_0$  присутствует число 101, то единичный сигнал в разряде  $X_2$  запретит работу младшего дешифратора и на его выходах установятся единичные сигналы. На вход разрешения старшего дешифратора единичный сигнал  $X_2$  поступает после инвертирования и разрешает его работу. В результате нулевой уровень появится на выходе  $Y_5$ .

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

### 3.3 Мультиплексор

Мультиплексором  $M \times 1$  называют комбинационное устройство с  $M$  информационными ( $X_0, X_1, \dots, X_{M-1}$ ),  $K$  адресными ( $A_0, A_1, \dots, A_{K-1}$ ) входами и одним выходом ( $Y$ ), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

В зависимости от соотношения числа информационных входов  $M$  и числа адресных входов  $K$  мультиплексоры делятся на полные и неполные.

Если выполняется условие  $M = 2K$ , то мультиплексор будет полным. Если это условие не выполняется, т.е.  $M < 2K$ , то мультиплексор будет неполным.

Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рисунке 3.5 представлен мультиплексор  $4 \times 1$  с инверсным входом разрешения  $E$  и прямым выходом  $Y$ , представляющий собой половину микросхемы мультиплексора КР555КП2. Работа мультиплексора описывается таблицей 3.3.

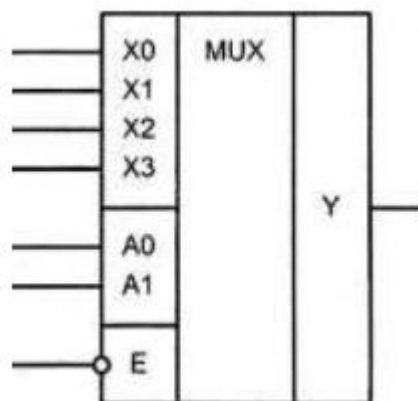


Рисунок 3.5 – Условное обозначение мультиплексора  $4 \times 1$

Выражение для выходной функции такого мультиплексора можно записать в виде:

$$y = \bar{E} \wedge \bar{A}_0 \wedge \bar{A}_1 \vee x_1 \wedge A_0 \wedge \bar{A}_1 \vee x_2 \wedge \bar{A}_0 \wedge A_1 \vee x_3 \wedge A_0 \wedge A_1,$$
 где  
 $X_0, X_1, X_2, X_3$  – информационные входы мультиплексора;  
 $A_0, A_1$  – адресные входы мультиплексора;  
 $E$  – вход разрешения.

Таблица 3.3 – Таблица состояний мультиплексора

$E$	$A_1$	$A_0$	$x_3$	$x_2$	$x_1$	$x_0$	$y$
1	x	x	x	x	x	x	0
0	0	0	x	x	x	0	0
0	0	0	x	x	x	1	1
0	0	1	x	x	0	x	0
0	0	1	x	x	1	x	1
0	1	0	x	0	x	x	0
0	1	0	x	1	x	x	1
0	1	1	0	x	x	x	0
0	1	1	1	x	x	x	1

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 4-канальных мультиплексора легко объединяются в 8-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для объединения выходных сигналов.



Такая схема каскадирования показана на рисунке 3.6.

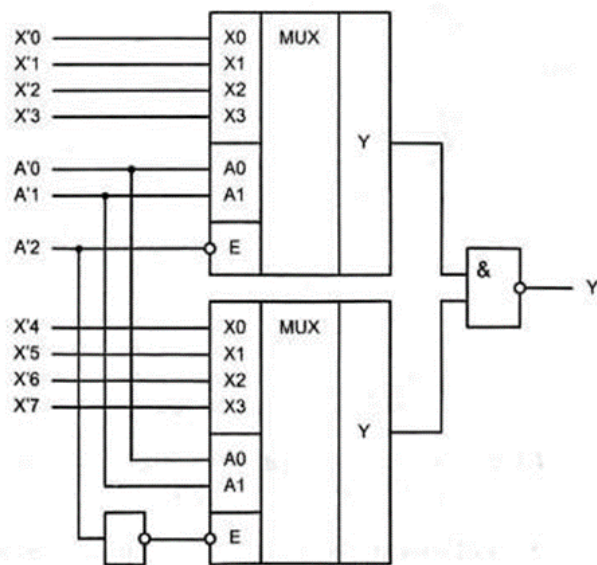


Рисунок 3.6 – Схема каскадирования мультиплексоров

Старший разряд адреса  $A_3$  будет при этом выбирать один из двух мультиплексоров по входу разрешения.

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется, например, в микросхемах в программируемой логике – программируемых логических матрицах.

### 3.4 Сумматор

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Ниже приведены основные классификационные признаки сумматора.

По виду выполняемой операции можно выделить две группы сумматоров:

- сумматоры, выполняющие сложение положительных чисел (без учета знака числа);
- сумматоры, выполняющие операцию сложения положительных и отрицательных чисел.

По используемой системе счисления сумматоры подразделяются на:

- двоичные сумматоры, выполняющие операции над двоичными числами;
- десятичные сумматоры, выполняющие операции над десятичными числами.

По последовательности выполнения операции во времени выделяют:

- параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем;
- последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

Полным одноразрядным сумматором, представленный на рисунке 3.7, называют комбинационное устройство с тремя входами и двумя выходами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

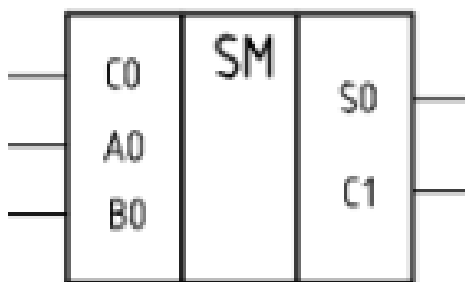


Рисунок 3.7 – Условное обозначение полного одноразрядного сумматора

На входы сумматора поступают сигналы  $A_i$ ,  $B_i$   $i$ -го разряда и сигнал  $C_i$  перенос из предыдущего разряда, с выхода снимаются сигналы текущего разряда суммы  $S$  и переноса  $C_{i+1}$  в следующий разряд. Работа одноразрядного полного сумматора описывается таблицей 3.4.

Таблица 3.4 – Таблица состояний одноразрядного полного сумматора

$C_i$	$B_i$	$A_i$	$C_{i+1}$	$S_i$
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Выходной сигнал переноса формируется в соответствии выражением:

$$C_i + 1 = A_i \wedge B_i \vee B_i \wedge C_i \vee C_i \wedge A_i$$

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров. Выход переноса предыдущего одноразрядного сумматора соединяется с входом переноса предыдущего. Полученный сумматор называется сумматором с последовательным переносом.

Сумматор с последовательным переносом имеет низкое быстродействие, так как сигналы суммы и переноса старшего разряда появятся только после того, как последовательно сформируются сигналы переноса всех предыдущих разрядов.

На рисунке 3.8 приведена схема соединения двух одноразрядных полных сумматоров для получения двухразрядного полного сумматора.

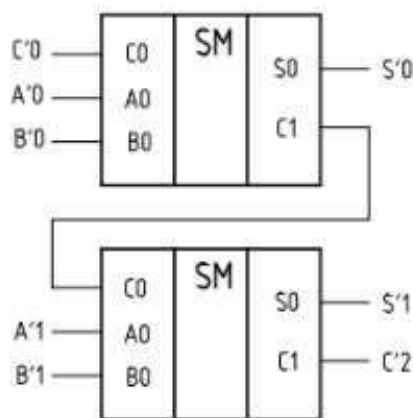


Рисунок 3.8 – Схема увеличения разрядности сумматора

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного переноса формирует выходной сигнал переноса. Такой сумматор называется сумматором с параллельным переносом. На этом принципе построен четырехразрядный сумматор К155ИМ3, рисунок 3.9.

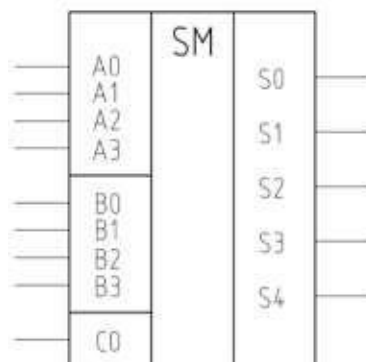


Рисунок 3.9 – Условное обозначение четырехразрядного сумматора

Путем соединения выводов переноса  $C_0$ ,  $C_4$  четырехразрядного сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называется сумматором с последовательным групповым переносом.

### 3.5 Компаратор

Цифровым компаратором называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов.

Компараторы делятся на две группы:

- схемы проверки равнозначности кодов;
- схемы сравнения кодов.

В таблице 3.5 представлено описание поразрядного сравнения при проверке равнозначности кодов.

Таблица 3.5 – Таблица истинности поразрядного сравнения

$A_i$	$B_i$	$Y_i$
0	0	1
0	1	0
1	0	0
1	1	1

Схемы проверки равнозначности кодов имеют на входе две переменные  $A$  и  $B$ , каждая из которых содержит  $M$  двоичных разрядов, и один выход  $Y$ .

При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал  $Y=1$  при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности. В этой таблице  $A_i$  и  $B_i$  являются  $i$ -тыми разрядами многоразрядных двоичных чисел  $A$  и  $B$ , а  $Y_i$  – результатом сравнения разрядов с номером  $i$ .

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть  $Y_i=1$  для каждого разряда. Чтобы сформировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию по формуле:

$$Y = Y_1 \wedge Y_2 \wedge \dots \wedge Y_M, \text{ где}$$

$M$  – число разрядов в сравниваемых числах,  $Y$  – результат сравнения.

Только при поразрядном равенстве выходной сигнал  $Y$  будет равен логической единице.

Для построения многоразрядных схем сравнения используют элементы «Исключающее ИЛИ». Эти элементы реализуют функцию:

$$d_i = \bar{A}_i \wedge B_i \vee A_i \wedge \bar{B}_i$$

Если сравнивать это выражение с таблицей 3.5, то можно заметить

соотношения  $d_i = Y_i$ . Отсюда следует, что

$$Y = \overline{d_1} \wedge \overline{d_2} \wedge \dots \wedge \overline{d_m}$$

На рисунке 3.10 показана схема проверки на равенство, построенная на элементах «Исключающее ИЛИ».

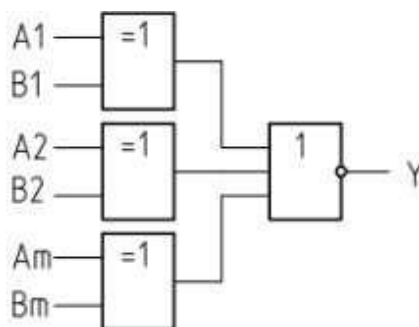


Рисунок 3.10 – Схема проверки на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения:  $A > B$ ,  $A = B$  или  $A < B$ .

Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых  $A_0...A_3$  и  $B_0...B_3$ ) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности  $I(A < B)$ ,  $I(A < B)$ ,  $I(A = B)$  и три выхода результирующих сигналов  $(A > B)$ ,  $(A < B)$ ,  $(A = B)$ .

Условное графическое изображение приведено на рисунке 3.11.

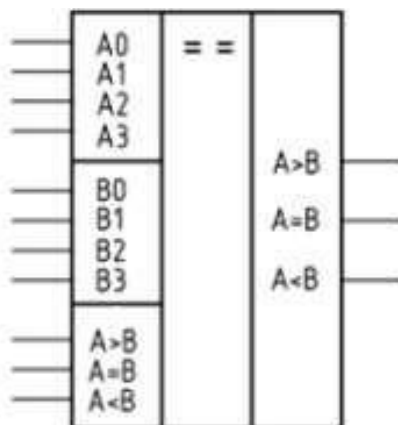


Рисунок 3.11 – Условное обозначение компаратора

Работа четырехразрядного компаратора описывается таблицей 3.6.

Таблица 3.6 – Таблица истинности четырехразрядного компаратора

$A_3, B_3$	$A_2, B_2$	$A_1, B_1$	$A_0, B_0$	$I(A>B)$	$I(A<B)$	$I(A=B)$	$A>B$	$A<B$	$A=B$
$A_3>B_3$	x	x	x	x	x	x	1	0	0
$A_3<B_3$	x	x	x	x	x	x	0	1	0
$A_3=B_3$	$A_2>B_2$	x	x	x	x	x	1	0	0
$A_3=B_3$	$A_2<B_2$	x	x	x	x	x	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	x	x	x	x	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	x	x	x	x	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	x	x	x	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	x	x	x	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	x	x	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	0	0	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	0	1	1	0

В том случае, когда используется одиночная микросхема (разрядность входных кодов не более четырех), для ее правильной работы на вход  $I(A=B)$  следует подавать сигнал «1», а на выходы  $I(A>B)$  и  $I(A<B)$  – сигнал «0».

Если сравниваются коды с разрядностью более четырех, то выходы компаратора младших разрядов подключаются к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

На рисунке 3.12 показана схема построения 12-разрядного компаратора на основе четырехразрядных компараторов.

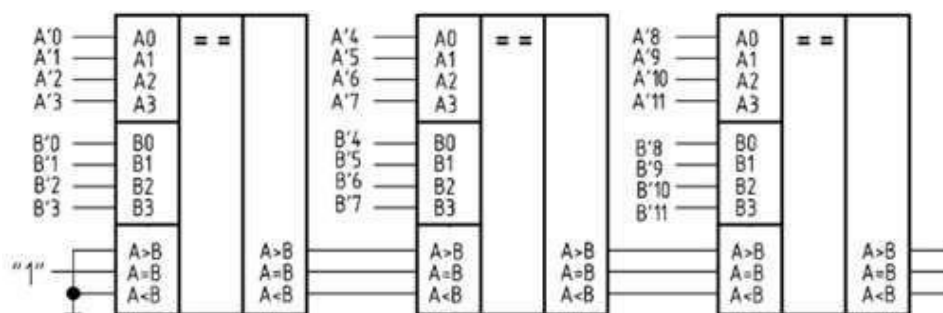


Рисунок 3.12 – Каскадирование цифровых компараторов

Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, то есть сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

## 4 ВЫПОЛНЕНИЕ РАБОТЫ

### 4.1 Подготовка лабораторного модуля

Подготовка заключается в установлении модулей dLab2 - dLab6 на макетную плату лабораторной станции N1 ELVIS. А также запуска специального программного обеспечения, главный экран приложения отображает выбранный элемент (условное графическое отображение), диаграмму состояний, и таблицу истинности, он приводится на рисунке 4.1.

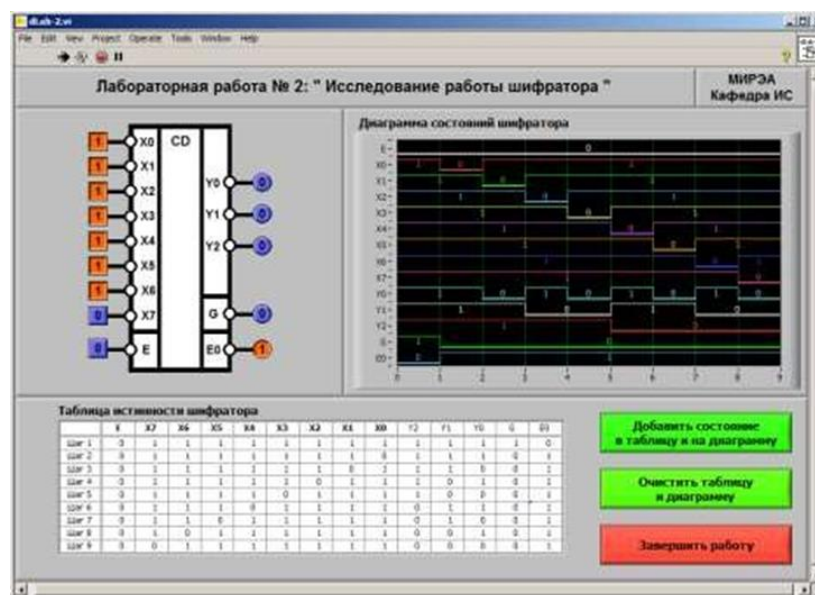


Рисунок 4.1 – Основное окно приложения

### 4.2 Исследование работы шифратора

В ходе исследования была составлена таблица истинности шифратора, при подаче на вход E сигнала «0»– таблица 4.1, и диаграмма состояний – таблица 4.1. Так же и для E = 1, таблица 4.2, рисунок 4.3.

Таблица 4.1 – Таблица истинности шифратора при E = 0

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
Шаг 2	0	1	1	1	1	1	1	1	0	1	1	1	0	1
Шаг 3	0	1	1	1	1	1	1	0	1	1	1	0	0	1
Шаг 4	0	1	1	1	1	1	0	1	1	1	0	1	0	1
Шаг 5	0	1	1	1	1	0	1	1	1	1	0	0	0	1
Шаг 6	0	1	1	1	0	1	1	1	1	0	1	1	0	1
Шаг 7	0	1	1	0	1	1	1	1	1	0	1	0	0	1
Шаг 8	0	1	0	1	1	1	1	1	1	0	0	1	0	1
Шаг 9	0	0	1	1	1	1	1	1	1	0	0	0	0	1

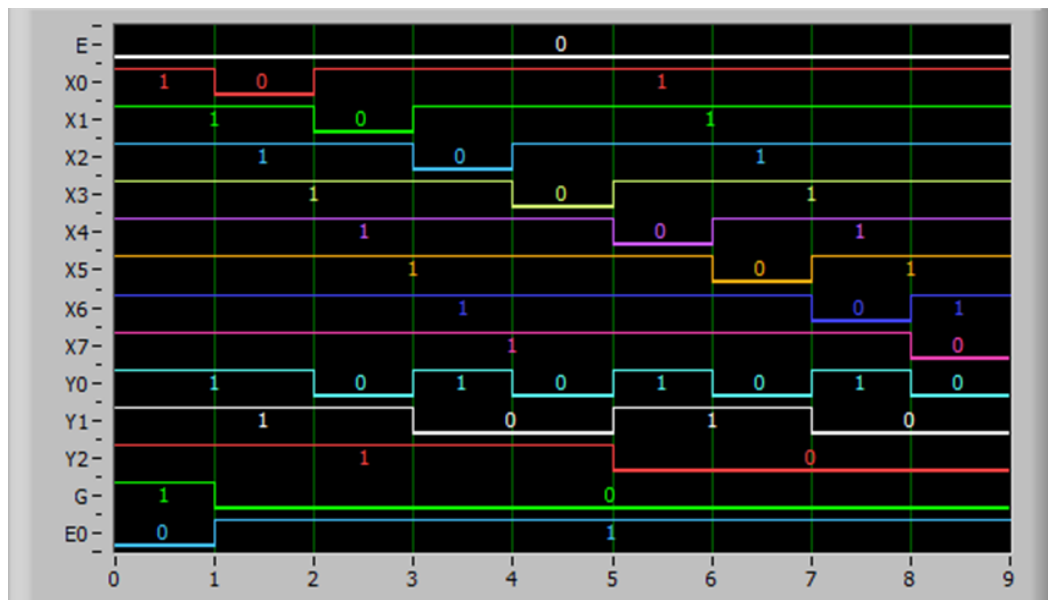


Рисунок 4.2 – Диаграмма состояний шифратора при E=0

Таблица 4.2 – Таблица истинности шифратора при E = 1

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Шаг 2	1	1	1	1	1	1	1	1	0	1	1	1	1	1
Шаг 3	1	1	1	1	1	1	1	0	1	1	1	1	1	1
Шаг 4	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Шаг 5	1	1	1	1	1	0	1	1	1	1	1	1	1	1
Шаг 6	1	1	1	1	0	1	1	1	1	1	1	1	1	1
Шаг 7	1	1	1	0	1	1	1	1	1	1	1	1	1	1
Шаг 8	1	1	0	1	1	1	1	1	1	1	1	1	1	1
Шаг 9	1	0	1	1	1	1	1	1	1	1	1	1	1	1

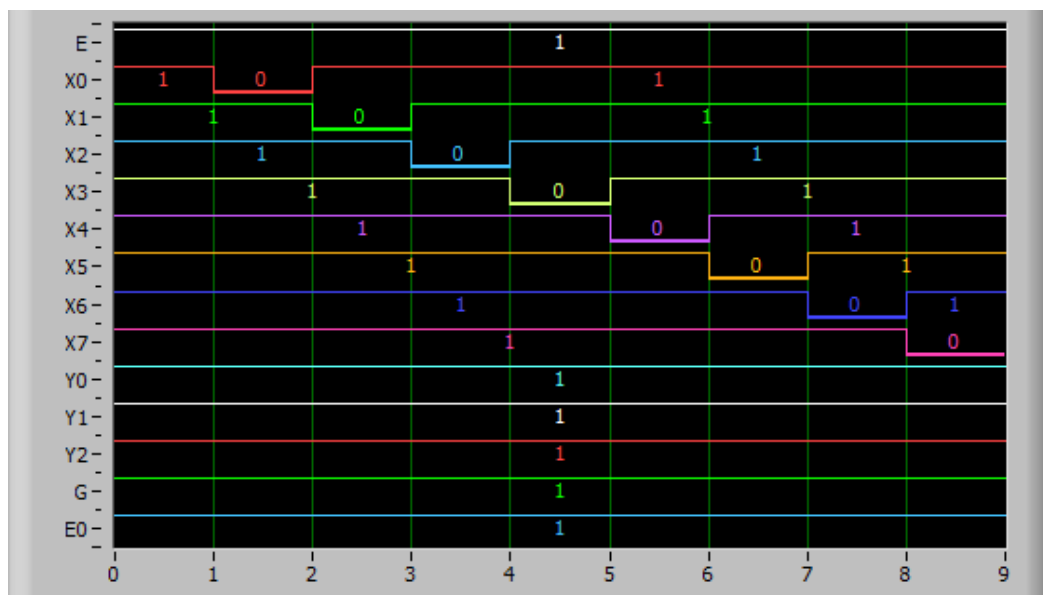


Рисунок 4.3 – Диаграмма состояний шифратора при E = 1



Активный логический уровень сигнала для управляющего входа Е шифратора - «0», если таковой сигнал придет на вход элемента, на выходе элемента можно будет корректно определить состояние выходов устройства.

Активный низкий уровень для ЕО при: Е - «0»,  $X_0-X_7$  - «1». Для G: Е - «0», и хотябы один «1» на входах  $X_0-X_7$ .

Для установки шифратора на приоритетность необходимо выбрать  $X_3$  и  $X_6$  и установить сигнал «0» на входе Е. Используя полученные ранее таблицы истинности можно определить, что при  $X_3 = E = 0$  на выходах  $Y_0, Y_1, Y_2, G, EO$  будут получены сигналы 1, 0, 0, 0, 1 соответственно. При  $X_6 = E = 0$  на выходах  $Y_0, Y_1, Y_2, G, EO$  будут получены сигналы 0, 0, 1, 0, 1.

Далее необходимо подать активный сигнал на оба выбранных входа ( $X_3 = X_6 = E = 0$ ). В этом случае результатом на выходах  $Y_0, Y_1, Y_2, G, EO$  станут сигналы 0, 0, 1, 0, 1. Следовательно, при подаче нескольких сигналов на информационные входы одновременно вход с большим порядковым номером имеет больший приоритет.

### 4.3 Исследование работы дешифратора

В ходе исследования была составлена таблица истинности дешифратора, таблица 4.3, и диаграмма состояний – рисунок 4.4. Активным логическим уровнем для входа Е является сигнал «0», если таковой сигнал придет на вход элемента, на выходе элемента можно будет корректно определить состояние выходов устройства.

Таблица 4.3 – Таблица истинности дешифратора

	Е	$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
Шаг 1	0	0	0	1	1	1	0
Шаг 2	0	0	1	1	1	0	1
Шаг 3	0	1	0	1	0	1	1
Шаг 4	0	1	1	0	1	1	1
Шаг 5	1	0	0	1	1	1	1
Шаг 6	1	0	1	1	1	1	1
Шаг 7	1	1	0	1	1	1	1
Шаг 8	1	1	1	1	1	1	1

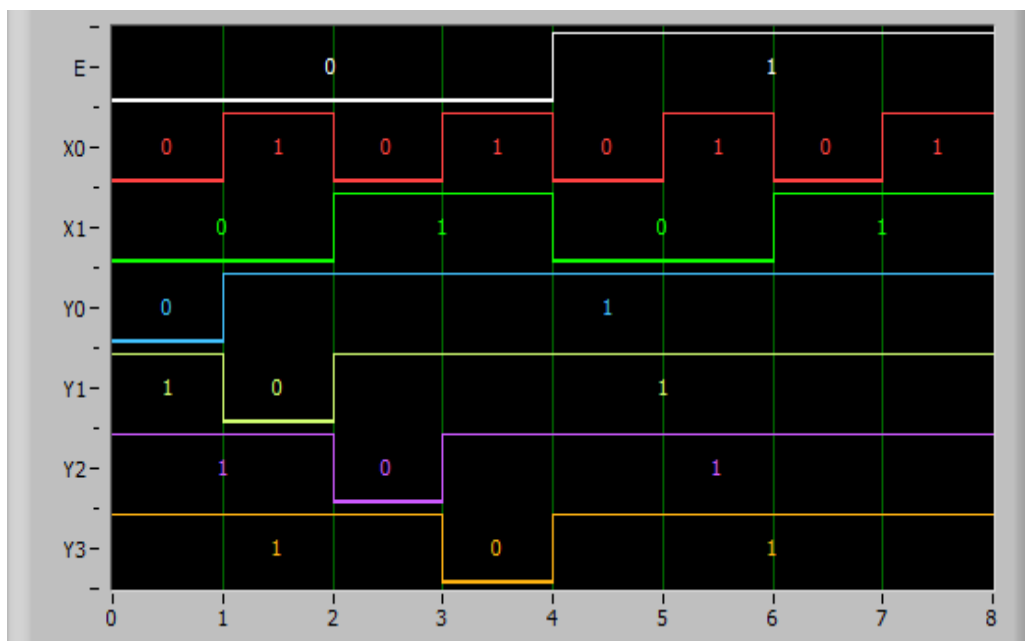


Рисунок 4.4 – Диаграмма состояний дешифратора

#### 4.4 Исследование работы мультиплексора

В ходе исследования была составлена таблица истинности мультиплексора, таблица 4.4, и диаграмма состояний – рисунок 4.5. Активным логическим уровнем для входа Е является сигнал «0», если таковой сигнал придет на вход элемента, на выходе элемента можно будет корректно определить состояние выходов устройства.

Таблица 4.4 – Таблица истинности мультиплексора

	Е	А1	А0	Х3	Х2	Х1	Х0	Y
Шаг 1	0	0	0	0	0	0	1	= X0
Шаг 2	0	0	1	0	0	1	0	= X1
Шаг 3	0	1	0	0	1	0	0	= X2
Шаг 4	0	1	1	1	0	0	0	= X3
Шаг 5	1	0	0	0	0	0	1	--
Шаг 6	1	0	1	0	0	1	0	--
Шаг 7	1	1	0	0	1	0	0	--
Шаг 8	1	1	1	1	0	0	0	--

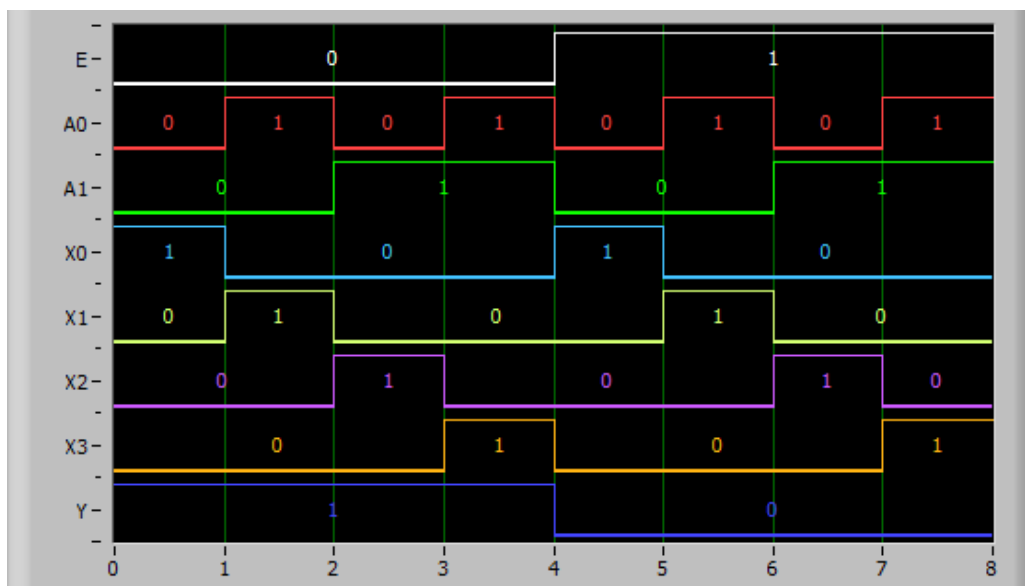


Рисунок 4.5 – Диаграмма состояний мультиплексора

#### 4.5 Исследование работы сумматора

В ходе исследования была составлена таблица истинности сумматора, таблица 4.5, и диаграмма состояний – рисунок 4.6.

Проверка правильности работы сумматора возможно с помощью следующего уравнения:

$$C_0 + 2^0(A_0 + B_0) + 2^1(A_1 + B_1) + 2^2(A_2 + B_2) + 2^3(A_3 + B_3) = 2^0S_0 + 2^1S_1 + 2^2S_2 + 2^3S_3 + 2^4C_4$$

Результаты проверки сумматора внесены в таблицу 4.6.

Таблица 4.6 – Проверка результата сложения

№	Расчёты
1	$0 + 2^0 * 0 + 2^1 * 1 + 2^2 * 1 + 2^3 * 0 = 2^0 * 0 + 2^1 * 1 + 2^2 * 1 + 2^3 * 0 + 2^4 * 0$
2	$0 + 2^0 * 2 + 2^1 * 0 + 2^2 * 1 + 2^3 * 2 = 2^0 * 0 + 2^1 * 1 + 2^2 * 1 + 2^3 * 0 + 2^4 * 1$
3	$0 + 2^0 * 1 + 2^1 * 1 + 2^2 * 2 + 2^3 * 0 = 2^0 * 1 + 2^1 * 1 + 2^2 * 0 + 2^3 * 1 + 2^4 * 0$
4	$0 + 2^0 * 2 + 2^1 * 2 + 2^2 * 1 + 2^3 * 1 = 2^0 * 0 + 2^1 * 1 + 2^2 * 0 + 2^3 * 0 + 2^4 * 1$
5	$0 + 2^0 * 2 + 2^1 * 2 + 2^2 * 2 + 2^3 * 2 = 2^0 * 0 + 2^1 * 1 + 2^2 * 1 + 2^3 * 1 + 2^4 * 1$
6	$1 + 2^0 * 2 + 2^1 * 1 + 2^2 * 1 + 2^3 * 0 = 2^0 * 1 + 2^1 * 0 + 2^2 * 0 + 2^3 * 1 + 2^4 * 0$
7	$1 + 2^0 * 0 + 2^1 * 1 + 2^2 * 0 + 2^3 * 1 = 2^0 * 1 + 2^1 * 1 + 2^2 * 0 + 2^3 * 1 + 2^4 * 0$
8	$1 + 2^0 * 2 + 2^1 * 1 + 2^2 * 0 + 2^3 * 1 = 2^0 * 1 + 2^1 * 0 + 2^2 * 1 + 2^3 * 1 + 2^4 * 0$
9	$1 + 2^0 * 0 + 2^1 * 2 + 2^2 * 2 + 2^3 * 2 = 2^0 * 1 + 2^1 * 0 + 2^2 * 1 + 2^3 * 1 + 2^4 * 1$
10	$1 + 2^0 * 2 + 2^1 * 2 + 2^2 * 2 + 2^3 * 2 = 2^0 * 1 + 2^1 * 1 + 2^2 * 1 + 2^3 * 1 + 2^4 * 1$



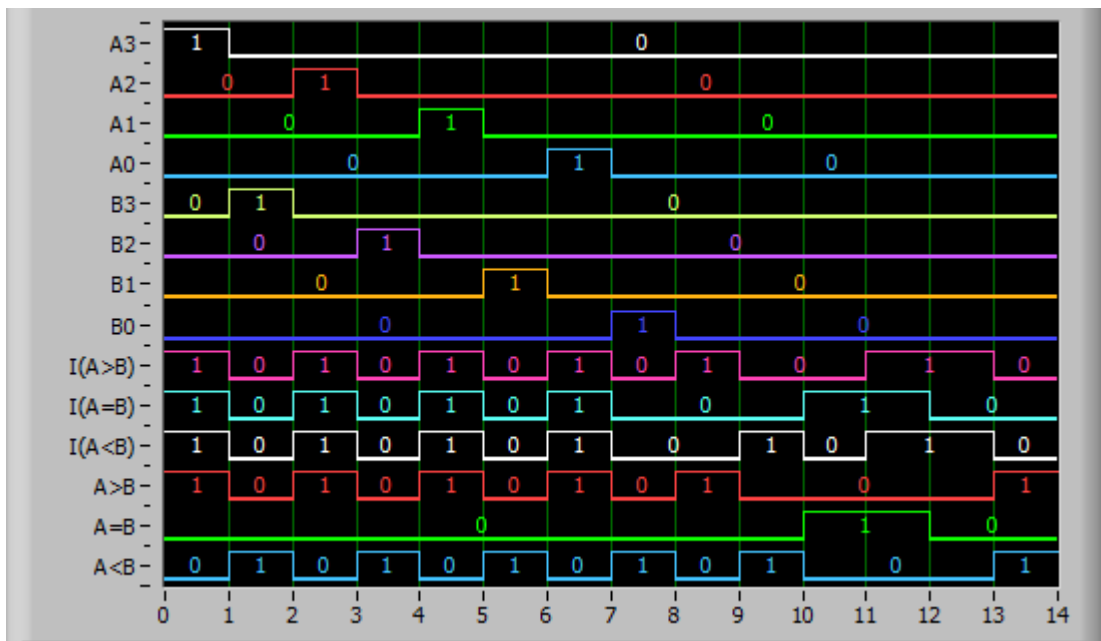


Рисунок 4.7 – Диаграмма состояний компаратора

## 5 ВЫВОДЫ

Стояла задача исследовать работу коммутационных логических элементов: шифратора, дешифратора, мультиплексора, сумматора, компаратора.

Для шифратора была составлена таблица истинности; диаграмма состояний; определен активный логический сигнал для входа Е, условия для выходов ЕО и G; установлена приоритетность шифратора.

Для дешифратора была составлена таблица истинности; диаграмма состояний; определен активный логический сигнал для входа Е.

Для мультиплексора была составлена таблица истинности; диаграмма состояний; определен активный логический сигнал для входа Е.

Для сумматора была составлена таблица истинности; диаграмма состояний; проведена проверка результатов сложения.

Для компаратора была составлена таблица истинности; диаграмма состояний; определено как компаратор для сравнения пятиразрядных двоичных слов.