

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 04
Тема: «Исследование работы регистров»

Выполнил:
студент группы 250503 Патюпин М.С.

Проверил:
к.т.н., доцент _____ Селезнёв И.Л.

Минск
2024

1 ЦЕЛЬ РАБОТЫ

Изучить работу параллельного регистра, регистра сдвига.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Необходимо подготовить лабораторные модули dLab10, dLab11 на установке N1 ELVIS и выполнить следующие задачи:

1. Изучить работу параллельного регистра в статическом режиме (K555IP15).
2. Изучить работу параллельного регистра в динамическом режиме (K555IP15).
3. Изучить работу регистра сдвига в статическом режиме (K55IP11).
4. Изучить работу регистра сдвига в динамическом режиме (K55IP11).

3 ТЕОРИТИЧЕСКИЕ СВЕДЕНИЯ

3.1 Параллельный регистр

Параллельные регистры — это устройства, предназначенные для записи, хранения и выдачи информации, представленной в виде двоичных кодов. Для хранения каждого двоичного разряда в регистре используется одна триггерная ячейка.

Для запоминания многоразрядных слов необходимое число триггеров объединяют вместе и рассматривают как единый функциональный узел регистра. Типовыми внешними связями регистра являются информационные входы D; вход сигнала записи (или загрузки) C, вход гашения R, прямые и инверсные выходы триггеров Q. В упрощенном варианте регистр может не иметь входа гашения и инверсных выходов.

На рисунке 3.1 показана схема четырехразрядного регистра, выполненного на интегральных схемах K155TM5 и K155ЛИ1.

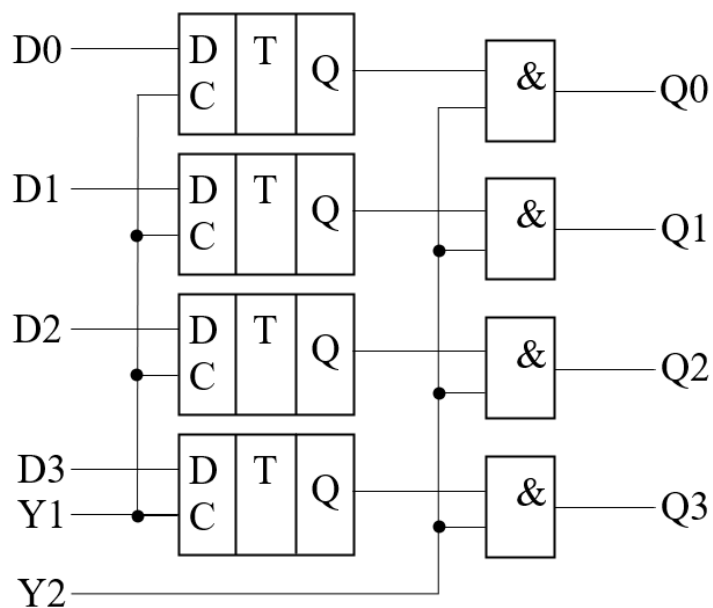


Рисунок 3.1 - Схема четырехразрядного параллельного регистра

Условное изображение параллельного регистра представлено на рисунке 3.2.

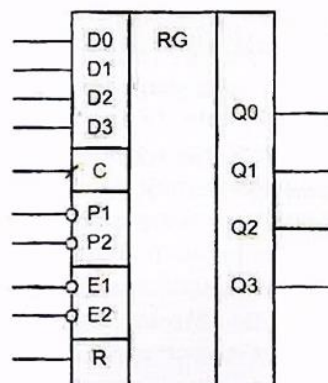


Рисунок 3.2 – Условное изображение параллельного регистра

Устройство имеет следующие входы: тактовый C, информационные D0-D3, управления загрузкой P1 и P2, сброса R и считывания выходных данных E1 и E2. Операция загрузки происходит синхронно с фронтом тактового импульса на входе C, если на входах P1 и P2 одновременно присутствует сигнал логического 0.

Хранящийся в регистре цифровой код может быть считан с выходов Q0-Q3, если на входы управления считыванием E1 и E2 одновременно подан сигнал логического 0. Выходными каскадами данной микросхемы являются буферные логические элементы с тремя логическими состояниями. Это позволяет подключать выходы регистра непосредственно к шине данных микропроцессорных устройств.

Таблица 3.1 – Режимы работы параллельного регистра

3.2 Регистр сдвига

The diagram illustrates a serial shift register implemented using a chain of J-K flip-flops. The inputs are a data input D and a clock input C . The output of the first flip-flop is Q_0 , which is connected to the J input of the second flip-flop. The output of the second flip-flop is Q_1 , which is connected to the J input of the third flip-flop. The output of the m -th flip-flop is Q_{m-1} . The clock input C is connected to the clock input of all flip-flops. The \bar{Q} output of each flip-flop is connected to the K input of the next flip-flop in the chain. The J input of the first flip-flop is connected to D , and the K input of the first flip-flop is connected to \bar{Q}_0 . The J input of the second flip-flop is connected to Q_0 , and the K input of the second flip-flop is connected to \bar{Q}_1 . This pattern continues for the m -th flip-flop, where the J input is connected to Q_{m-2} and the K input is connected to \bar{Q}_{m-1} .

Пусть на рисунке триггер Q_0 - младший, $Q(m-1)$ - старший; вход каждого триггера (кроме Q_0) подключен к выходу соседнего младшего триггера. Когда на все входы C триггеров поступает активный спад входного тактового сигнала, выход каждого триггера Q_i принимает состояние предыдущего каскада и, таким образом, информация, содержащаяся в регистре, сдвигается на один разряд в сторону старших разрядов. Триггер Q_0 принимает при этом состояние последовательного входа D . Информация, поступившая на вход D схемы, появится на ее выходе $Q(m-1)$ через m тактов.

Часто требуются более сложные регистры: с параллельной синхрон-ной записью информации, реверсивные, с параллельно-последовательной записью. Такие регистры называются универсальными. Примером такого регистра служит интегральная микросхема К555ИР11, условное графическое обозначение которой показано на рисунке 3.4. Регистр может работать в четырех режимах: параллельная загрузка данных, сдвиг влево, сдвиг вправо, хранение данных и сброс.

Микросхема имеет входы: тактовый (C), параллельной загрузки (D0 – D3), выбора режима работы (S0 и S1), асинхронного сброса (R). Данные также могут поступать в регистр в последовательном коде на входы DL (при сдвиге влево) и DR (при сдвиге вправо). Все операции кроме сброса выполняются в регистре синхронно по фронту тактовых импульсов. Внутренний код регистра может быть прочитан на выходах Q0 – Q3. Указанные режимы представлены в таблице 3.2.

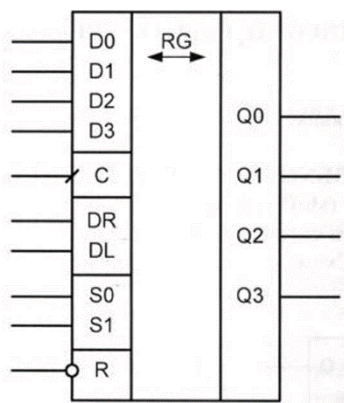


Рисунок 3.4 – Условное графическое обозначение регистра сдвига

Таблица 3.2 – Режимы работы регистра сдвигов

Режим работы	Вход							Выход			
	R	C	S1	S0	DR	DL	D _n	Q0	Q1	Q2	Q3
Сброс	0	×	×	×	×	×	×	0	0	0	0
Хранение	1	×	0	0	×	×	×	q ₀	q ₁	q ₂	q ₃
Сдвиг влево	1	↑	1	0	×	0	×	q ₁	q ₂	q ₃	0
	1	↑	1	0	×	1	×	q ₁	q ₂	q ₃	1
Сдвиг вправо	1	↑	0	1	0	×	×	0	q ₀	q ₁	q ₂
	1	↑	0	1	1	×	×	1	q ₀	q ₁	q ₂
Параллельная загрузка	1	↑	1	1	×	×	d _n	d ₀	d ₁	d ₂	d ₃

Символом × обозначено произвольное состояние сигнала. Символ ↑ обозначает передний фронт тактового сигнала.

Применения сдвиговых регистров очень разнообразны. В двоичной арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, а сдвиг на один разряд вправо - делению пополам. В аппаратуре передачи данных универсальные регистры преобразуют параллельный код в последовательный и обратно. Передача данных последовательным кодом по сравнению с параллельной передачей существенно экономит число линий связи, однако при этом увеличивается время обмена.

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Исследование работы параллельного регистра в статическом режиме

Условное изображение параллельного регистра К555ИР15 представлено на рисунке 4.1.

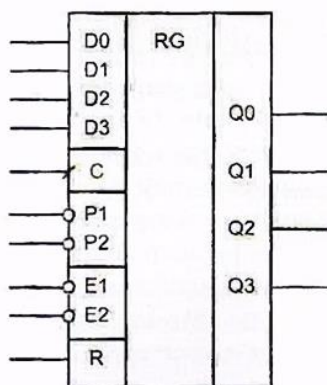


Рисунок 4.1 – Условное изображение параллельного регистра

Режим параллельной загрузки и хранения, установка на входах параллельной загрузки следующих значений сигнала: $D0 = 0$, $D1 = 1$, $D2 = 1$, $D3 = 0$, $E1 = 0$, $E2 = 0$; на входах управления загрузкой $P1$, $P2$ все возможные различные комбинации. Результат работы предоставлен в таблице истинности – таблица 4.1, и в диаграмме состояний – рисунок 4.2.

Таблица 4.1 - Таблица истинности параллельного регистра

	R	E2	E1	P2	P1	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	0	0	0	0	0	0	1	1	0	ЛГ	0	1	1	0
Шаг 2	0	0	0	1	0	0	1	1	0	ЛГ	0	1	1	0
Шаг 3	0	0	0	0	1	0	1	1	0	ЛГ	0	1	1	0
Шаг 4	0	0	0	1	1	0	1	1	0	ЛГ	0	1	1	0

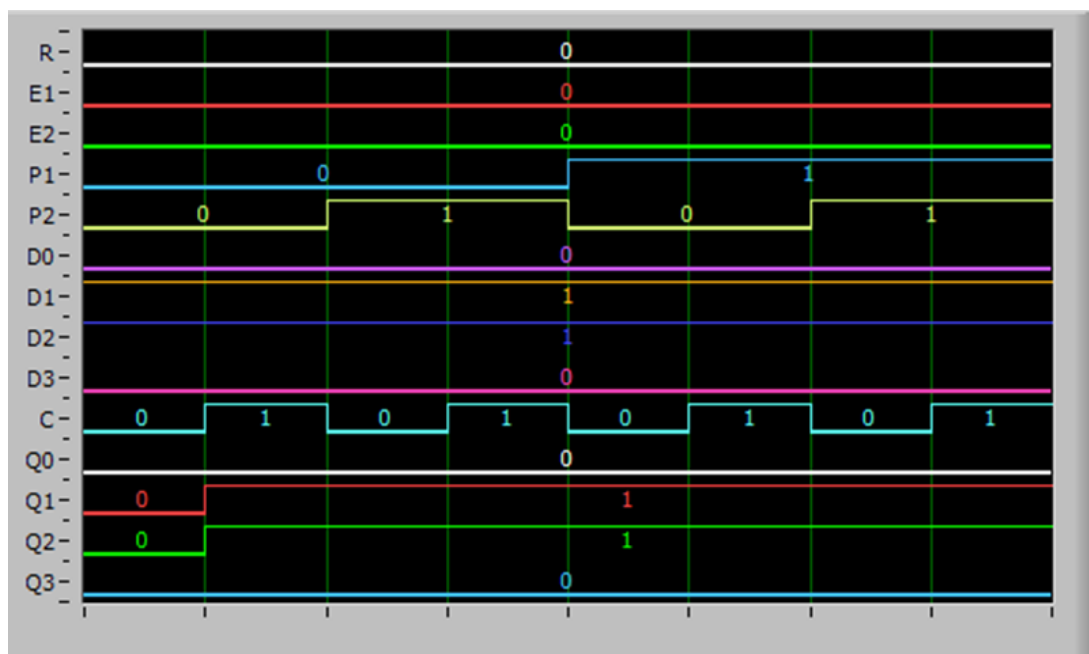


Рисунок 4.2 – Диаграмма состояний параллельного регистра в режиме параллельной загрузки и хранения

Параллельная загрузка происходит при значении сигнала равным 0 на входах P1, P2. Регистр работает в режиме хранения информации, если хотя бы на одном из входов P1, P2 подан сигнал, значение которого равен 1.

Режим управления выходом регистра, установка на входах параллельной загрузки следующих значений сигнала: D0 = 0, D1 = 1, D2 = 1, D3 = 0, P1 = 0, P2 = 0; на входах управления загрузкой E1, E2 все возможные различные комбинации. Результат работы предоставлен в таблице истинности – таблица 4.2, и в диаграмме состояний – рисунок 4.3.

Таблица 4.2 - Таблица истинности параллельного регистра

	R	E2	E1	P2	P1	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	0	0	0	0	0	0	1	1	0	ЛГ	0	1	1	0
Шаг 2	0	1	0	0	0	0	1	1	0	ЛГ	0	0	0	0
Шаг 3	0	0	1	0	0	0	1	1	0	ЛГ	0	0	0	0
Шаг 4	0	1	1	0	0	0	1	1	0	ЛГ	0	0	0	0

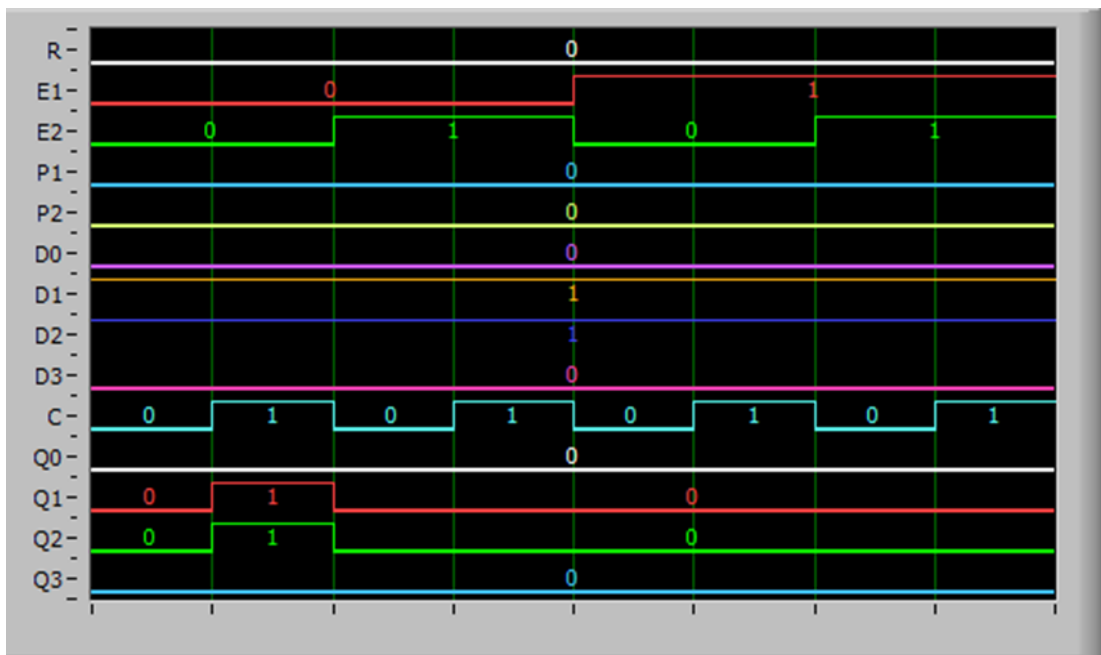


Рисунок 4.3 – Диаграмма состояний параллельного регистра в режиме управления выходом регистра

Считывание состояния регистра с выходов: Q0, Q1, Q2, Q3 разрешено, если подан сигнал, значение которого равно 0, на входы E1 и E2.

4.2 Исследование работы параллельного регистра в динамическом режиме

Условное изображение параллельного регистра К555ИР15 представлено на рисунке 4.4.

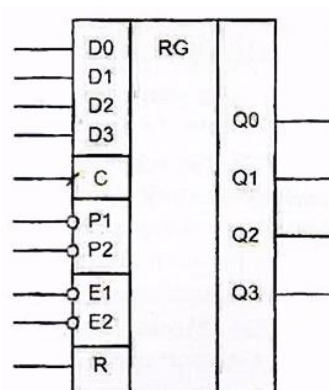


Рисунок 4.5 – Условное изображение параллельного регистра

Изменяя входные сигналы регистра, получена временная диаграмма – рисунок 4.5, отражающая его работу в режиме параллельной загрузки,

хранения, сброса, управление выходом (разрешение/запрет считывания состояния).

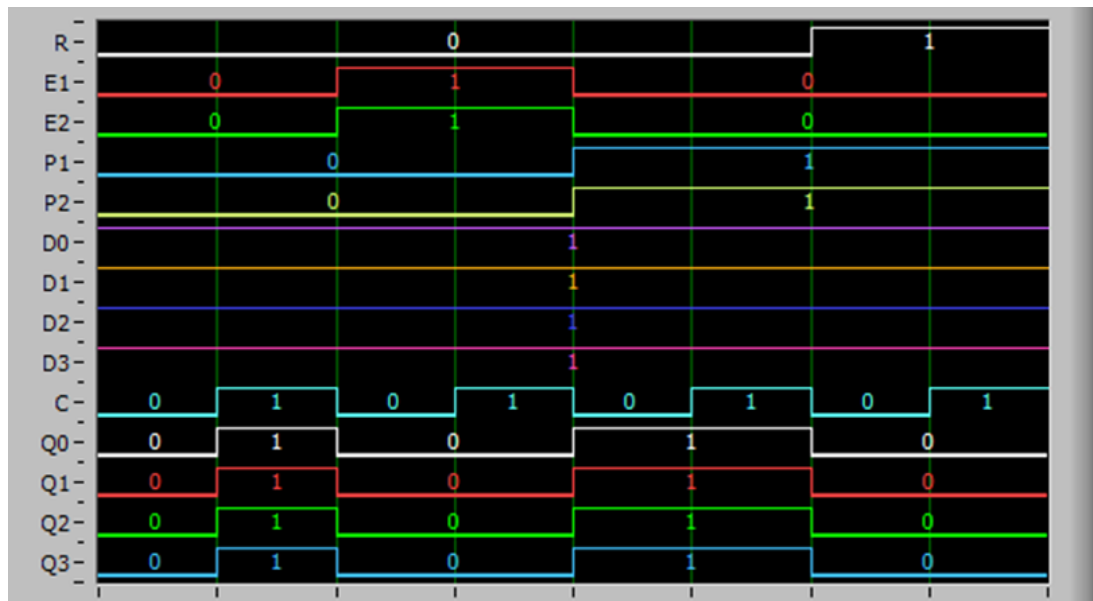


Рисунок 4.5 – Диаграмма состояний параллельного регистра в динамическом режиме

Состояние регистра изменяется при сигнале, значения которого равно 0, на входах P1, P2, E1, E2. Изменение происходит по переднему фронту импульса сигнала C.

4.3 Исследование работы регистра сдвига в статическом режиме

Условное изображение параллельного регистра К55ИР11 представлено на рисунке 4.6.

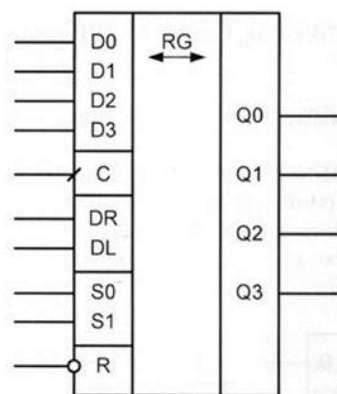


Рисунок 4.6 – Условное изображение регистра сдвига

Режим сдвига вправо, установка на входах выбора режима следующих значений сигнала: $S0 = 1$, $S1 = 0$, $R = 1$; изменение сигнала на входе последовательных данных DR в 1, 0. Результат работы предоставлен в таблице истинности – таблица 4.3, и в диаграмме состояний – рисунок 4.7.

Таблица 4.3 - Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	0	1	1	0	0	0	0	0	ЛГ	0	0	0	1
Шаг 2	1	0	1	1	0	0	0	0	0	ЛГ	0	0	1	1
Шаг 3	1	0	1	1	0	0	0	0	0	ЛГ	0	1	1	1
Шаг 4	1	0	1	1	0	0	0	0	0	ЛГ	1	1	1	1

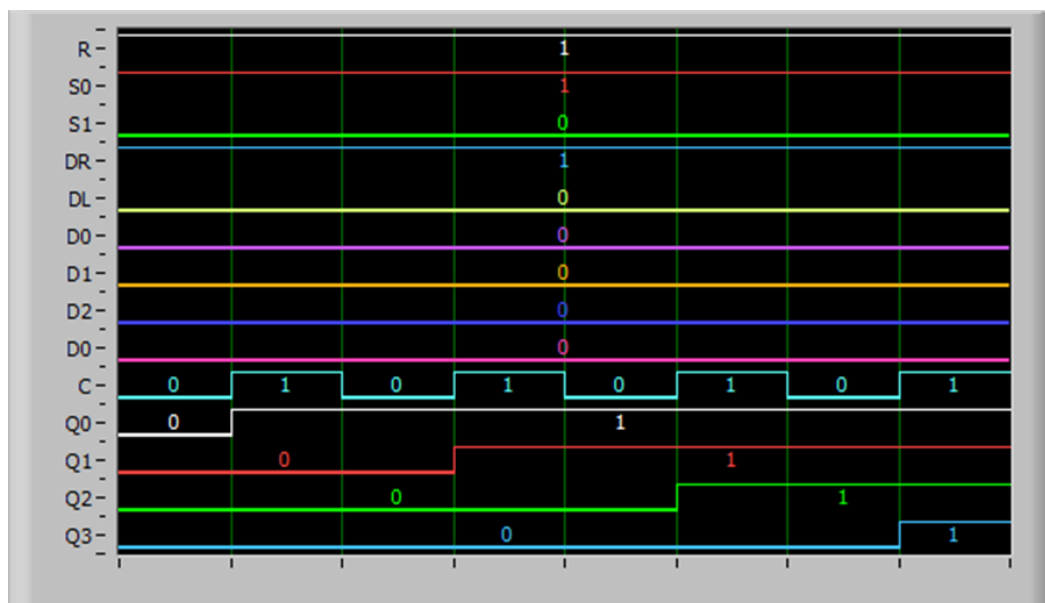


Рисунок 4.7 – Диаграмма состояний регистра сдвига в режиме сдвига вправо

Логическая единица записанная в регистр на первом такте в Q0, с каждым тактом смещается к Q3.

Режим сдвига влево, установка на входах выбора режима следующих значений сигнала: $S0 = 0$, $S1 = 1$, $R = 1$; изменение сигнала на входе последовательных данных DR в 0, 1. Результат работы предоставлен в таблице истинности – таблица 4.4, и в диаграмме состояний – рисунок 4.8.

Таблица 4.4 - Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	1	0	0	1	0	0	0	0	ЛГ	1	0	0	0
Шаг 2	1	1	0	0	1	0	0	0	0	ЛГ	1	1	0	0
Шаг 3	1	1	0	0	1	0	0	0	0	ЛГ	1	1	1	0
Шаг 4	1	1	0	0	1	0	0	0	0	ЛГ	1	1	1	1

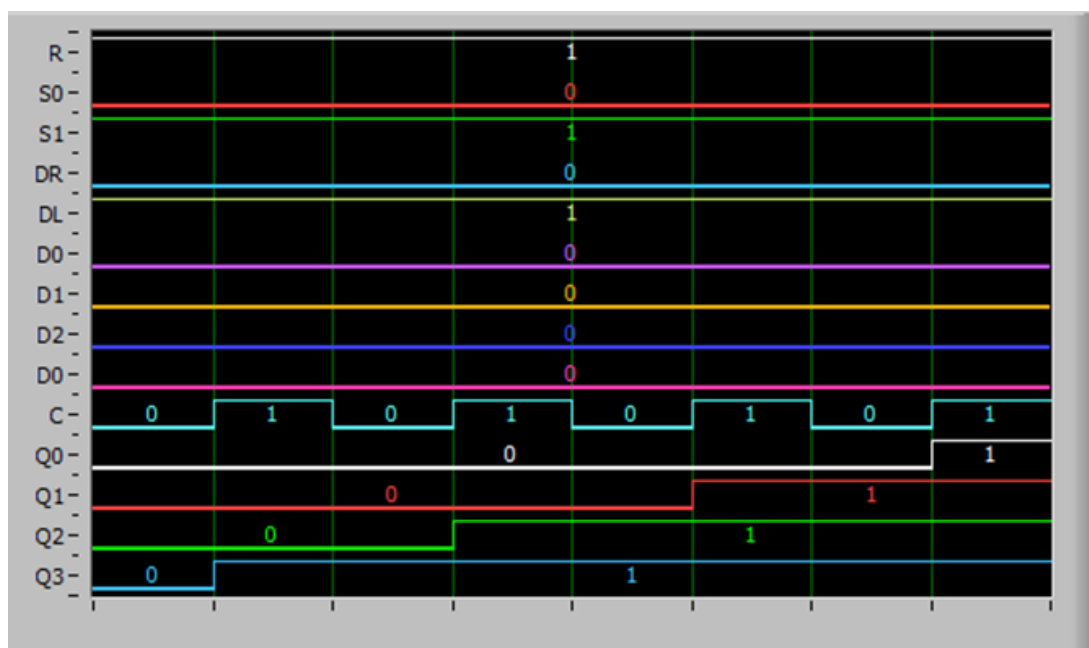


Рисунок 4.8 – Диаграмма состояний регистра сдвига
в режиме сдвига влево

Логическая единица записанная в регистр на первом такте, смещается от Q3 к Q0.

Режим параллельной загрузки, установка на входах выбора режима следующих значений сигнала: S0 = 1, S1 = 1, R = 1; и изменяя значение сигналов на входах параллельной загрузки D0, D1, D2, D3. На индикаторах выходных сигналов регистра Q0, Q1, Q2, Q3 ненулевые значения. Результат работы предоставлен в таблице истинности – таблица 4.5, и в диаграмме состояний – рисунок 4.9.

Таблица 4.5 - Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	1	1	0	0	0	1	0	1	ЛГ	0	1	0	1
Шаг 2	1	1	1	0	0	1	1	1	1	ЛГ	1	1	1	1
Шаг 3	1	1	1	0	0	0	0	1	0	ЛГ	0	0	1	0
Шаг 4	1	1	1	0	0	0	0	1	0	ЛГ	0	0	1	0

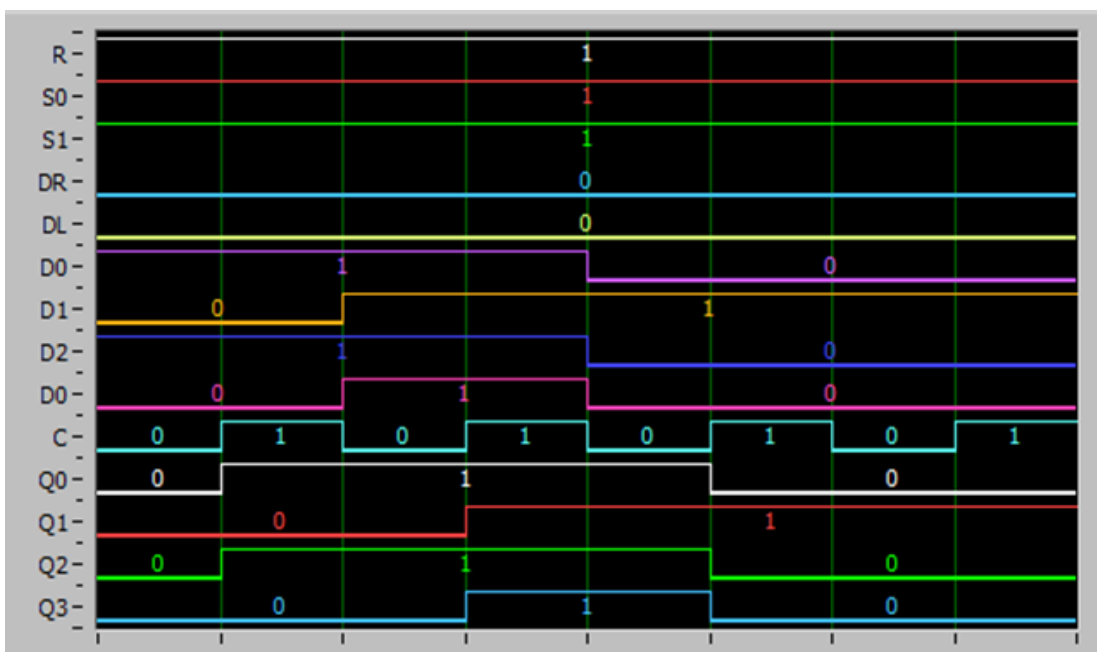


Рисунок 4.9 - Диаграмма состояний регистра сдвига
в режиме параллельной загрузки

Выходные сигналы регистра Q0 – Q3 соответствуют сигналам на входах параллельной загрузки D0 – D3.

Режим хранения, установка на входах выбора режима следующих значений сигнала: S0 = 0, S1 = 0, R = 1; на входах последовательных данных значения DR = 1, DL = 1; и изменяя значение сигналов на входах параллельной загрузки D0, D1, D2, D3. Результат работы предоставлен в таблице истинности – таблица 4.6, и в диаграмме состояний – рисунок 4.10.

Таблица 4.6 - Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	0	0	1	1	0	1	0	1	ЛГ	0	0	1	0
Шаг 2	1	0	0	1	1	1	1	1	1	ЛГ	0	0	1	0
Шаг 3	1	0	0	1	1	0	0	1	0	ЛГ	0	0	1	0
Шаг 4	1	0	0	1	1	0	0	1	0	ЛГ	0	0	1	0

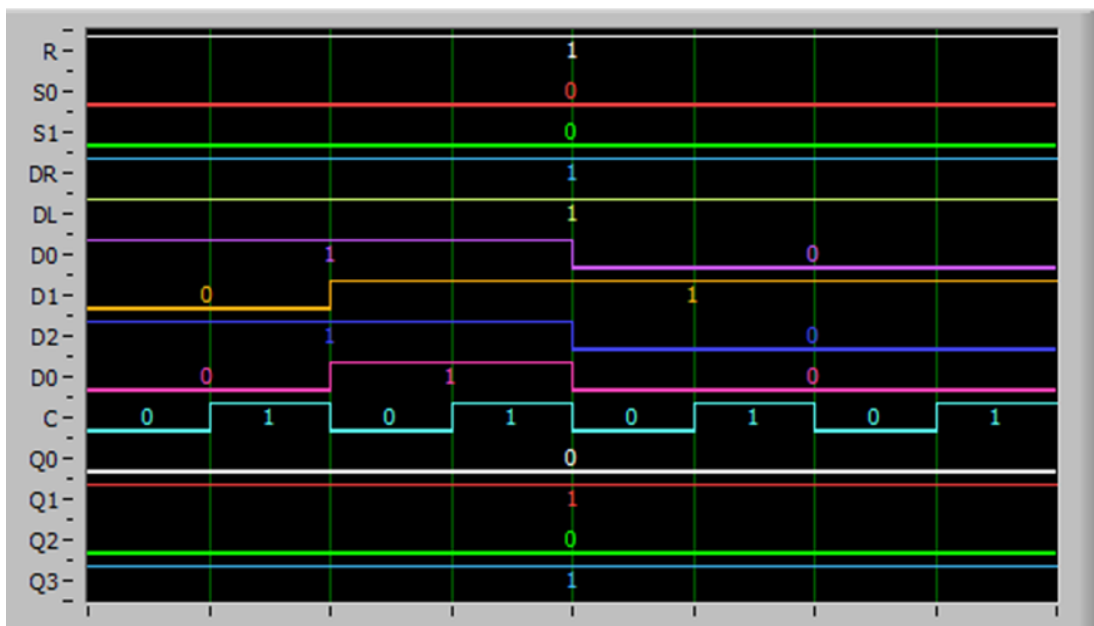


Рисунок 4.10 - Диаграмма состояний регистра сдвига в режиме хранения

При значении сигналов $S0 = 0$, $S1 = 0$ и подаче импульсов на тактовый вход, сохраняются на выходах $Q0$, $Q1$, $Q2$, $Q3$ значения первоначально внесенный на $D0$, $D1$, $D2$, $D3$ цифровой код.

Сводная таблица истинности регистра сдвига представлена в таблице 4.7.

Таблица 4.7 – Сводная таблица истинности регистра сдвига

R	S1	S0	C	$Q3_{n+1}$	$Q2_{n+1}$	$Q1_{n+1}$	$Q0_{n+1}$	Режим
0	-	-	-	0	0	0	0	Сброс
1	0	0	-	$Q3_n$	$Q2_n$	$Q1_n$	$Q0_n$	Хранение
1	0	1	0-1	$Q2_n$	$Q1_n$	$Q0_n$	DR	Сдвиг влево
1	1	0	0-1	DL	$Q3_n$	$Q2_n$	$Q1_n$	Сдвиг вправо
1	1	1	0-1	D3	D2	D1	D0	Загрузка

4.4 Исследование работы регистра сдвига в динамическом режиме

Условное изображение параллельного регистра К55ИР11 представлено на рисунке 4.11.

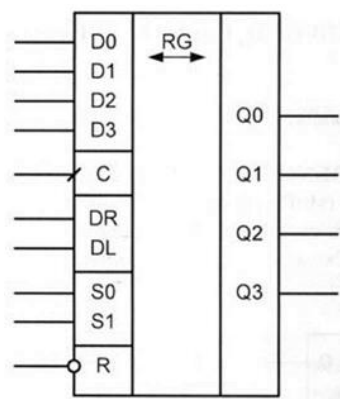


Рисунок 4.11 – Условное изображение регистра сдвига

Временная диаграмма – рисунок 4.12 получена изменяя входные сигналы регистра, на отражающие его работу в режимах сдвига вправо, сдвига влево, параллельной загрузки, сброса.

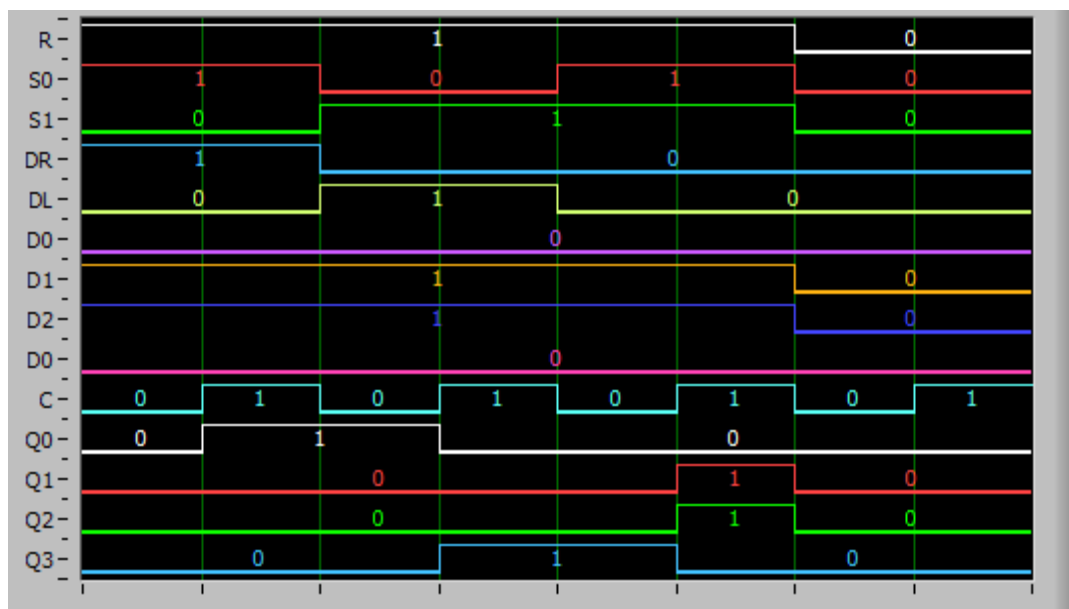


Рисунок 4.10 – Диаграмма состояний регистра сдвига в динамическом режиме

Изменение состояния регистра происходит по переднему фронту тактового сигнала С.

5 ВЫВОДЫ

Стояла задача исследовать работу параллельного регистра и регистра сдвига, в статическом и динамическом режиме работы.

Для параллельного регистра в статическом режиме составлена таблица истинности, диаграмма состояний для режима параллельной загрузки и

хранения, и так-же для режима управления выходом регистра. Определено при каких сигналах происходит: параллельная загрузка регистра, регистр находится в режиме хранения информации, разрешено считывание состояния.

Для параллельного регистра в динамическом режиме составлена временная диаграмма отражающая его работу в режиме параллельной загрузки, хранения, сброса, управление выходом. Определено по какому фронту сигнала С происходит изменение состояния регистра.

Для регистра сдвига в статическом режиме работы составлена таблица истинности, диаграмма состояний для режима сдвига влево, параллельной загрузки, режима хранения. Определено направление смещения логической единицы, при такте на входе С.

Для регистра сдвига в динамическом режиме получена временная диаграмма, отражающая его работу в режимах сдвига вправо, сдвига влево, параллельной загрузки, сброса. Определено по какому фронту сигнала С происходит изменение состояния регистра.