

Architecture de Ordinateurs

Module 4

Mémoires : technologies - usage

Dr. Yannick HERVE

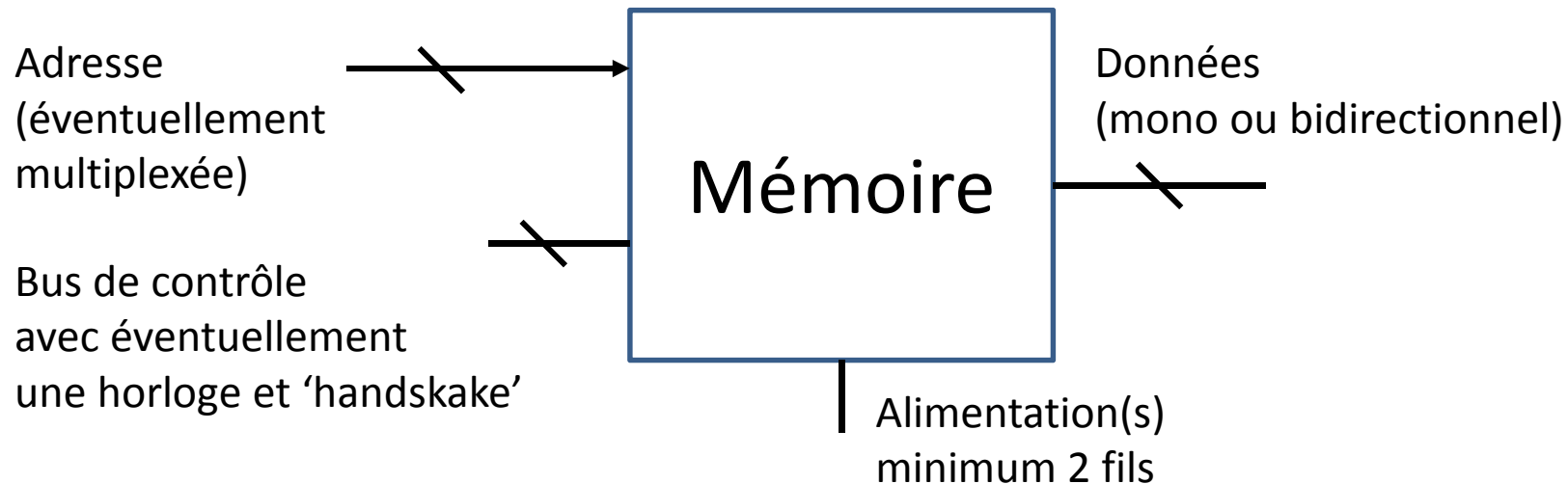
V 1.2

Plan du module

- Mémoire : définition et vocabulaire
- Technologie
 - Point mémoire
 - Flash
 - Associative
 - Interface et Protocole
- (P)MMU dont décodage d'adresse
- Mémoire cache et gestion

Définition abstraite de mémoire

- Dispositif capable de mémoriser et restituer infos
- Contenu binaire adressable pour lecture et/ou écriture à travers un protocole



Accès aléatoire : toutes les positions sont accessibles dans le même temps
Il existe d'autres modes d'accès dont le séquentiel

Vocabulaire

- Données : valeurs contenues dans la mémoire
- Adresses : localisation infos
- Largeur de bus de données (nb) : nb de fils
- Largeur de bus d'adresse (na) : nombre de fils
- Bus de contrôle : fils définissant le mode d'accès
- Capacité : 2^{na} mots de nb bits

Vocabulaire

Préfixes : 2^{10} : kilo / 2^{20} : mega / 2^{30} : giga / 2^{40} : tera

Nombre de bits d'adresse

- 8 bit : 256 mots
- 10 bits : 1 kilo mots : 1024 mots
- 16 bit : 64 kilo mots = 65536 mots
- 20 bit : 1 mega mots = 1 048 576 mots
- 30 bits : 1 giga mots = 1 073 741 824 mots
- 40 bits : 1 tera

Vocabulaire

- Volatile/Non-volatile
- Volatile : Statique/Dynamique
- Accès aléatoire (direct)/séquentiel/mixte
- Mémoire à lecture seule
- Mémoire à lecture/écriture symétrique
- Mémoire à lecture/écriture dissymétrique
- Mémoire associative
- Mémoire double-port (à ports multiples)

Vocabulaire

- Mémoire synchrone/asynchrone
 - Protocole d'accès basé ou pas sur une horloge
- Mémoire à adresse multiplexée
 - Adresse présentée en deux fois : ligne/colonne
- Mémoire à adresse/données multiplexées
 - Adresses et données sont sur les mêmes fils
- Cache (antémémoire)
 - mémoire rapide entre processeur et la mémoire centrale ou entre deux niveaux de mémoire

Vocabulaire

- Temps caractéristiques : tous les temps caractérisant les modes d'accès à une mémoire
- Temps d'accès : entre demande et réponse
- Temps de cycle : entre deux demandes (lié au débit)
- Mode burst : plusieurs données à la suite
 - Adresse ad ➔ suite des données ad , $ad+1$, $ad+2$...

Vocabulaire

- Mémoire virtuelle : espace mémoire utilisé par les programmes du processeur
- Mémoire réelle : ensemble de supports permettant de « mapper » la mémoire virtuelle : mémoire centrale, disques durs, SSD, Cloud ...

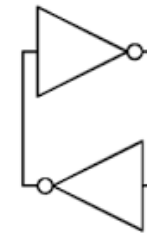
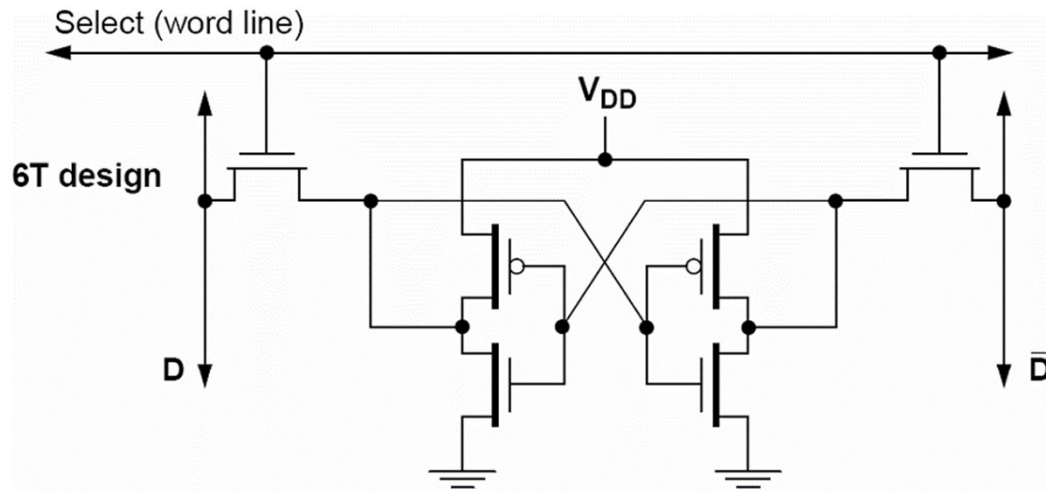
Vocabulaire (dont *ancien*)

- RAM : mémoire à accès Lec et Ecr symétrique
- ROM : mémoire à lecture seule
- *PROM : ROM programmable une seule fois*
- *REEPROM : ROM programmable plusieurs fois*
- *UV-EEPROM : REEPROM effaçable aux UV*
- *EEPROM : REEPROM effaçable électriquement*
 - *ancêtre de la FLASH*
- FLASH : Effaçable par page (voir histoire)

Technologies : point mémoire

- SRAM : points mémoire RS à 6T
 - Volatile : perte info avec alimentation
- DRAM : point mémoire capacité à 1T (condo)
 - Evanescent : volatile (alimentation) → refresh
- FLASH : interrupteur piloté par grille flottante
 - Charge piégées par effet tunnel dans une grille isolée
 - Pas de charge : interrupteur ouvert
 - Charge : interrupteur fermé
- Autres technologies : FRAM, MRAM ... Qbit ...

Techno SRAM

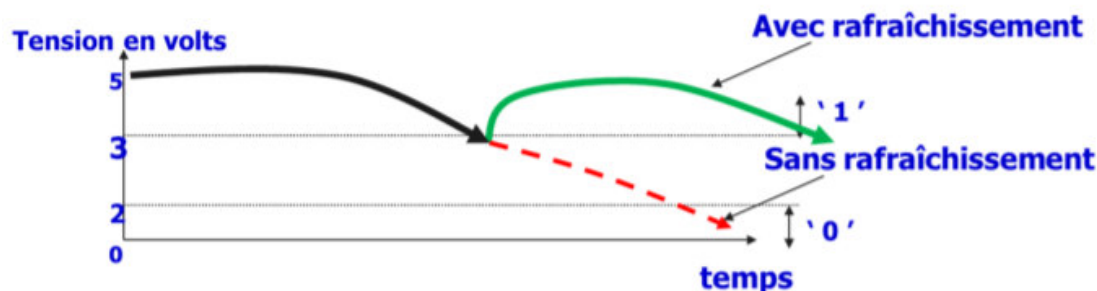


Deux inverseurs
tête-bêche
(bistable)

- Mise sous tension : contenu ?
- Write : Forçage de l'état de la paire d'inverseur

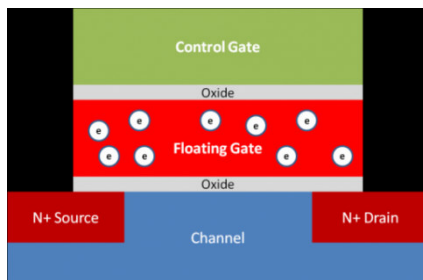
Techno DRAM

- Dynamique : charge dans un condensateur
 - En fait condensateur parasite du transistor
 - Perte de charge (fuite)
 - Lecture destructrice
- Rafraîchissement : lecture puis réécriture (10 ns)
 - Ancien temps : à gérer / Maintenant : transparent
- Moins rapide que la SRAM



Flash : Techno

- Famille des EEPROM : MOS à grille flottante
- Consommation nulle au repos
- Architecture NOR ou NAND
- Grosses contraintes à l'effacement/écriture
 - 10.000 à 100.000 cycles par cellule (↗)
 - SSD : Algo de répartition d'écriture pour soulager



Transistor MOS
à grille flottante

Epaisseurs couches :

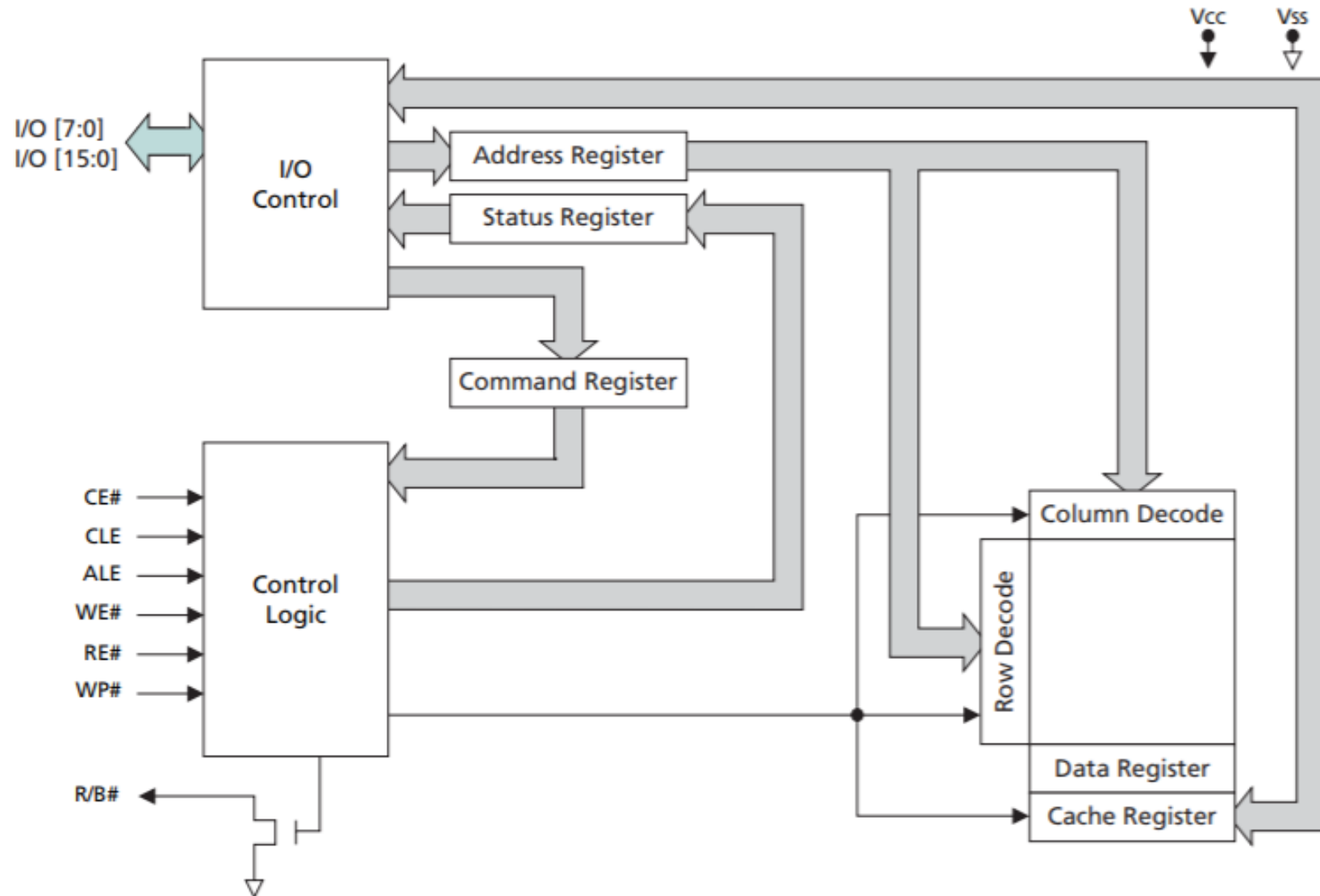
- isolant du bas : 1,5-2,5 nm
 - grille flottante : ≈ 5 nm
 - isolant du haut : 4-5 nm
- (taille de maille : 0,54 nm)

Flash : histoire

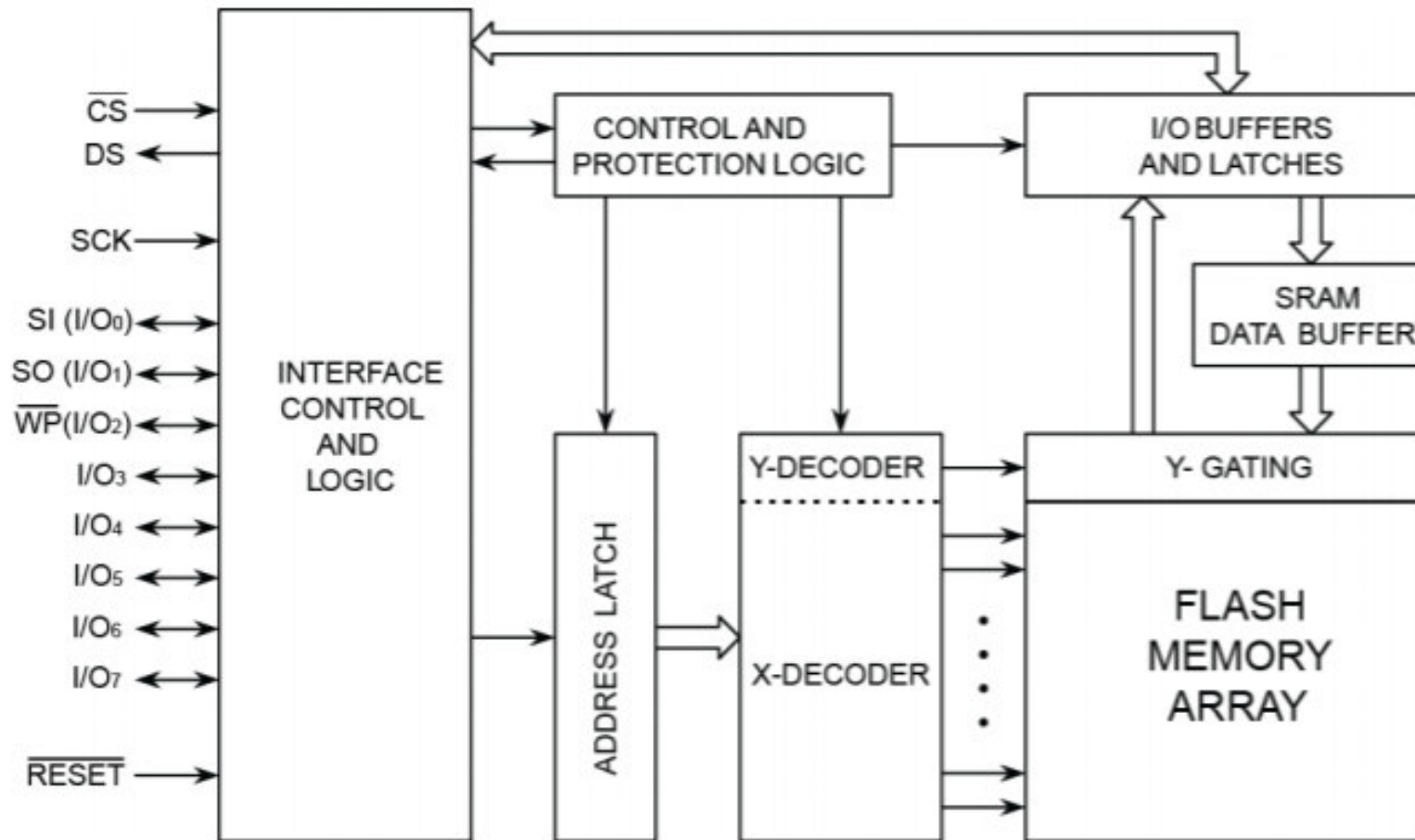
- NOR : inventée 1988 par Toshiba
 - Code exécutable en place, garanti 100%
 - Pour les OS de téléphone
 - Coût élevé, densité limitée
- NAND : inventée en 1989 par Toshiba
 - Plus rapide, plus dense, non garanti à 100% (algo corr.)
 - Accès séquentiel (pas d'accès de type RAM)
 - Exécution seulement en mode page
 - Stockage de masse
- MLC : Multi Level per Cell (2 ou 3 bits, prévu 8)

	NAND	NOR
Cell Array	<p>Word line</p> <p>Unit Cell</p> <p>Source line</p>	<p>Word line</p> <p>Bit line</p> <p>Contact</p> <p>Unit Cell</p> <p>Source line</p>
Layout	<p>2F</p> <p>2F</p>	<p>2F</p> <p>5F</p>
Cross-section		
Cell size	$4F^2$	$10F^2$

Architecture Flash-NAND Micron

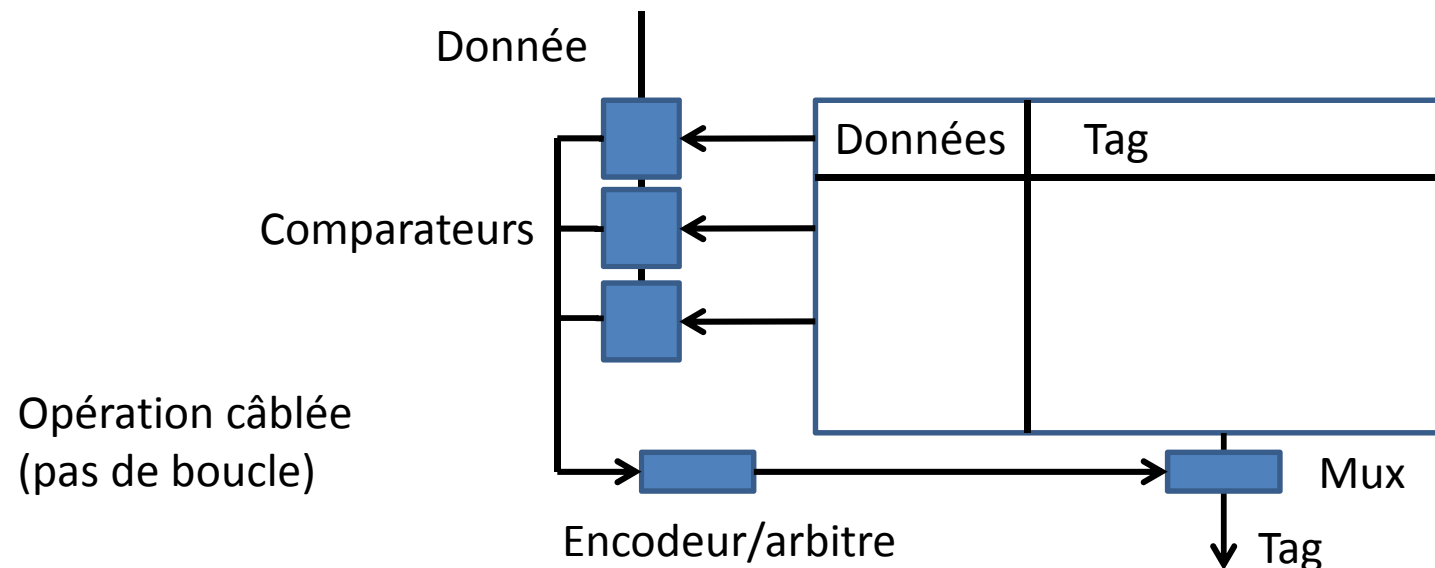


Architecture Flash-NOR Adesto

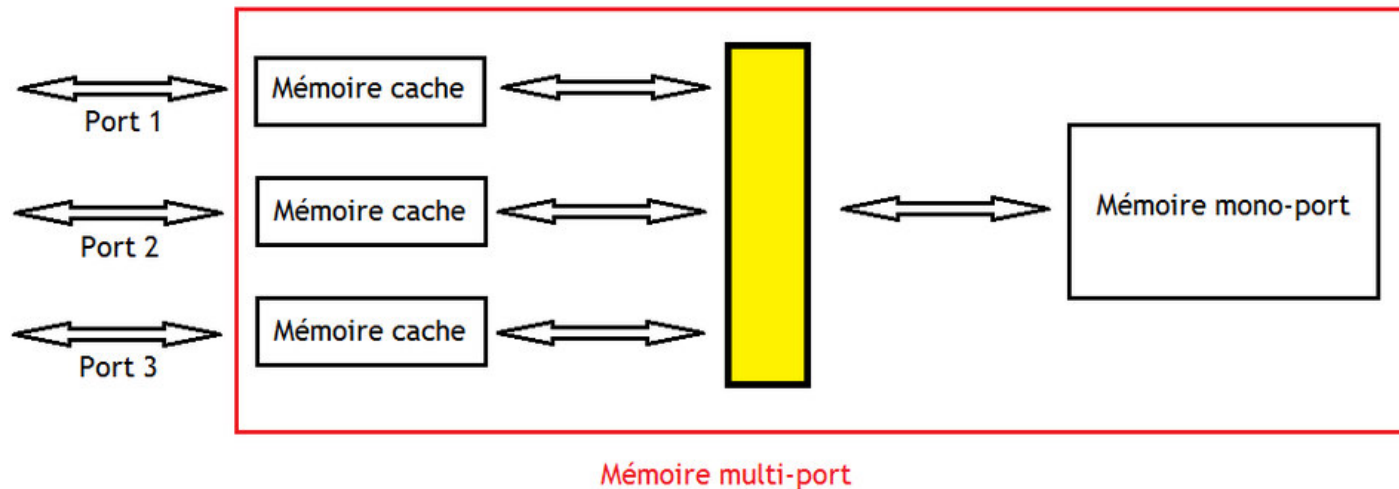


Mémoire associative

- Ou Adressable par le Contenu (CAM)
 - Classique $D = M(A)$
 - Associative : $A = M(D)$
 - Usage : recherche rapide, indirection



Mémoire Multi-port



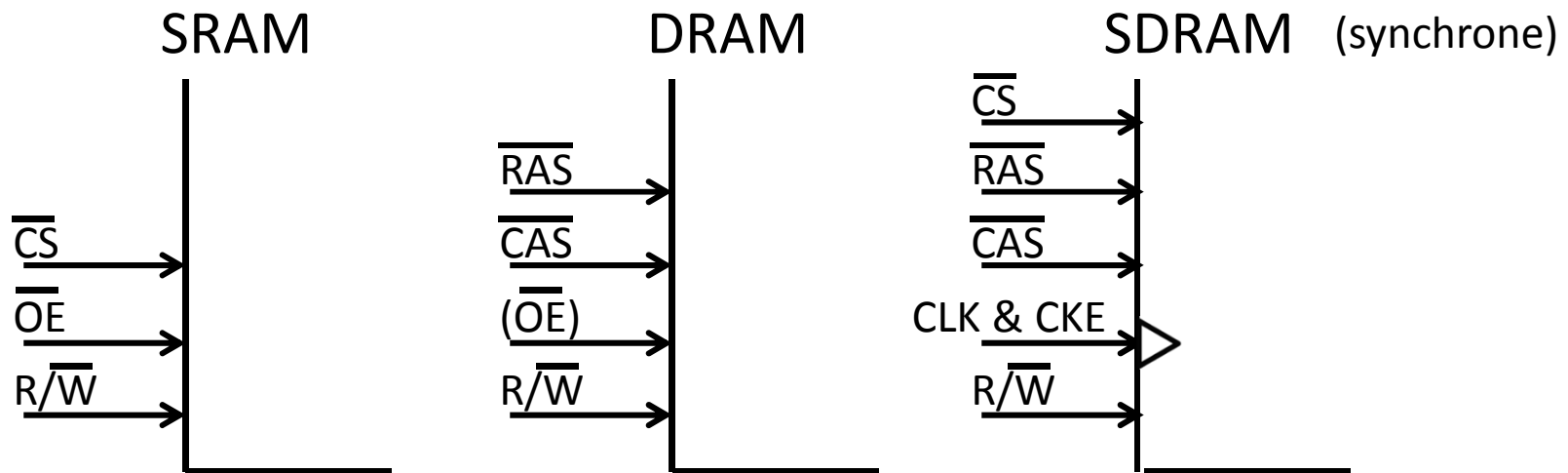
- Architecture et usage
 - Eventuellement port parallèle et port série
 - Port accès aléatoire et port séquentiel
- Accès simultané à plusieurs données
 - Plusieurs accès en un seul cycle
 - Mémoire multi-blocks

Exemple : TMS320C4

- 1 bus instruction
- 2 bus lecture data
- 1 bus écriture data

Modes d'accès boîtiers

- L'interface de contrôle peut être asynchrone (commandes) ou synchrone (horloge)



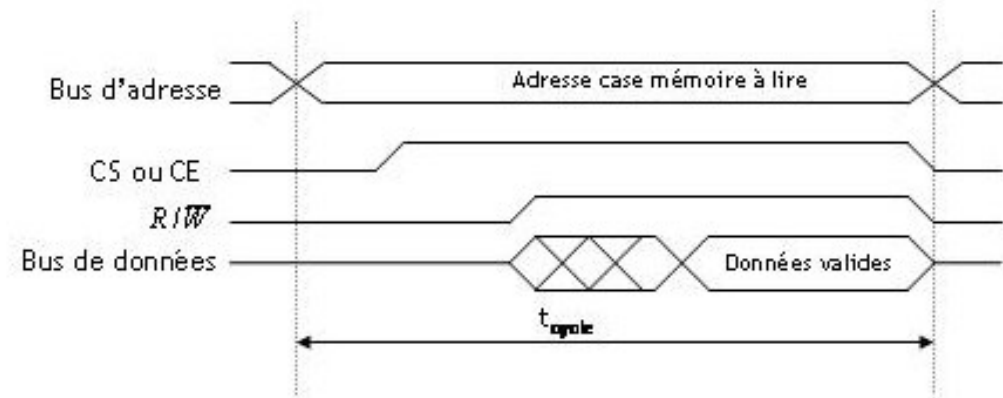
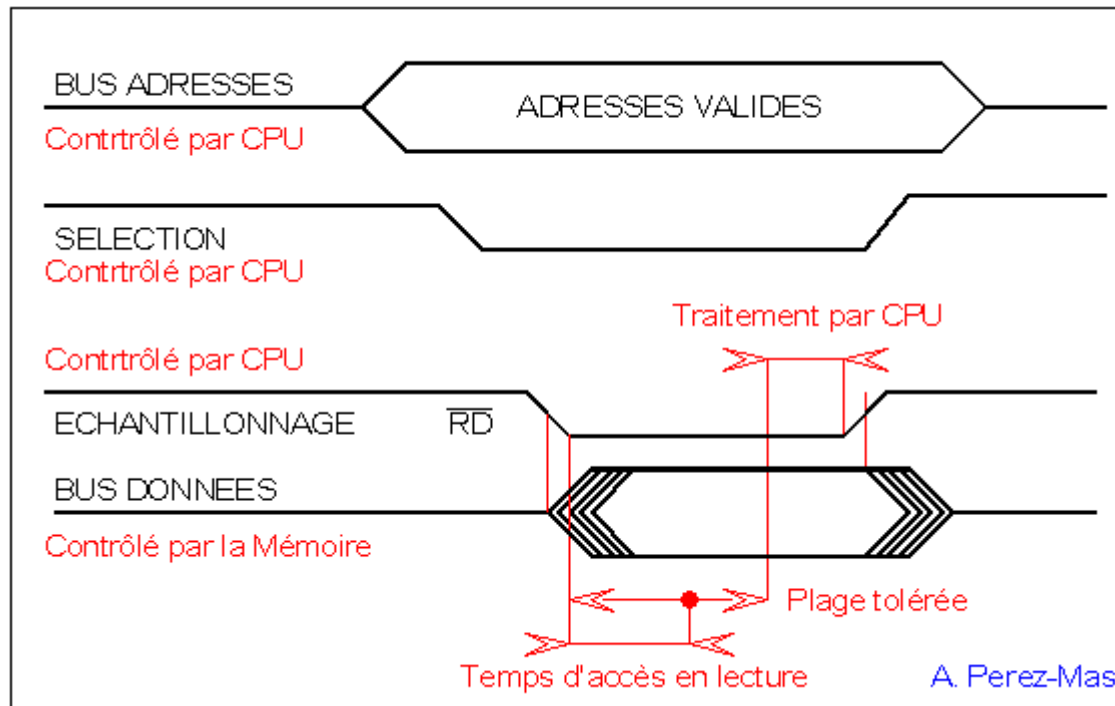
\overline{CS} : « réveille » le circuit (CE)
 \overline{OE} : sortie HiZ (G)
 R/\overline{W} : lecture-écriture (WE)

\overline{RAS} : Raw Adress Strobe
 \overline{CAS} : Column Adress Strobe
(adresse multiplexée)

CLK : Clock

Des variantes
peuvent exister

Accès SRAM (asynchrone)



Accès DRAM (asynchrone)

(évolutions FPM et EDO)

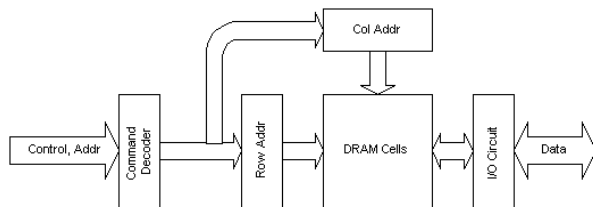
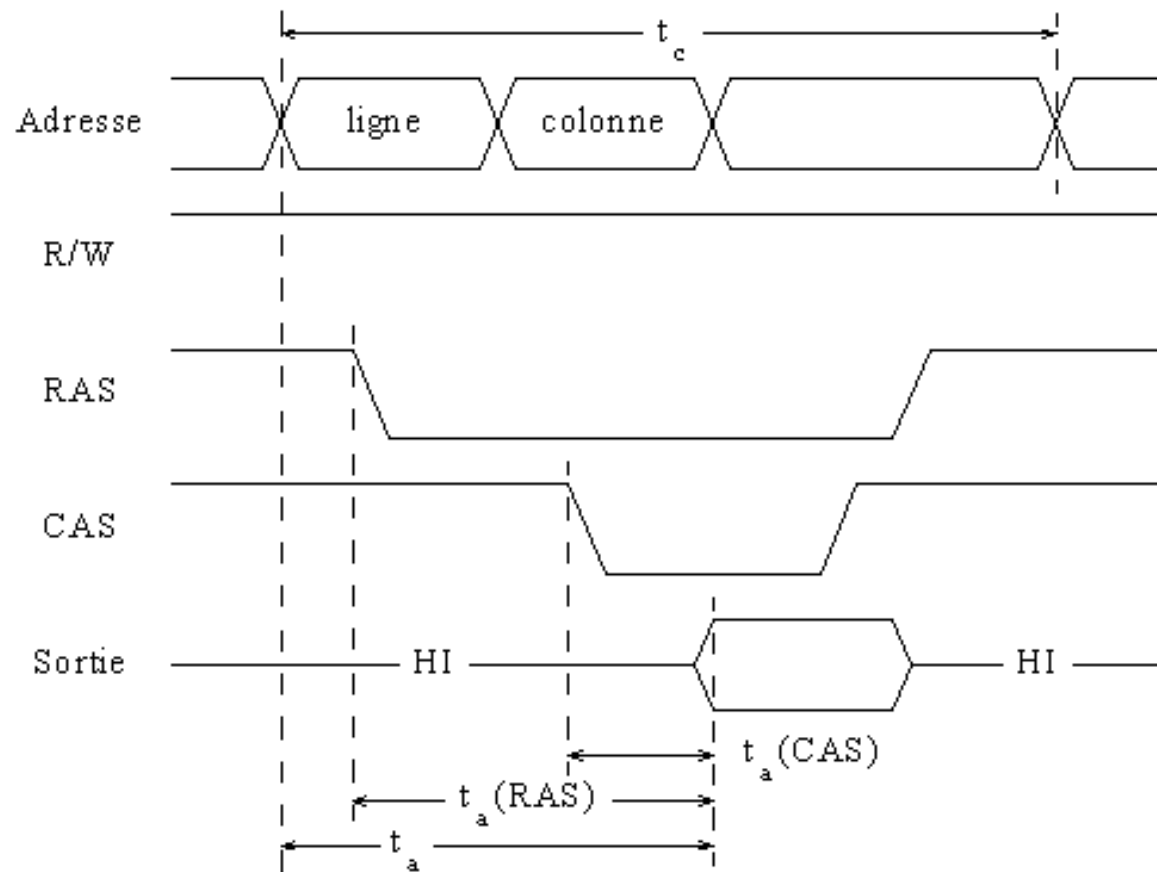


Figure 1 DRAM Structure

Adresse multiplexée



Accès DRAM (asynchrone) (évolutions FPM et EDO/BEDO)

Mode PAGE (FPM/EDO) : accès colonne à ligne fixe

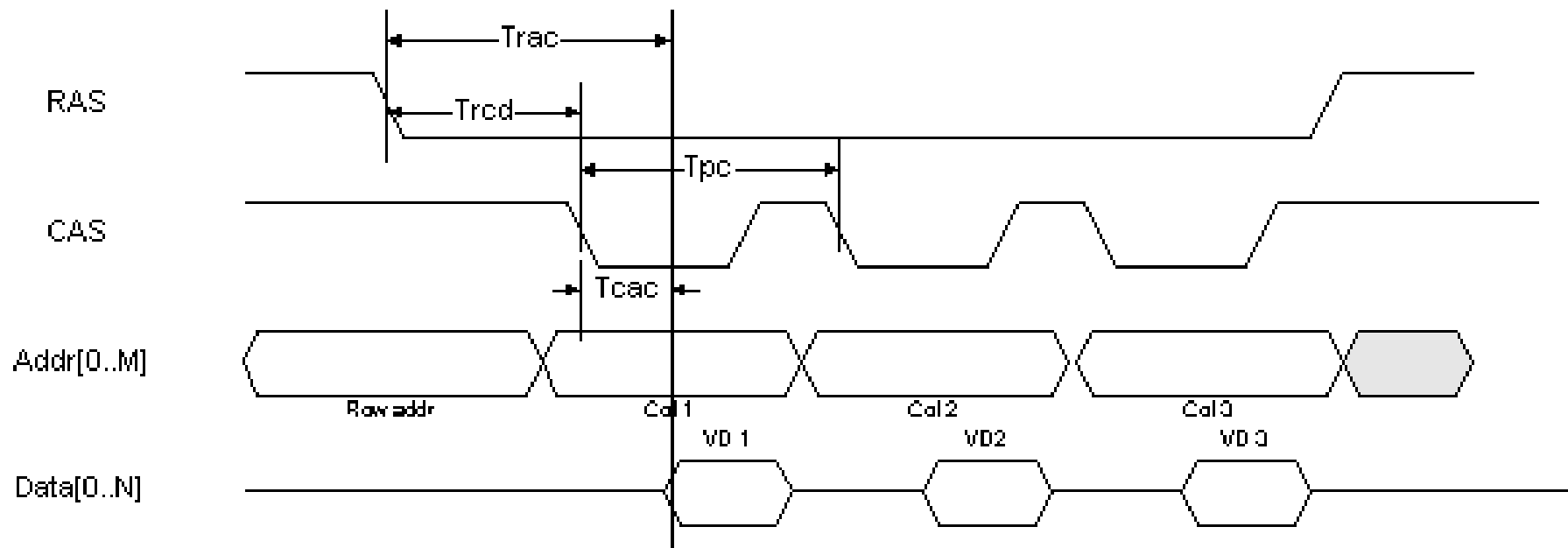
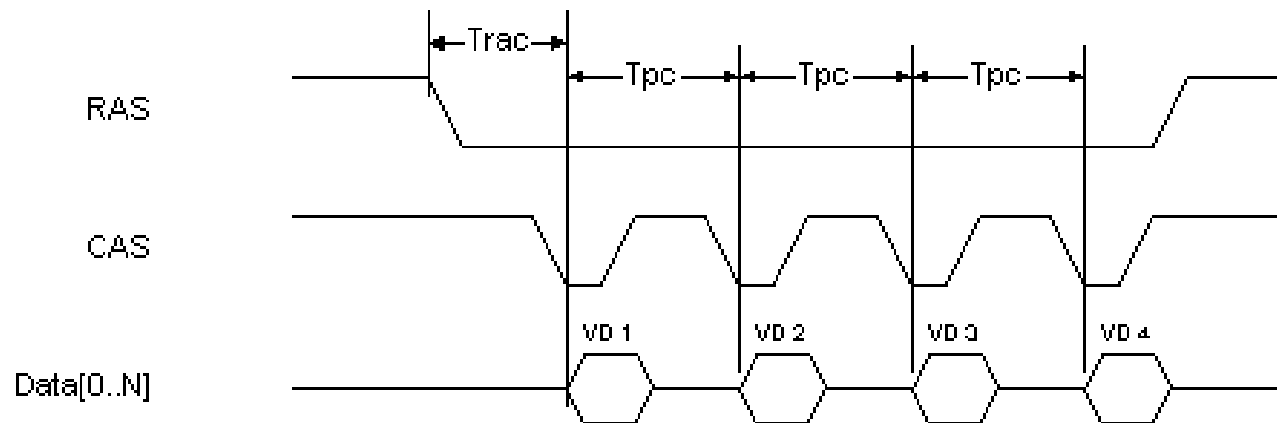
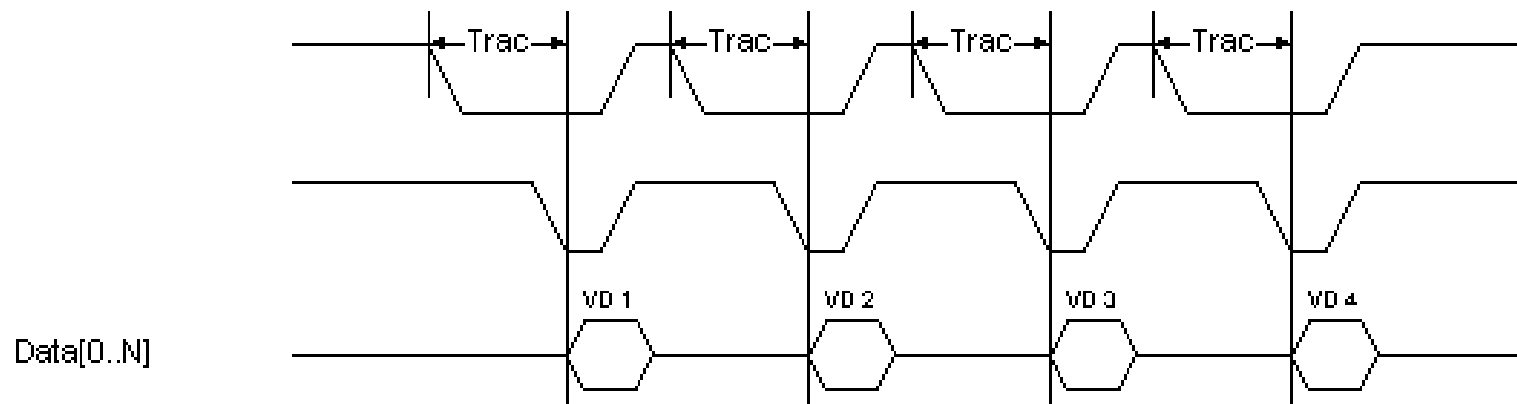


Figure 2 FPM/EDO read timing

Comparaison efficacité



4 location access in pagemode



4 location random access

Inconvénient DRAM

- Les timings dépendent de la techno
- Le processeur attend « juste ce qu'il faut »
- Pas de référence temporelle, ni de handshake
 - Pas de synchronisation avec le bus (ou le système)
- Difficulté de conception avec $F \nearrow$

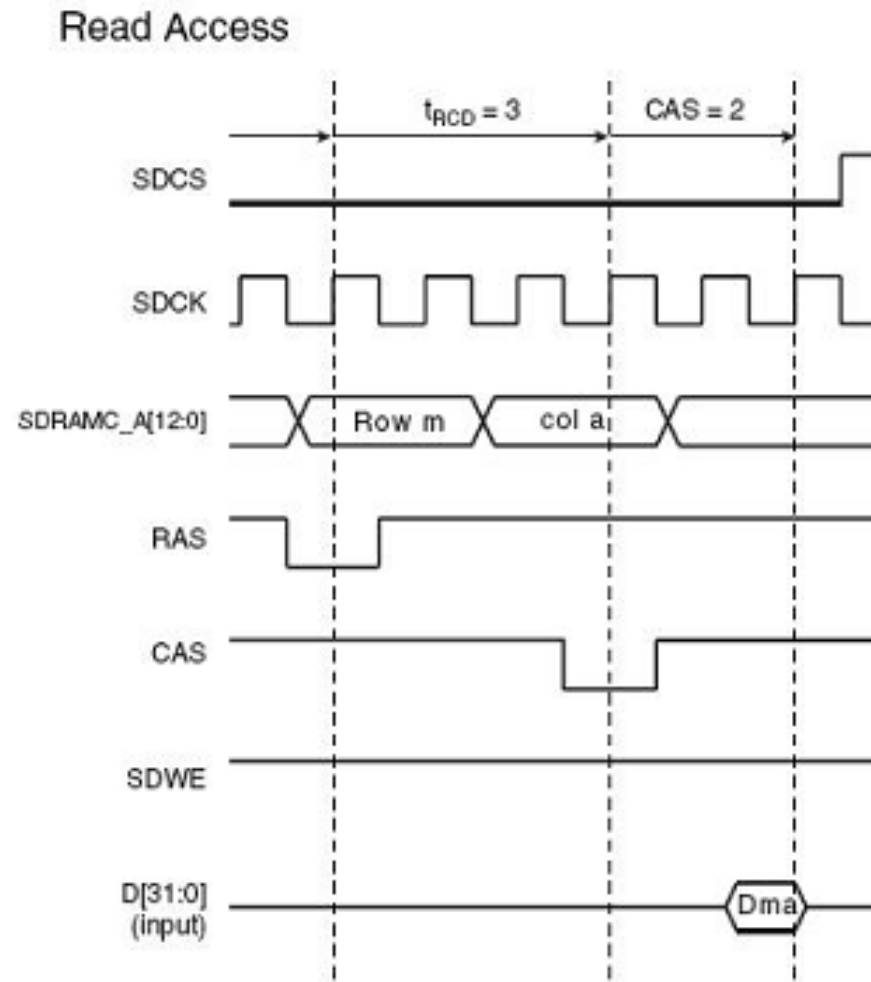
➔ Architecture synchrone

SDRAM (SDR-SDRAM) (synchrone)

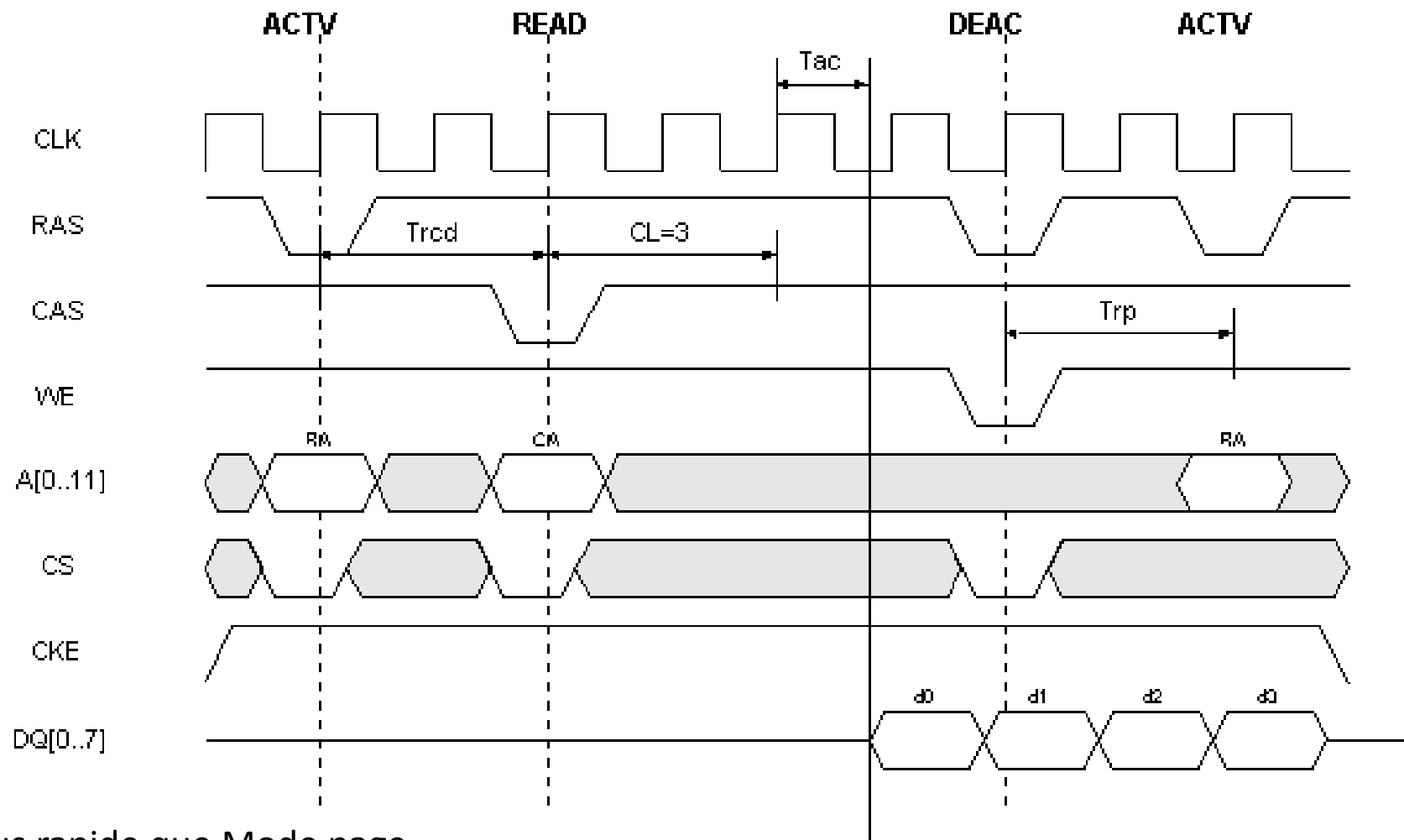
- Commandes synchronisées avec une horloge
- Pilotée par un séquenceur
- Architecture pipeline
 - Traitement entrée avant fin opération précédente
➔ Latence
- Modules SIMM 64 bits, 168 pins

Accès SDRAM (synchrone)

Accès aléatoire



Accès SDRAM (synchrone)



Plus rapide que Mode page
Compteur interne

SDRAM burst read timing

Standard DDR (DDR-SDRAM) [JEDEC]

- Modules DIMM 64 bits, 184 broches
SODIMM-200, MicroDIMM-172
- SDRAM sur les deux fronts d'horloge
 - DDR : Double Data Rate
 - $\text{DDR@133MHz} \approx \text{SDR@266MHz}$
- Evolutions DDR2, DDR3, DDR4 et prévue DDR5
 - Concurrent obsolète : RDRAM (RamBUS)
- Débit = $2 * 64\text{bits} * F$
- Double canal : deux modules en parallèle

DDR : temps caractéristiques

Synchronisation : succession de cycles d'horloge.
Symbolisé par quatre chiffres (ex : 3-4-4-8)
correspondant aux valeurs suivantes :

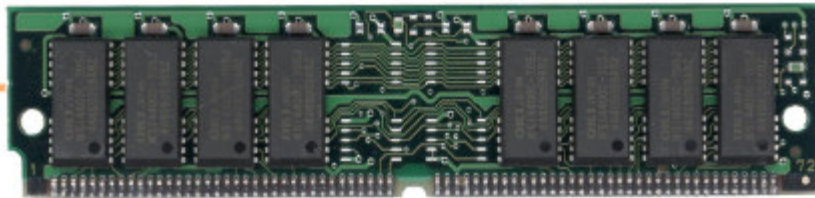
- **CAS delay/latency** (CL) : Temps d'accès à une colonne
- **RAS precharge time** (tRP) : entre deux RAS (2 lignes)
- **RAS to CAS delay** (tRCD) : d'une ligne à une colonne
- **RAS active time** (tRAS) : accès à une ligne.

DDR4 : exemple

Nom standard ^{6,7} ◆	Fréquence mémoire ◆ (MHz)	Fréquence I/O bus ◆ (MHz)	Débit ◆ (MT/s)	Nom ◆	Taux de transfert ◆ (Mo/s)	Timings ◆ (CL-tRCD-tRP)	CAS latency ◆ (ns)
DDR4-1600J* DDR4-1600K DDR4-1600L	200	800	1 600	PC4-12800	12 800	10-10-10 11-11-11 12-12-12	12.5 13,75 15
DDR4-1866L* DDR4-1866M DDR4-1866N	233,33	933,33	1 866,67	PC4-14900	14 933,33	12-12-12 13-13-13 14-14-14	12,857 13,929 15

Format de « barrettes »

Modules SIMM (single) et DIMM (double)



SIMM : 32 bits (montées par deux)
72 broches (existe avec parité : 36 bits)



DIMM : 64 bits
168 broches (existe avec parité)

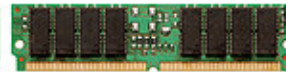
La jungle

...

Note, as well as the different number of pins, the different spacing of the slots in the connector-edge



30 pin SIMM



72 pin SIMM



MicroDIMM
(rare)



184 pin RAMBus RDRAM RIMM



100 pin DIMM
printer RAM



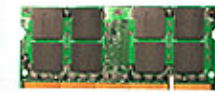
72 pin SODIMM
(rare)



144 pin SDRAM
SODIMM

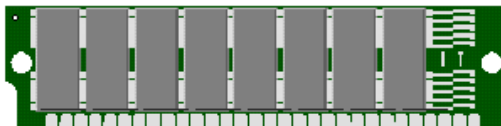


200 pin DDR
SODIMM



200 pin DDR-2
SODIMM

30-pin SIMM (3.5 x .75")



168 pin SDRAM DIMM

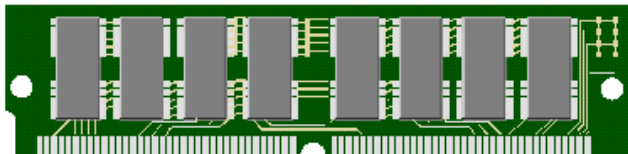


184 pin DDR DIMM

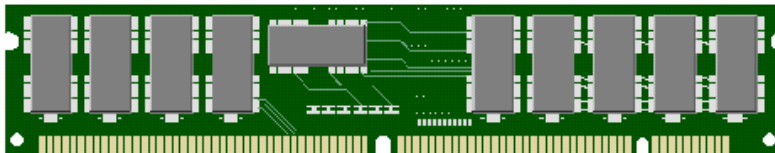


240 pin DDR-2 DIMM

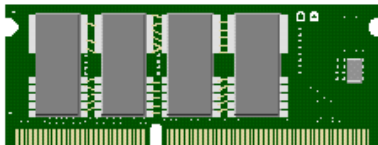
72-pin SIMM (4.25 x 1")



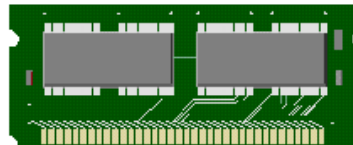
168-pin DIMM (5.375 x 1")



144-pin SODIMM (2.625 x 1")



72-pin SODIMM (2.375 x 1")



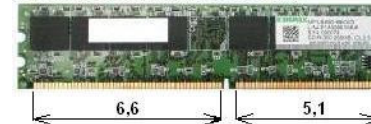
SDRAM PC133 KINGMAX



SO-DIMM PC133 KINGMAX



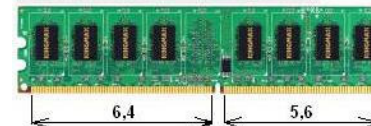
DDR266 KINGMAX ORIGINAL



SO-DIMM DDR333 KINGMAX



DDR2 533 KINGMAX ORIGINAL



SO-DIMM DDR2 533 KINGMAX



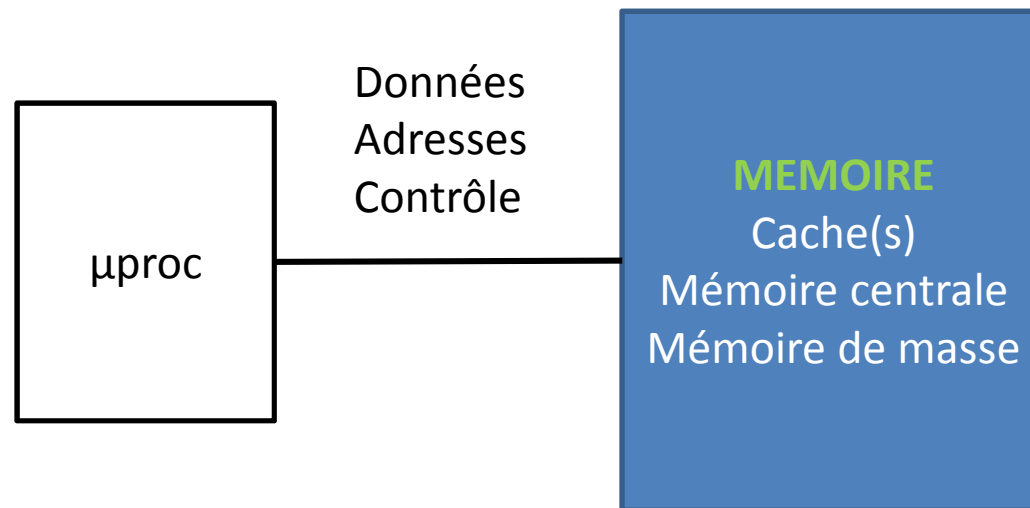
Synthèse (wikipédia)

	SDRAM	SDR SDRAM	DDR SDRAM	DDR2 SDRAM	DDR3 SDRAM	DDR4 SDRAM	FPM DRAM и EDO DRAM	FB-DIMM DRAM
DIMM	100-pin	168-pin	184-pin	240-pin ^a		288-pin	168-pin	240-pin
SO-DIMM	N/A	144-pin	200-pin ^a		204-pin	260-pin	72-pin/144-pin	N/A
MicroDIMM	N/A	144-pin	172-pin	214-pin	N/A		N/A	

a. ^ ^a ^b with different notch positions

On aborde les notions que du point de vue de l'architecture
La vue algorithme, programmation, système d'exploitation
➔ Cours de Pierre David

Organisation et gestion mémoire



MMU/PMMU

- **(P)MMU**/(paged) *memory management unit*
composant/fonction de contrôle des accès
d'un processeur fait à sa mémoire
- Au début : circuit périphérique
- Maintenant : intégré aux processeurs
 - à partir du 80386 pour la gamme Intel x86
 - à partir du 68030 pour la gamme Motorola 680x0
 - partie intégrante de tous les processeurs récents.
- Fait partie de la PI des processeurs modernes

(P)MMU : fonctions

- Traduction d'adresses logiques en adresses linéaires par l'unité de segmentation et/ou par l'unité de pagination
- Contrôle des tampons
- Arbitrage du bus
- Protection de la mémoire (fonction MPU)
- La commutation de bancs
(architectures informatiques simples)

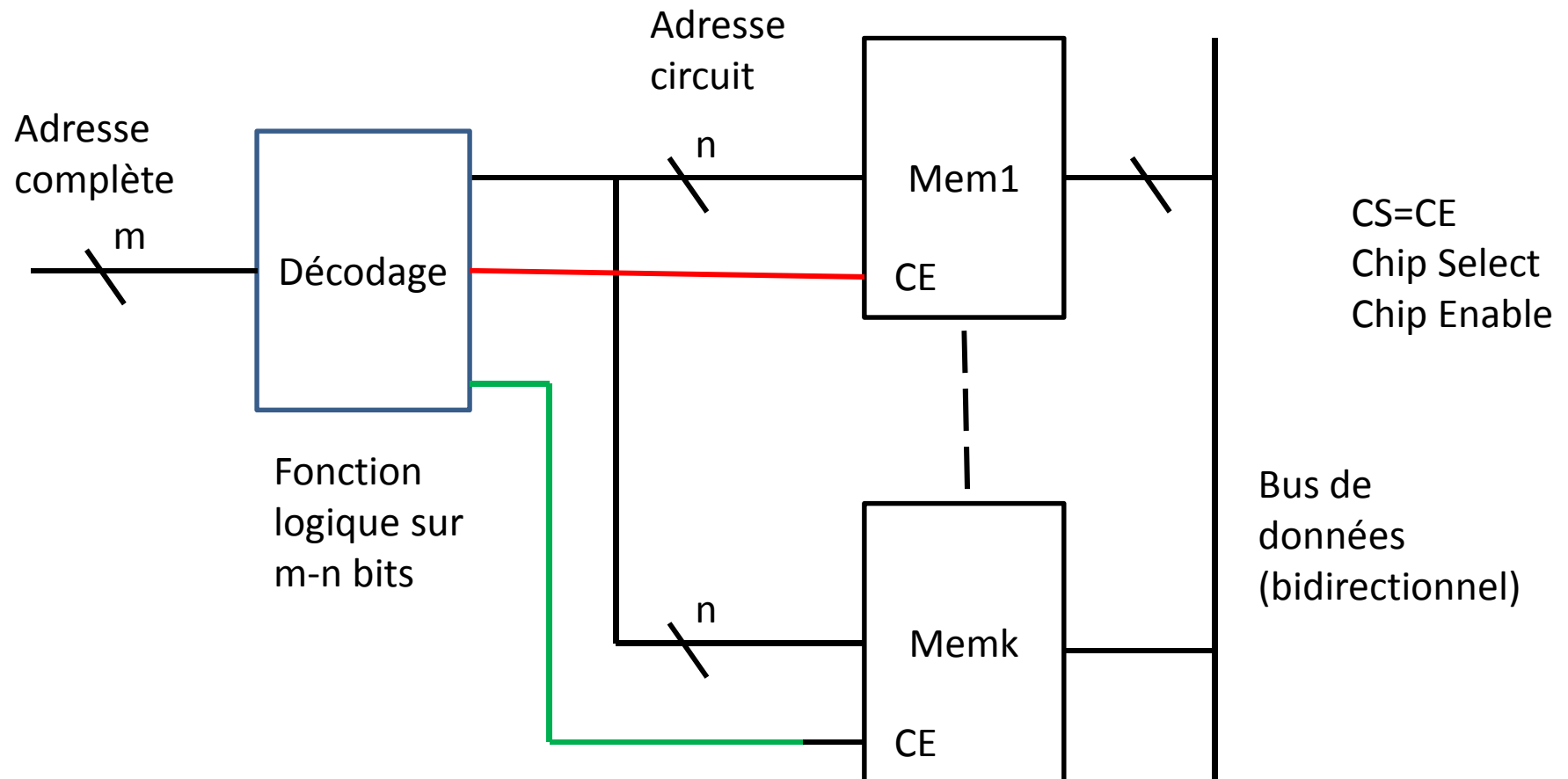
Segmentation vs Pagination

Problèmes différents. Techniques combinables

- Segmentation : découpe les processus en zones linéaires (gestion différente : segments propres ou partagées, lus, écrits ou exécutées).
Protection des processus entre eux.
- Pagination : découpe la mémoire réelle en pages non contiguës de même taille. Elles peuvent être allouées dynamiquement.
Le mémoire virtuelle peut être de taille supérieure à la mémoire réelle.

MMU : décodage d'adresse

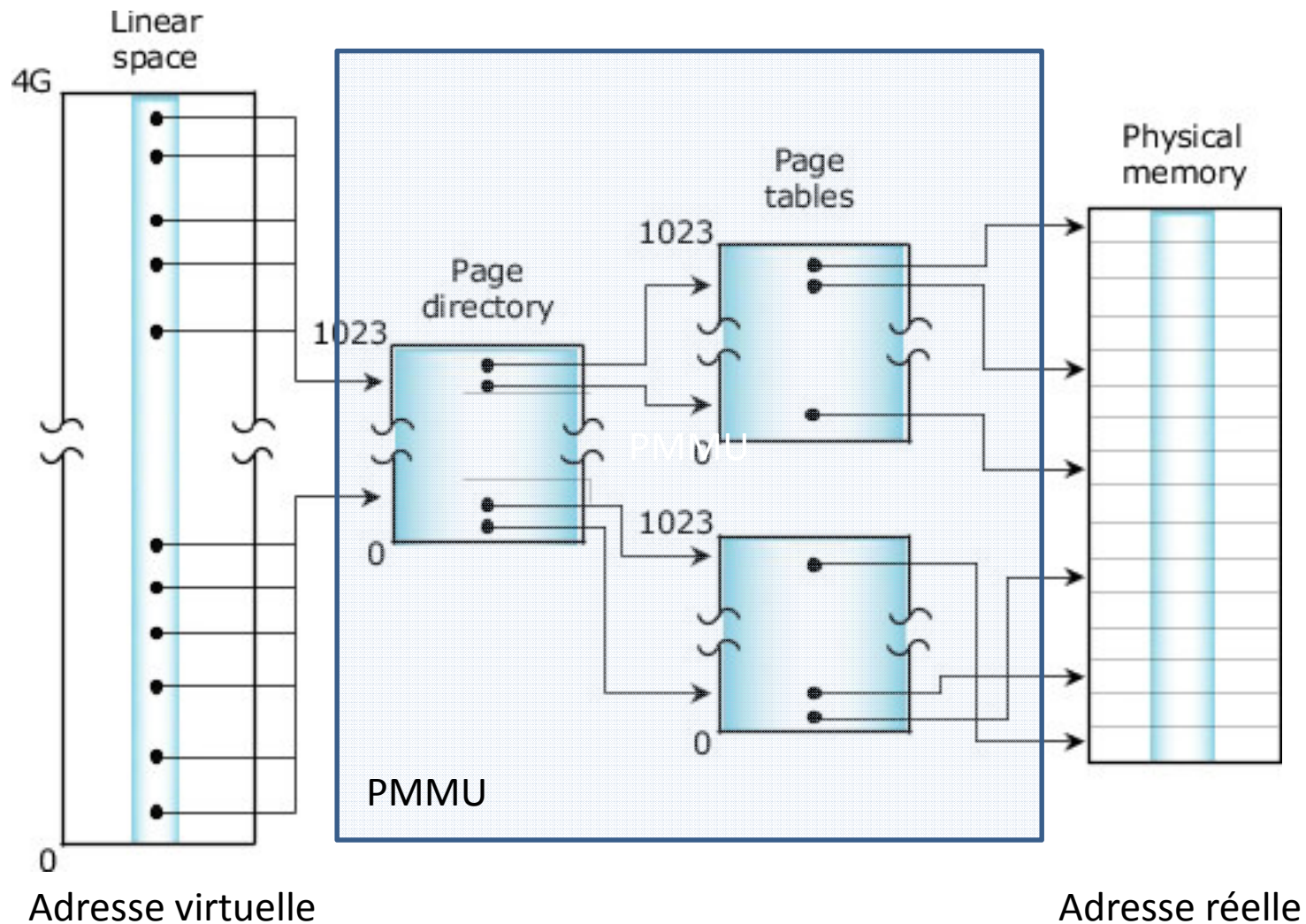
(Mode basique) : petits boîtiers / grosse mémoire



(P)MMU : principes

- Espace d'adressage virtuel divisé en pages
(puissance de 2, 4-64 kilo-octets ou rarement plus)
 - L'adresse est découpée en offset dans la page
(partie basse) et numéro de page (partie haute)
- La MMU contient une mémoire de pointeurs
 - Table des pages (PTE) : une entrée par page
 - Numéro de page → adresse réelle
 - Cache associatif (translation lookaside buffer/TLB)
 - Informations complémentaire sur la page
- OS → Chaque applicatif a des pages privées

(P)MMU : principes



(P)MMU : principes

- Algorithme de gestion « intelligente »
 - Pointeur sur RAM inexistante (ou en panne)
 - Prévient l'OS
 - Cherche une solution « ailleurs »
 - Pas de page libre ➔ pagination (swap)
 - Accès invalide (par non propriétaire de la page)
 - Prévient l'OS : segmentation fault (bug ou fraude ?)

Stratégies de gestion de mémoire

(introduction)

Adresse : virtuelle (programme) → réelle (mémoire)

Segment : base (non modifiable par l'application)

Adresse dans le segment : déplacement

Adresse = Base + déplacement

Code relogeable par modification de la base

Zones mémoire

Programme

Données fixes

Pile (sauvegarde de contextes) [gestion par push/pop]

Tas (données dynamique)

Gestion du tas (heap)

Allocation dynamique (new/delete – malloc/free)

- Tas organisé en segments : occupés ou libres
- Segments libres chaînés entre eux (pointeurs)
- Demande de mémoire (gestionnaire de mémoire)

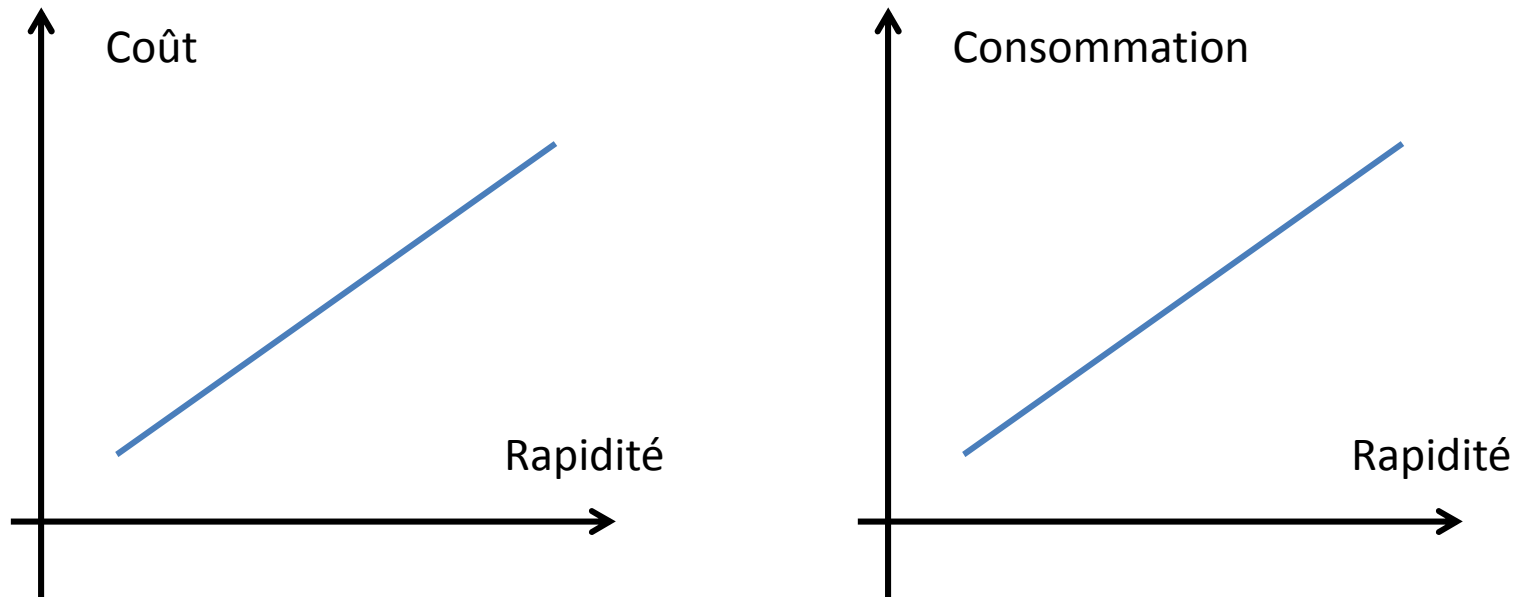
➔ allouer segment libre / marquer occupé

pas de segment assez grand ➔ ramasse-miette (ou garbage collector) = restructuration du tas

Ramasse-miettes: déplacer données/màj pointeurs

Erreurs : pas de libération de la mémoire ➔ problèmes

Constat technologico-économique



Le concepteur doit trouver le meilleur compromis entre les performances, l'encombrement et le coût dans le cadre d'une faisabilité technologique

Organisation mémoire

Dénomination et temps d'accès

- Registres (1 ns) : D flip-flop
- Cache L1 (3-5 ns) : SRAM
- (Cache L2/L3)
- Mémoire centrale : DRAM (10-100 ns)
- Mémoire de masse : SSD ou DD (100 μ s)
- Mémoire en ligne : Cloud (???)

Mémoire cache (étymologie : cachée)

- Mémoire rapide entre le processeur et une mémoire plus lente (invention Grenoble 1960)
 - Algorithme de gestion du cache
 - Information demandée présente : hit
 - Information absente : miss ➔ solution ?
 - Plusieurs niveaux possibles
 - Dans la processeur L1 (et L2 (et L3))
 - Sur la carte mère
 - Contrôleur de dispositif externe (Disque par exemple)
 - Dans les applications (logiciel)
- ≠ tampon (buffer) : juste copie temporaire

Mémoire cache : hypothèses

- **Localité spatiale** : l' accès à une donnée située à une adresse X va probablement être suivi d'un accès à une zone proche de X
(rôle du compilateur)
- **Localité temporelle** : l'accès à une zone mémoire à un instant donné a de fortes chances de se reproduire dans la suite du programme
(rôle du programmeur ?)

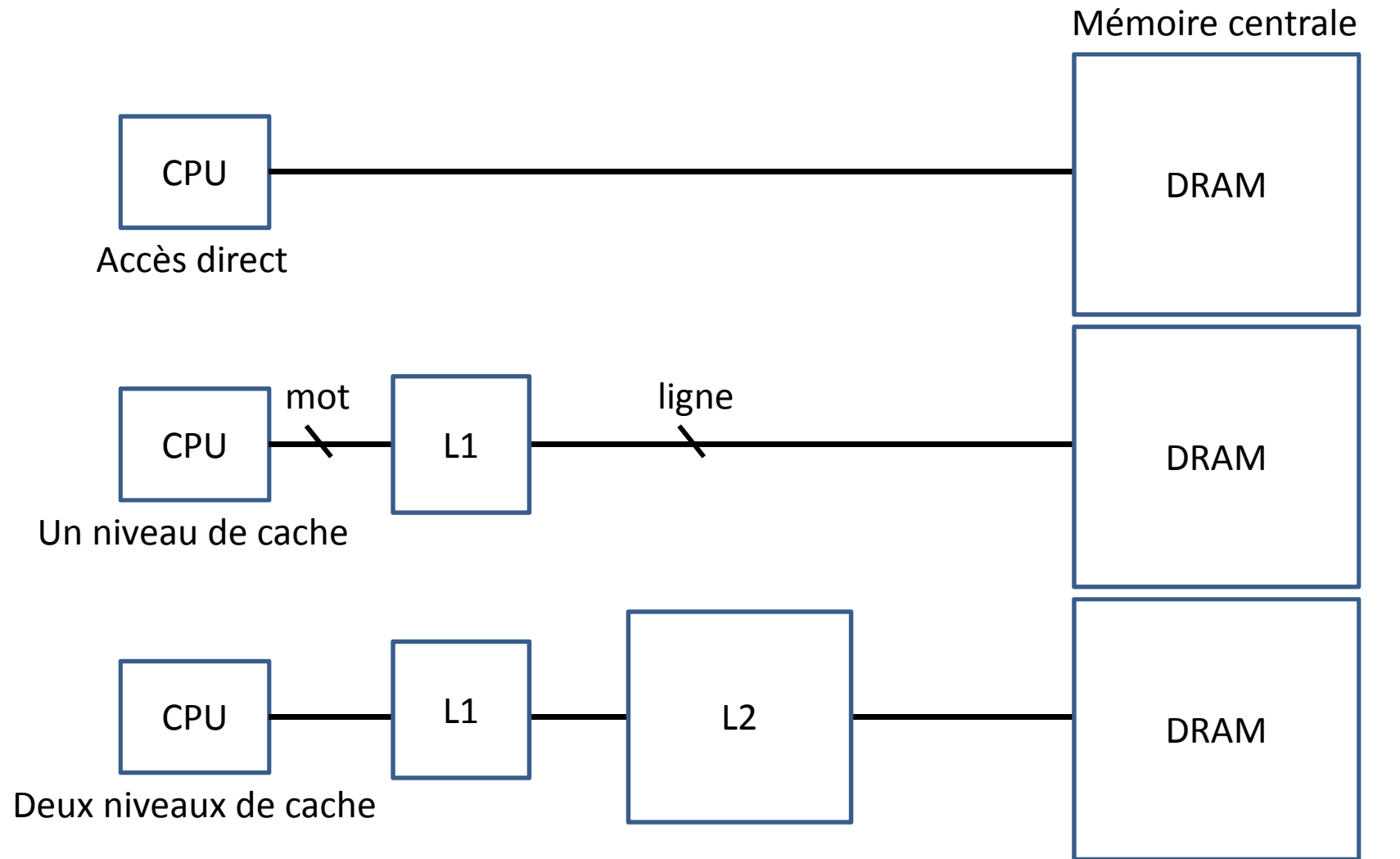
Mémoire cache : principe

- Zone mémoire copiée dans le cache (mode burst)
- On travaille sur la copie
- Le processeur demande une donnée
Gestionnaire de cache vérifie disponibilité
 - ➔ disponible (hit) : donnée transmise
 - ➔ indisponible (miss) : demande au fournisseur
Le fournisseur fournit l'info
Le cache stocke (localité)

Optimisations

- Cache = SRAM (rapidité)
- Caches (bas niveau) : mots longs pour accélérer
- Taille du cache : paramètre technologique pour décliner (artificiellement) une gamme de μ proc
- Cache unifié
 - Le même pour données et instructions
- Caches séparés
 - Un cache données, un cache instructions

Cache : architecture



Mot : unité d'info du processeur / Ligne : unité d'info de la RAM (par exemple 4 mots)

4 types de défauts de cache

- Défauts **obligatoires** : première demande
- Défauts **capacitifs** : données nécessaires excèdent la taille du cache
- Défauts **conflictuels** : deux adresses de la mémoire (niv. sup.) enregistrées au même endroit et s'évincent mutuellement
- Défauts **de cohérence** : invalidation de lignes du cache pour conserver la cohérence entre les différents caches

Notion importante

Performances comparées

- Systèmes AMD 16 cœurs : rapport de vitesse entre un accès au cache et un accès à la mémoire centrale de **100**
- Tests sur Intel Xeon montrent : même ratio
- Ce facteur croît avec le nombre de cœurs
- Performance
 - optimisation des applications : minimiser « miss »
 - Méthodes de gestion des caches

Mapping

- Association DRAM/cache ?
 - Complètement associative
 - Chaque ligne de DRAM peut être écrite n'importe où dans le cache : une ligne est associée à son adresse réelle
 - logique très lourde
 - Directe : 1 adresse mémoire = 1 seule adresse cache
 - Simplicité de mise en œuvre
 - Une « page » n'est associée qu'à une seule adresse réelle
 - N-associative : N ensembles associatifs
 - Compromis

Politique d'écriture

cache → centrale

Processeur modifie cache = 2 copies différentes :
comment garder cohérence :

- Write-through : cache/centrale en même temps
- Write-back : copie dans la centrale seulement quand l'adresse est invalidée dans la cache (un bit de modification permet de n'écrire que si modification effective)

Algorithme de remplacement des lignes de cache

centrale → cache

- Aléatoire (facile à implémenter)
- FIFO (First In First Out) : facile à concevoir
- LRU (Least Recently Used)
- FINUFO (First In Not Used, First Out) (dit algorithme de l'horloge ou Clock) : approximation du LRU
- ...

Gestion de haut niveau

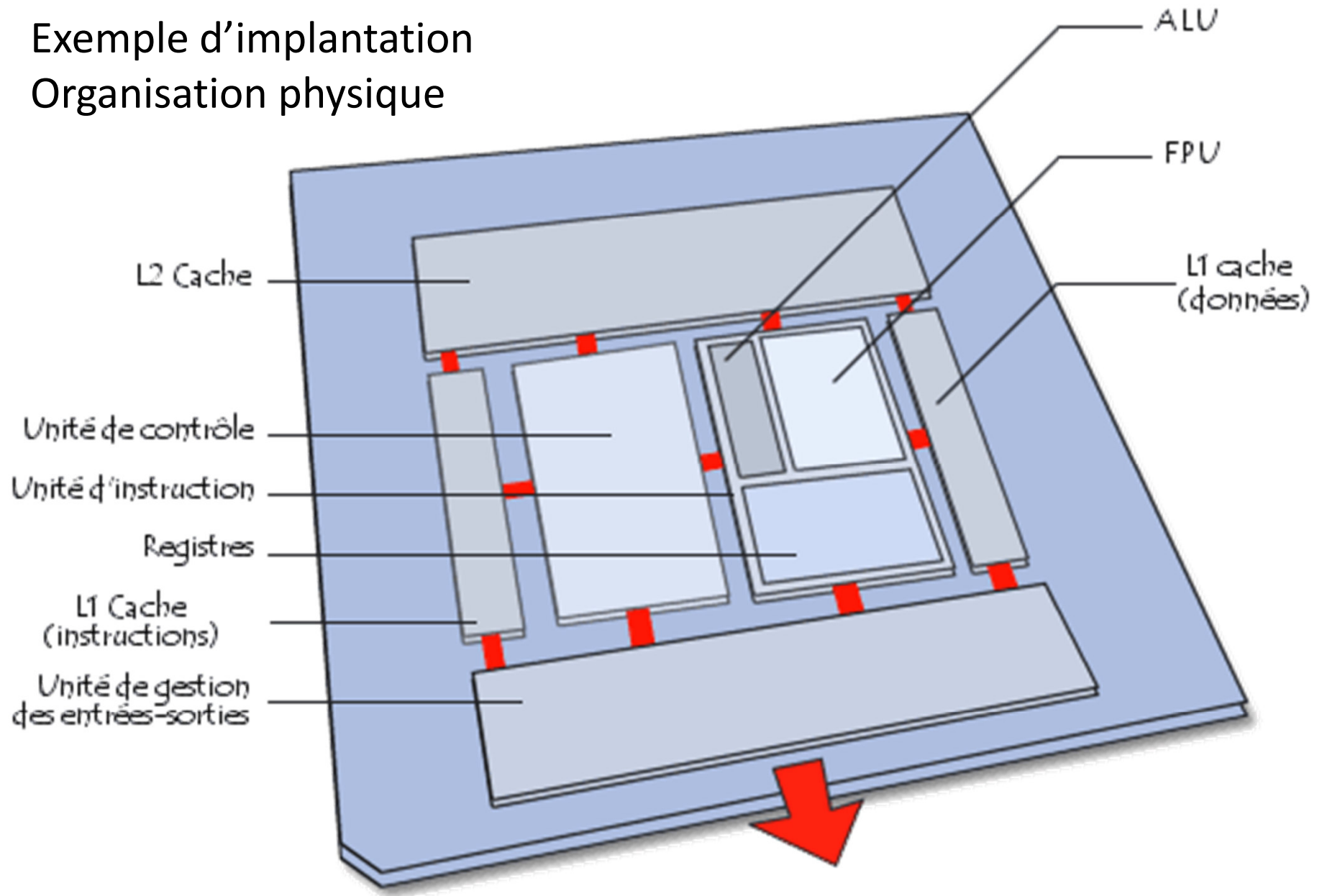
- Sort du cadre « Architecture pure »
- Niveau « informatique » (logiciel)
- Notion abordées dans les autres modules
(et certainement redéfinies)
 - OS
 - Système
 - ...

DMA : Accès direct à la mémoire

Transférer des données d'un support à un autre

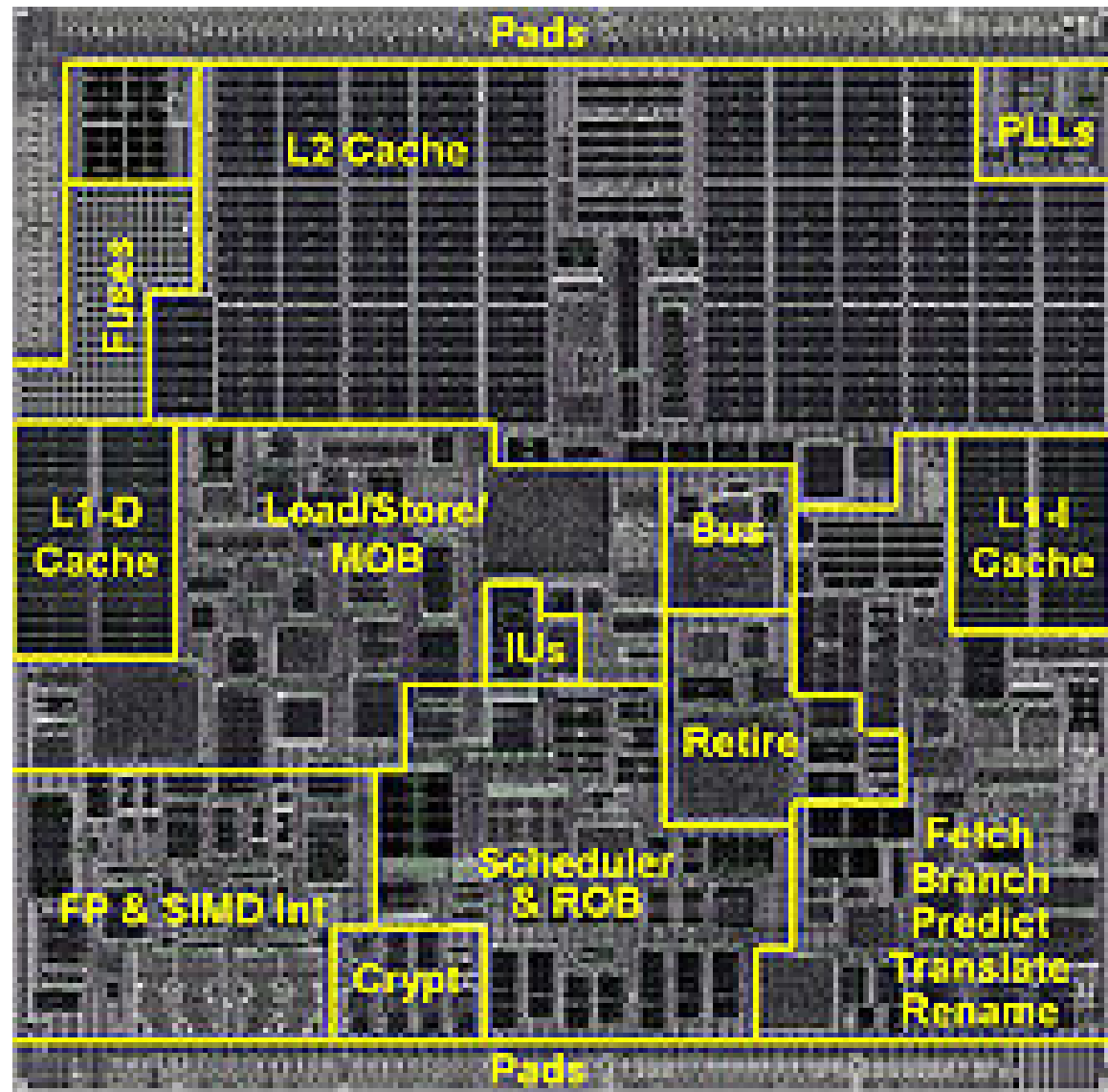
- Normal : processeur lecture/écriture → lent
- DMA : Le contrôle du bus est confié temporairement au contrôleur DMA (du périphérique). Accès direct mémoire/mémoire ou périphérique sans passer par le processeur → rapide
- Si le processeur a besoin d'accéder au bus
→ Conflit : Vol de cycle du DMA

Exemple d'implantation Organisation physique



Processeur VIA-NANO

Compatible x86



Clarkdale/Arrandale Architecture

Illustration

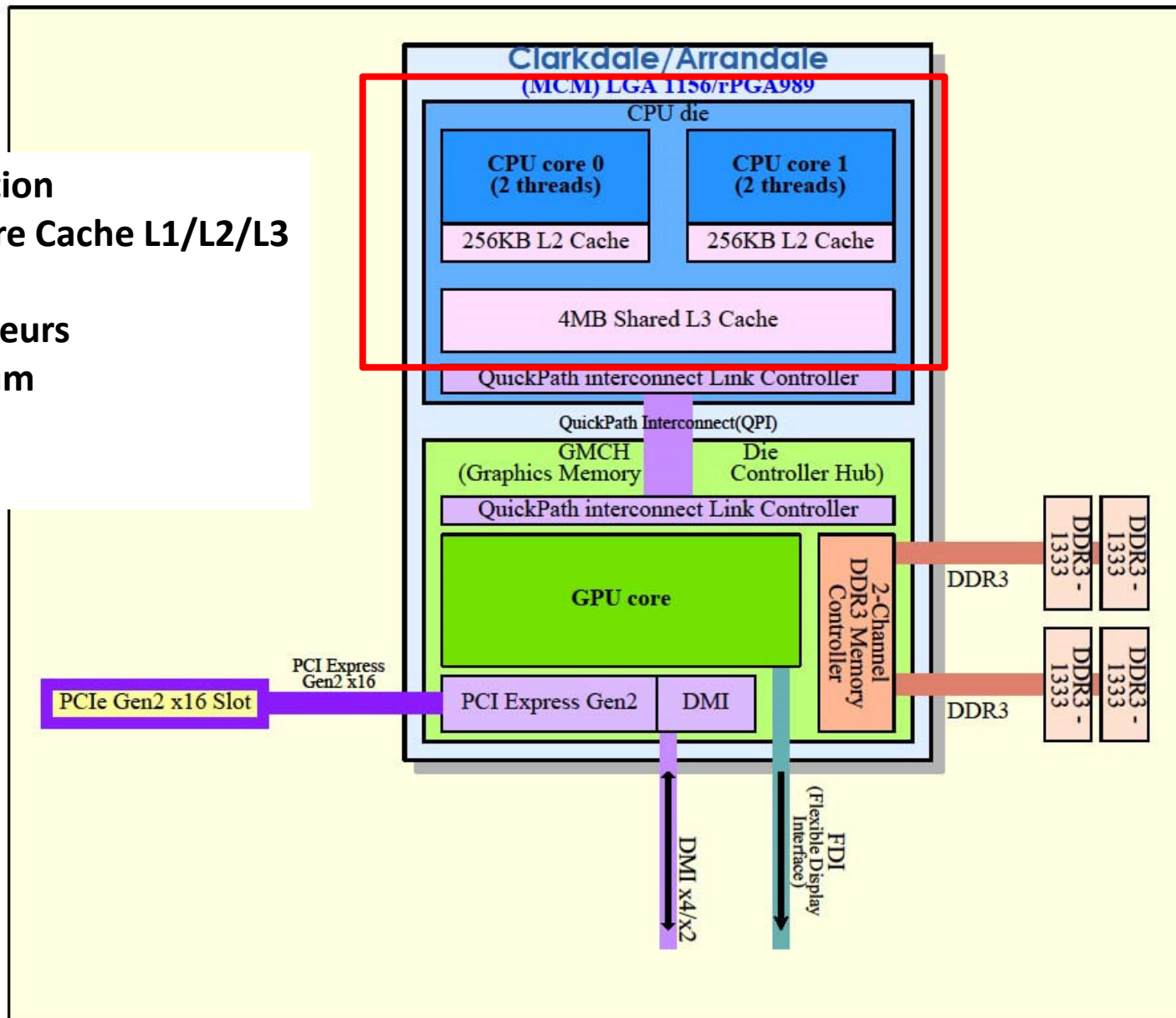
Mémoire Cache L1/L2/L3

Processeurs

- Pentium

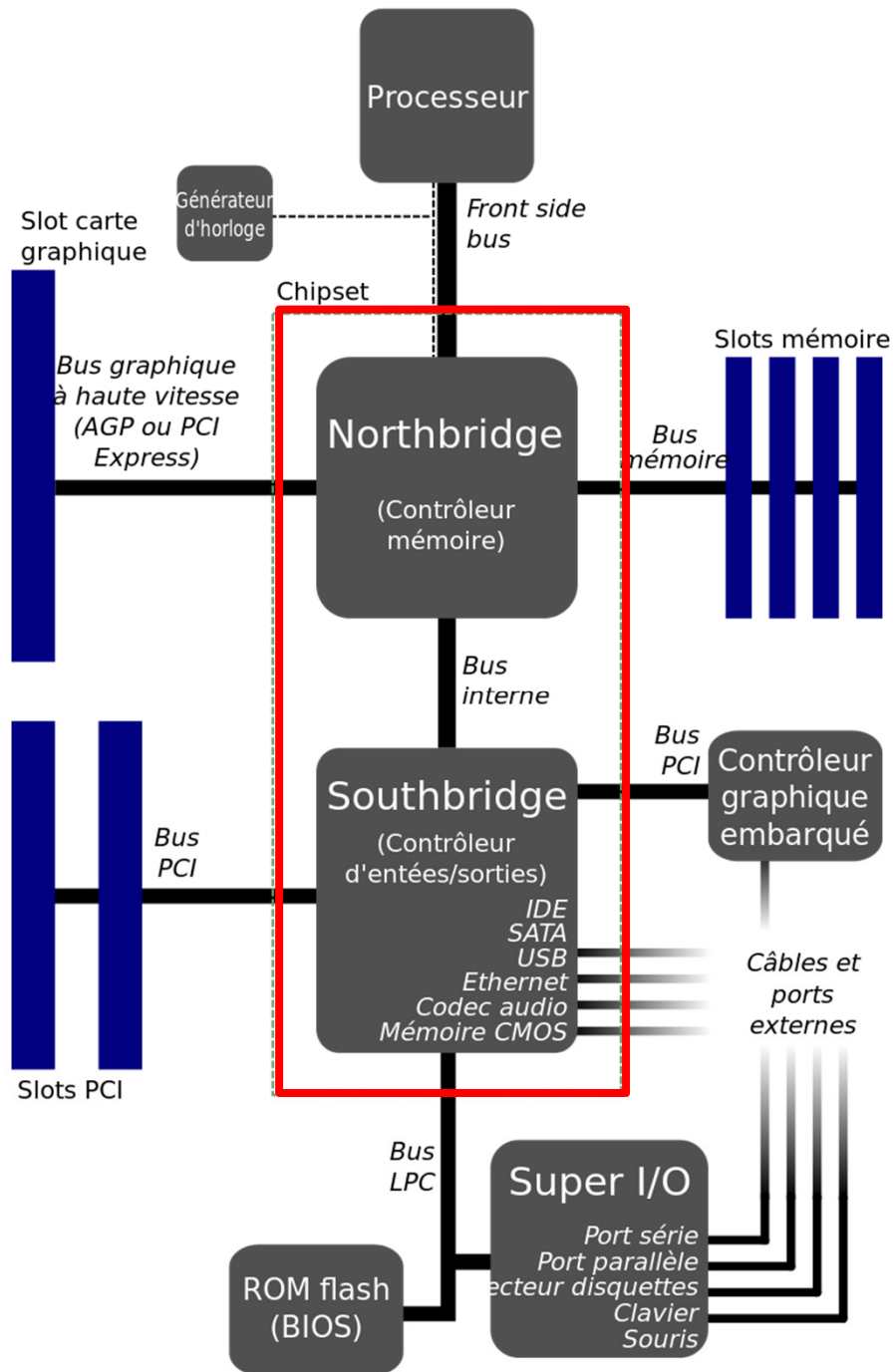
- I3

- I5



Chipset

- Composants « compagnons » d'un μ proc
- Rôle : gérer des flux données entre le μ proc et les divers composants et sous-ensembles de composants de la carte mère
bus système, mémoire centrale, Bus IDE ou Serial ATA, PCI, AGP, disque dur, réseau, port série, port parallèle, USB, FireWire, clavier, souris, Entrées-Sorties, carte graphique, carte son ...



Exemple

Relation BUS – Chipset (Intel)

