

Architecture de Ordinateurs

Module 7

Processeurs « spéciaux »

Dr. Yannick HERVE

V 1.1

Plans

- Microcontrôleurs
- DSP : Digital Signal Processing
- GPU : Graphical Processing unit
- Processeurs asynchrones
- Processeurs synthétisés : SoftCore
- Architectures parallèles (taxonomie)

Microcontrôleurs

Microcontrôleurs (μ C/MCU)

- Système intégrant mémoire et périphériques
 - Objectifs : compacité, simplicité, consommation
- Invention : 1971, Texas Instrument
 - TMS 1000 : MCU 4 bits avec RAM et ROM
 - 1976 : Intel 8048, 1980 : Intel 8051 (toujours vendu)
- Tendances actuelles
 - Systèmes embarqués, Systèmes connectés (IoT)
 - System On Chip (avec capteur « analogiques »)
 - Avec FPGA locale intégrée, programmation JTAG

Contenu (exemple)

- CPU de 4 bits ... 32 ou 64 bits, mode veille efficace
- RAM : données et variables
- ROM (Flash) : programme
- Oscillateur ➔ horloge (RC ou Quartz)
- Périphériques
 - CAN/CNA
 - Générateurs PWM/MLI (*Pulse Width Modulation*)
 - Timers, compteurs d'impulsions, chiens de garde
 - Contrôleurs de bus : UART, I²C, SSP, CAN, USB ...
 - Pile Ethernet
 - ...

Et en plus

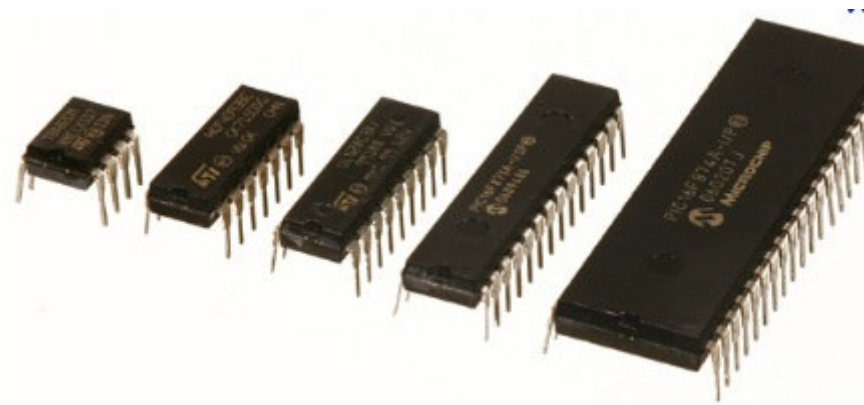
- Le CPU peut être (issu d')un CPU classique
- Récent : multi-core
- C'est la famille de processeur la plus répandue
 - Objet moderne ➔ au moins un MCU
 - +20% par an en volume ($\approx 40-80$ par voiture standard)
 - 35 milliards d'unité en 2019 (utilisation ≈ 100 /pers/jour)
 - 45 milliards par an en 2022 (prévision)
 - +10% en valeur

Quels périphériques/tailles mem ?

- Compromis délicat
 - ➔ Constructeur : Familles et sous familles
- Utilisateur
 - ➔ Choix complexe
 - besoins de l'application
 - besoins de l'évolution potentielle/prévue

Exemple : PIC

- Architecture RISC/Harvard
- 1MIPS/MHz
- Horloge : entre 20 et 64 MHz



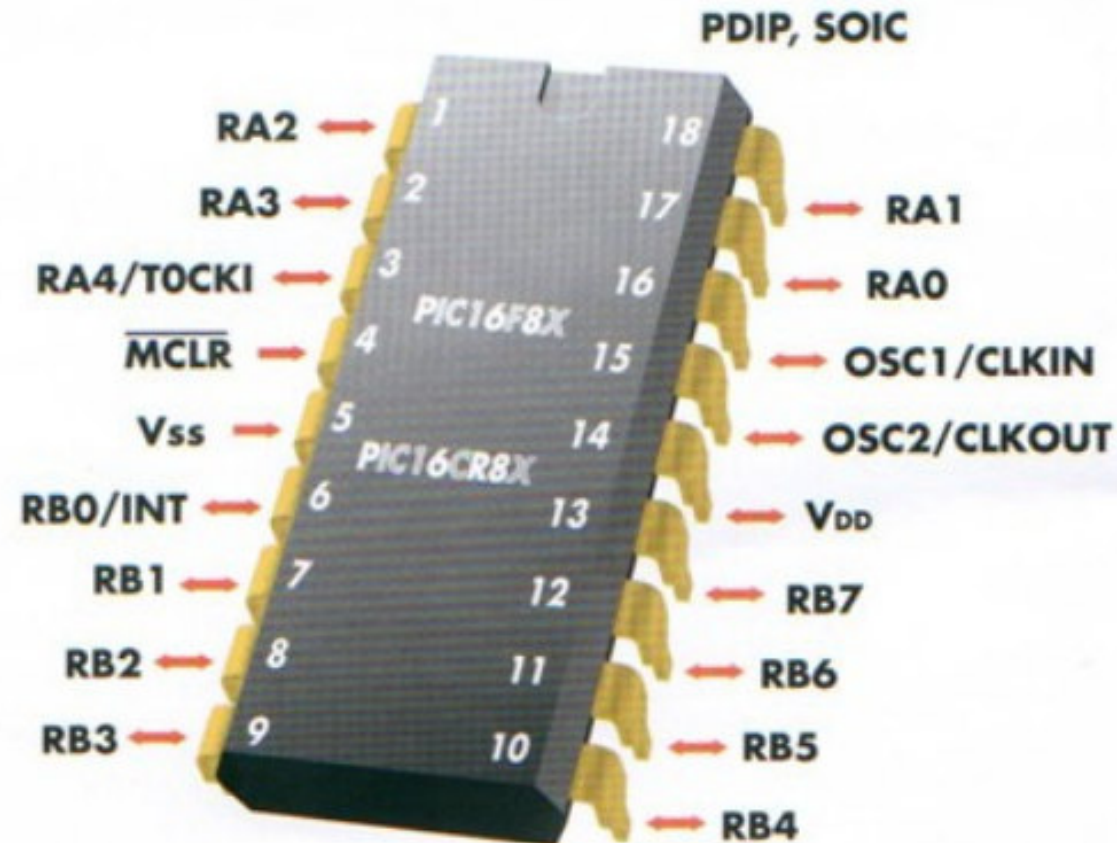
Prix bas / outils gratuits

Trois sous-familles
(taille instruction)
Baseline : 12 bits
MidRange : 14 bits
HighEnd : 16 bits

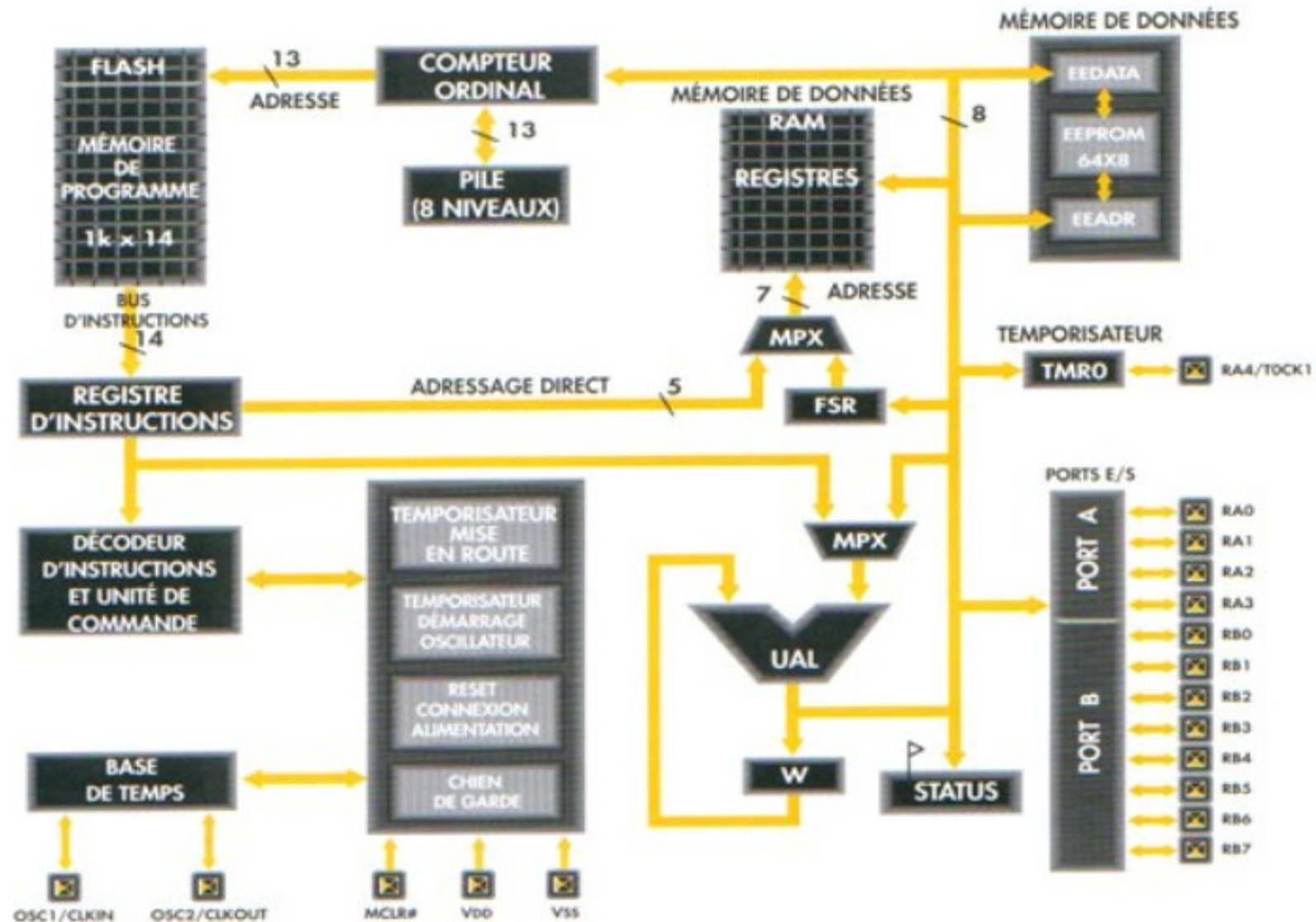
PIC16F84

- DIP18

Farnell (3/8/19)
4,13€HT/unité
3,91€HT/100



PIC16F84 : architecture



Détails (1)

- Deux bancs/bus instructions/mémoire
 - 1K*14bits flash programme / 256*8bits données
 - 0h : vecteur reset, 4h : vecteur d'interruption
 - 8 niveaux de pile interne
- ALU simple, registre de travail
- Ressources
 - Ports d'I/O, Temporisateurs, Interruptions
 - Chien de garde, Mode sommeil
- Une instruction = 4 cycles d'horloge
 - Horloge externe divisée par 4 en interne

Détails : I/O

- 2 ports : A (5 bits) et B (8 bits)
- Port A : chaque bit IN ou OUT
 - A(4) multiplexée avec horloge du timer TMR0
- Port B : chaque Bit IN ou OUT
 - B(0) permet de déclencher l'interruption INT
 - B(4)...B(7) permet de déclencher RBI

Détails : mémoire de données

- Deux espaces
 - RAM : 68 octets, volatile
 - SFR : 12 registres internes
 - Espace utilisateur
 - EEPROM : 64 octets, non volatile
 - R/W
 - Registres EEADR et EEDATA
 - Contrôle EECON1 et EECON2
- Séparée en deux banc (banques) switchables
 - 128 octets chacun (sous contrôle de RP0)

Détails : instructions

RISC : jeu très réduit

- 9 opérations sur des octets
- 10 opérations sur des bits
- 11 opérations de contrôle / sur les littéraux

Précisions

- JTAG
- MLI

Voir module 10 Spécifique ATMega328

La suite de ce cours et les applications ➔ Abir Rezgui

DSP

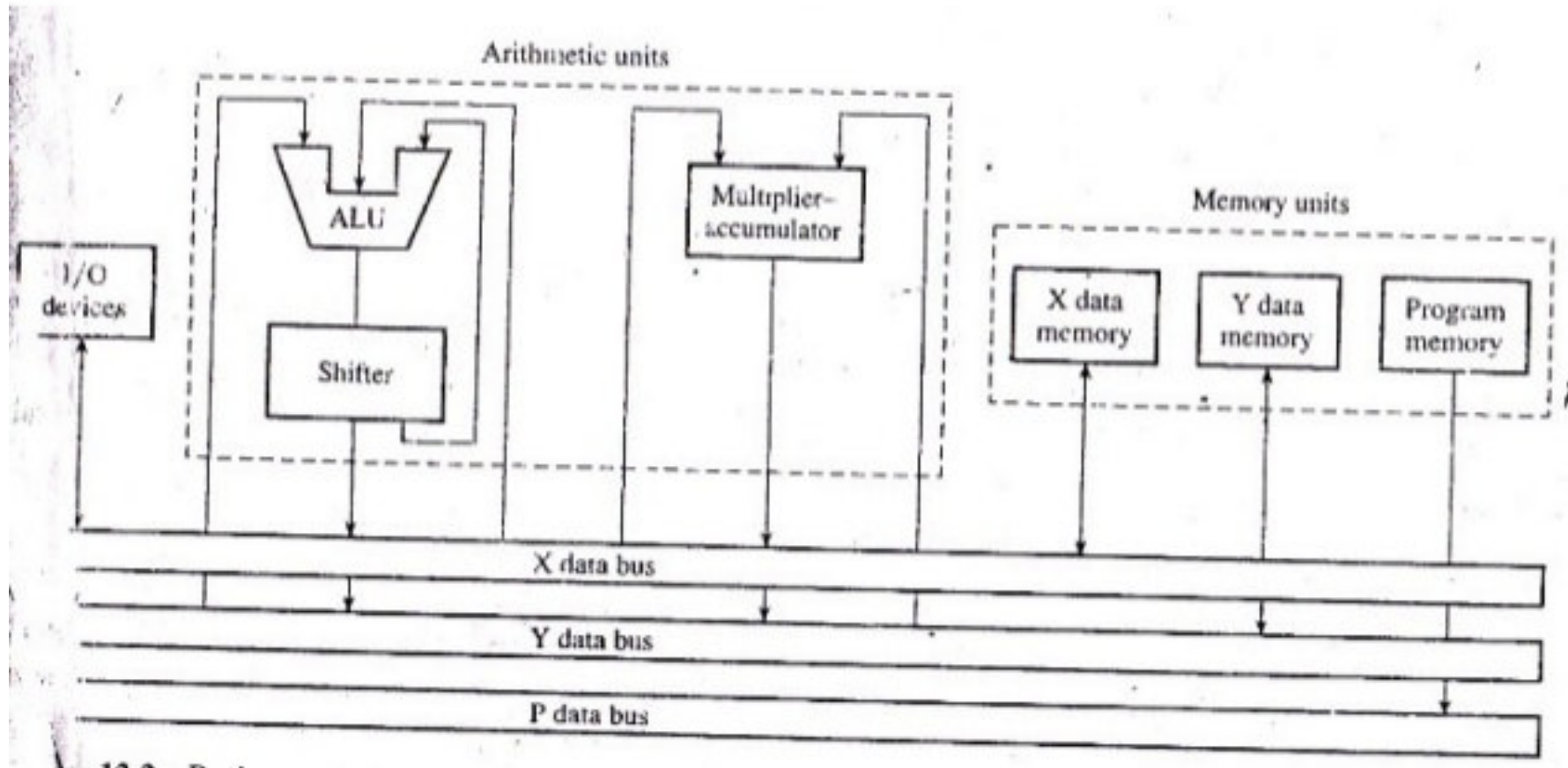
DSP : Digital Signal Processor

- Objectif : temps réel (voix, vidéo ...)
- Processeur optimisé pour le traitement de signal
- Architecture Harvard modifiée
- Une (ou plus) multiplication-accumulation par cycle
En général, format de données : entiers
- Bus d'I/O à haut débits : séparation entrée et sortie
- Interfaces pour ADC/DAC ou internes
- Traitements itératifs/vectoriels optimisés

DSP : Digital Signal Processor

- Utilisation (filtrage généralisé)
 - Voix
 - Vidéo (filtrage, compression ...)
 - Traitement d'image
 - Crypto
 - Radio logicielle
 - IA
- De plus en plus remplacés par des GPU

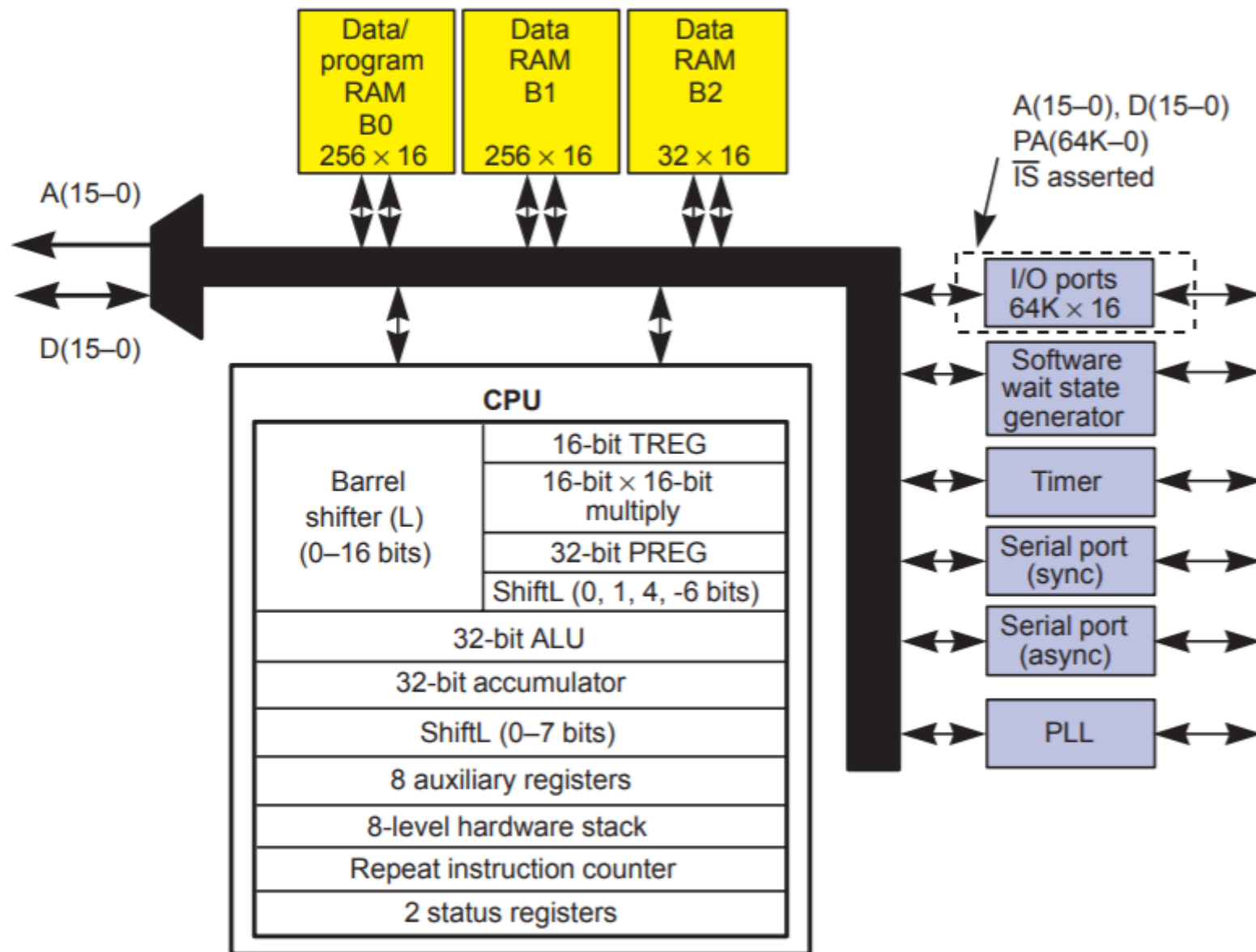
DSP : architecture simplifiée



Famille TMS320

- Introduit par Texas Instrument le 8 avril 1983
 - TMS 32010
- Architecture Harvard modifiée
- Fast Multiply and Accumulate ALU (FPU)
- TMS320C1x : 1ère génération, 16 bits virgule fixe
- TMS320C3x : 2^{ème} génération, 32-bit floating point
- TMS320C8x, multiprocessor :
a 32 bit floating "master processor" / 4 32-bit fixed-point
- Actuels : DSP multicore + microcontrôleur

TMS320C203/LC203 Block Diagram



GPU

GPU : Graphical Processing Unit

- Architecture spécialisée pour le graphique
- Algorithmes spécifiques « câblés »
 - Evolution vers modules Super-ALU
- Capacités « généralistes » (ex : minage monnaies)
 - GPGPU : General Purpose GPU
- Module interne ou co-processeur
- Toutes les « astuces » architecturales
 - Massivement parallèle
 - VLIW, Vectoriel, Pipeline, SIMD/MIMD


GPU : définitions

Processeurs de flux (ou clusters)

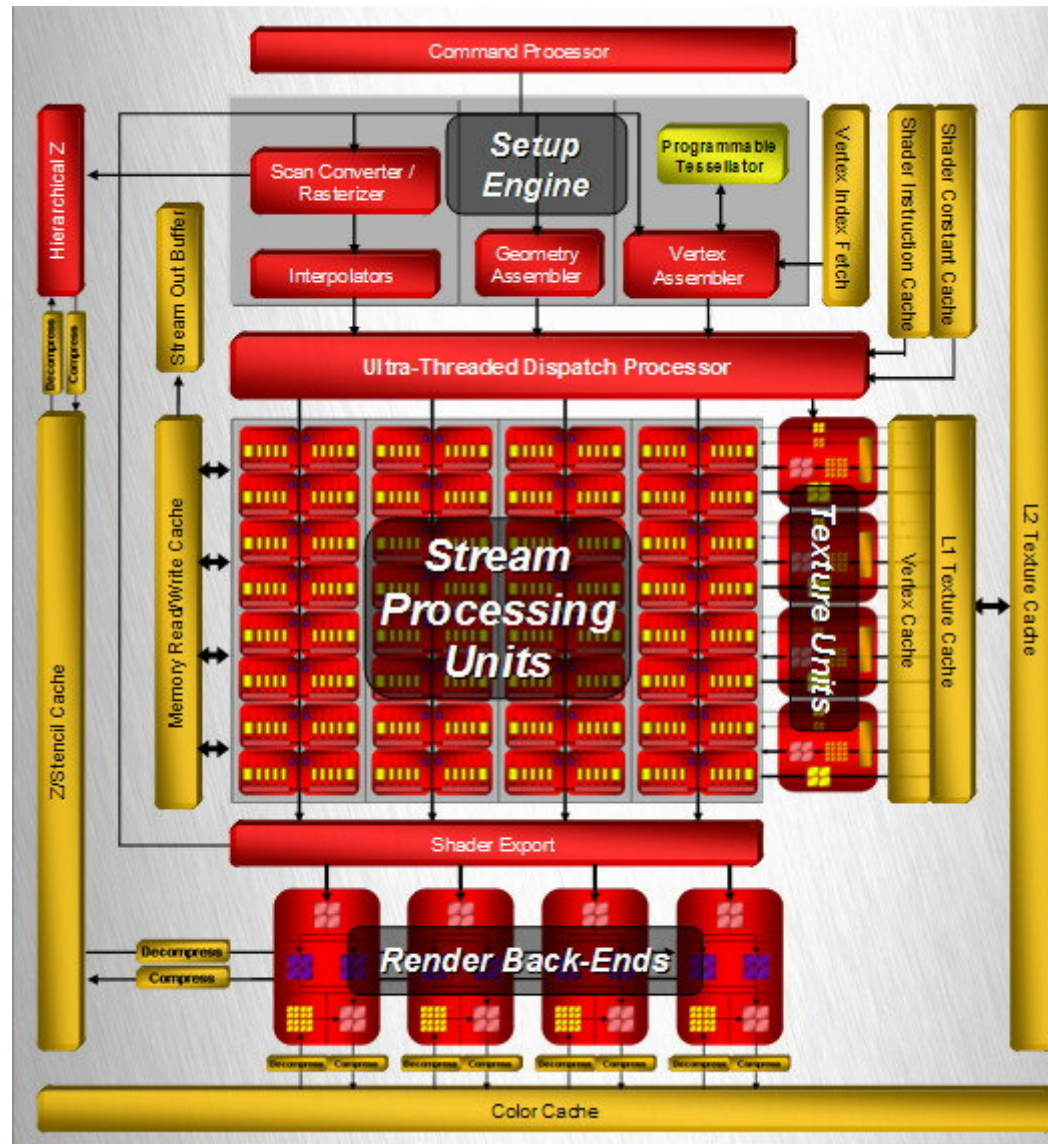
- **Stream Processors** : calculs flottants (32 ou 64bits)
- **Raster Engines** : Polygones
- **Texture Mapping Units (TMU)** : textures sur poly
- **Render OutPut Units (ROP)** : filtrage

- **Shader engine** = Raster + Geometry (ou Tessellation)
- Shaders engines gérés par **Setup Engine**

GPU RADEON HD2000

- Puce R600
 - 320 processeurs de flux : 5 blocs de 64 unités
 - Vectoriel 5D (nom commercial) ou VLIW5
 - 5 instructions (si indépendantes)
 - Registre vectoriel de 64 bits
 - Traite 320 éléments  par cycle
 - Unités de calcul MIMD (instructions différentes)
 - Opérateurs 16/32 bits entiers ou 32 bits décimaux
 - Une unité (sur 5) : calculs spéciaux trigo, log ...
 - 2,7 Tflops théorique

R600 architecture

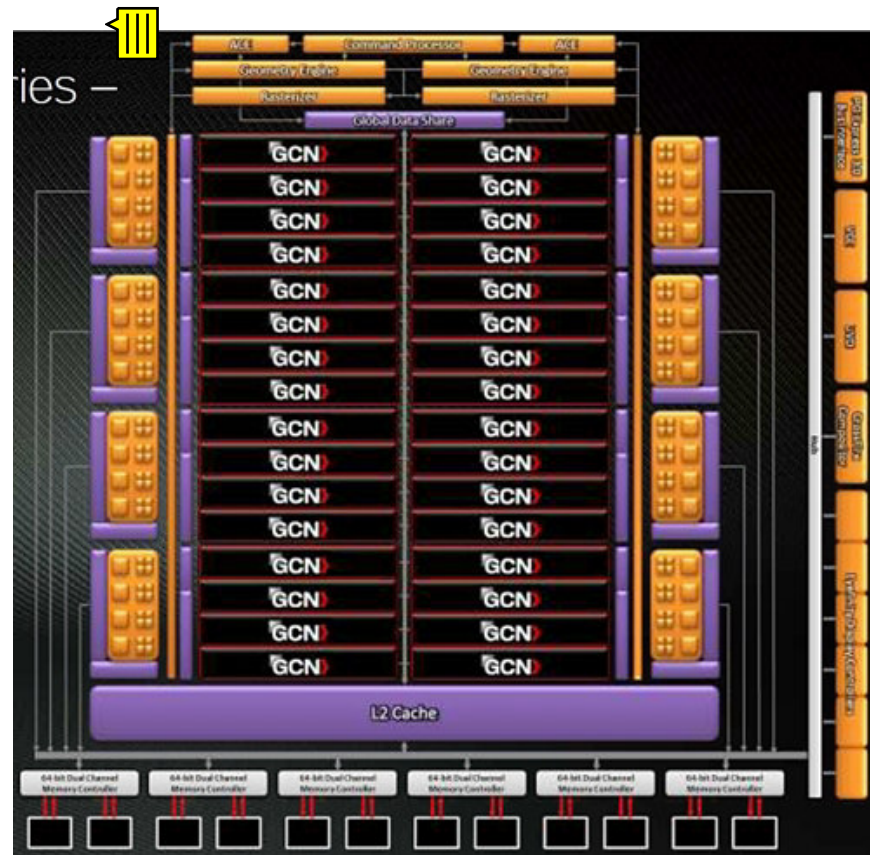


GPU RADEON HD7970

- Puce R900 : VLIW → scalaire
 - Version max : 4,31 milliards de transistors
 - Mémoire : 3012 Ko, Bus 384 bits, GDDR5, 264GB/s
 - Cache L2 de 768 ko
 - 2048 stream processors
 - 128 TMU / 64 ROP
 - Entiers 24 bits
 - Performances (+200 watts !!!)
 - 25600 GPx/s, 89600 Gtexture/s
 - 2867 GFlops32/s716 GFlops64/s

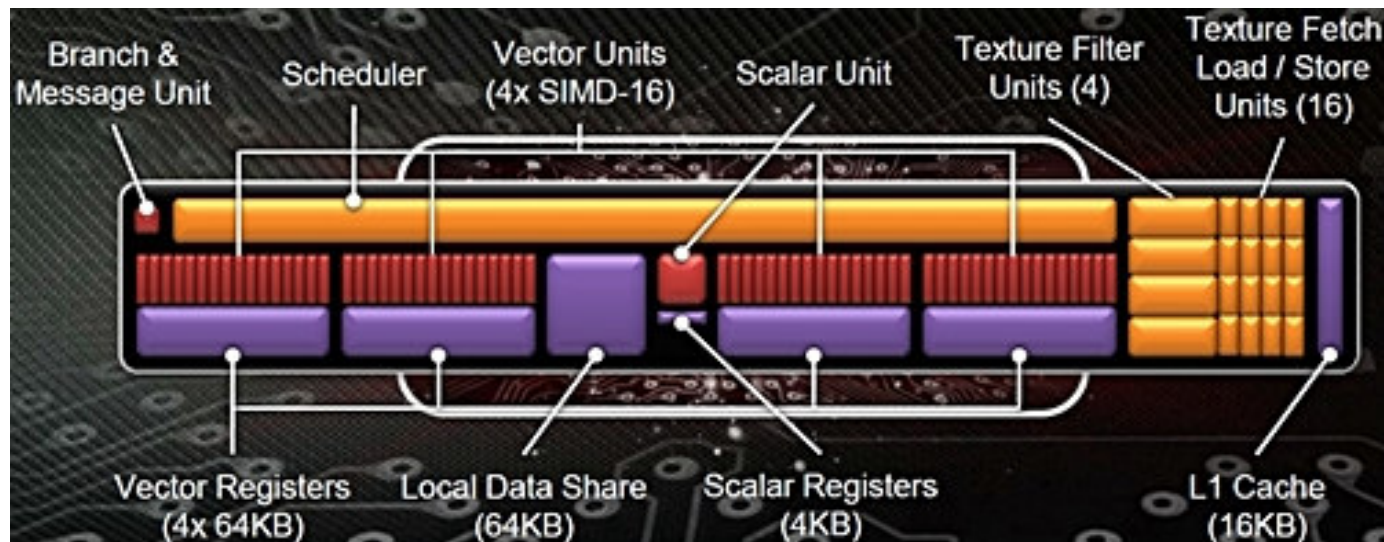
Radeon HD7990

- Deux 7970 en parallèle

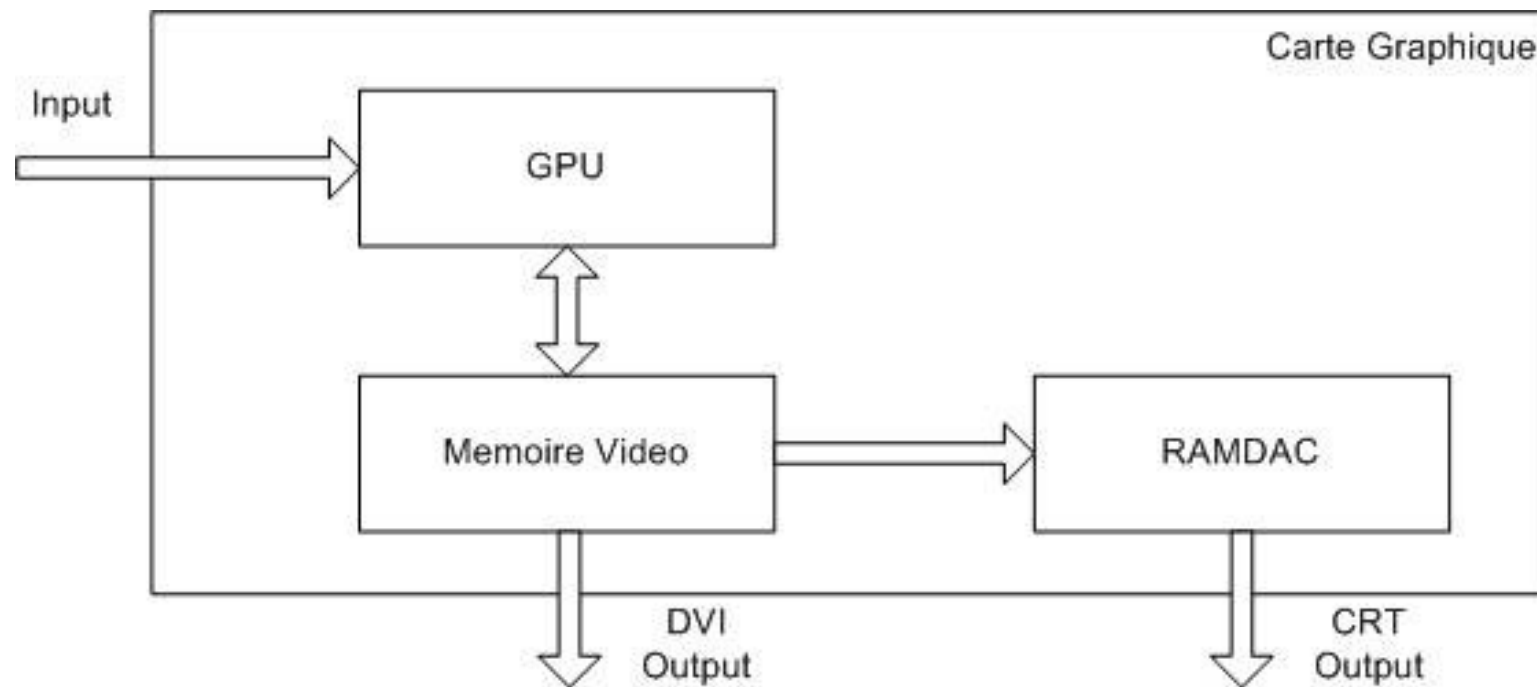


HD7000 architecture générique

GCN : Graphics Core Next



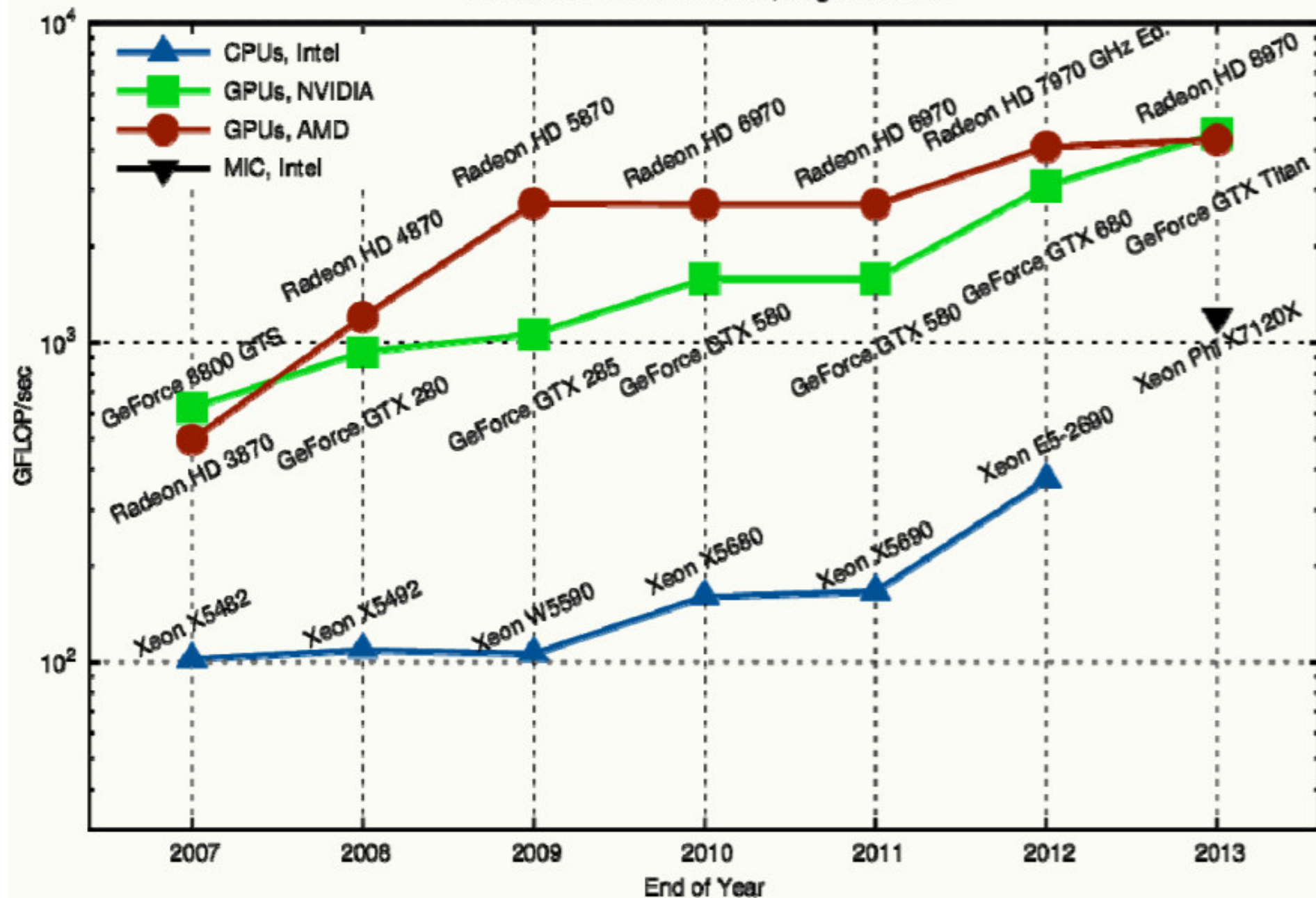
Sortie vidéo



Numérique
DVI/HDMI/Display-port

Analogique
VGA/DVI-A
(« bientôt » obsolète)

Theoretical Peak Performance, Single Precision



Processeurs synthétisés

SoftCore

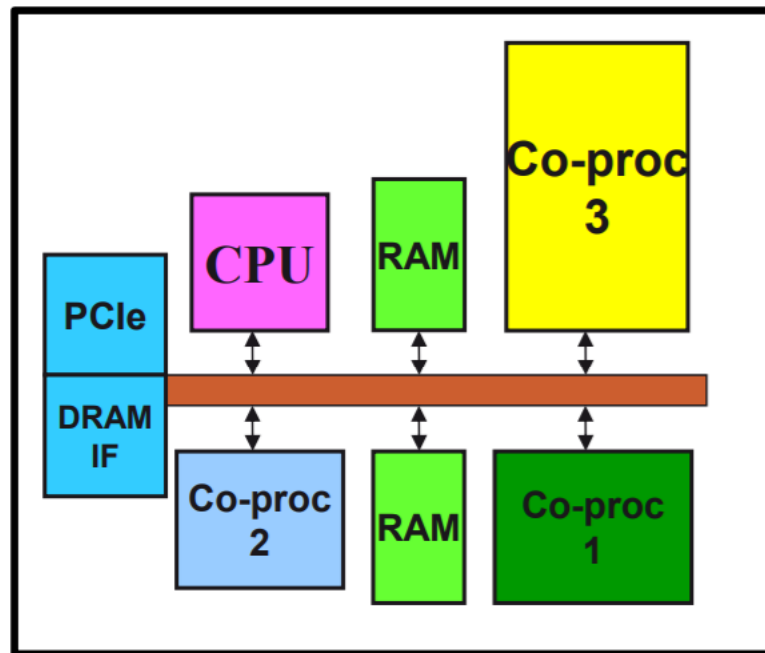
Processeur synthétisés sur FPGA

Softcore ou SoPC : System on Programmable Chip

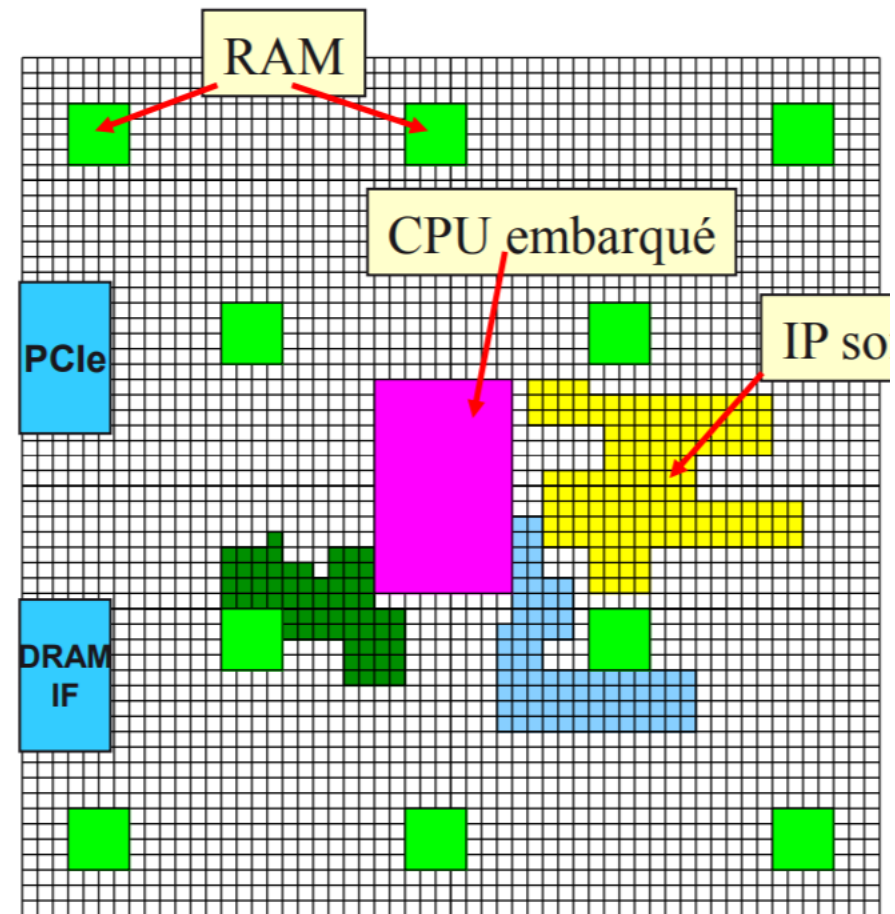
- FPGA : Composant générique programmable par l'utilisateur (avec des ressources existantes à connecter)
- Modèle générique de processeur
 - Choix architecturaux (simples)
 - Choix des périphériques
 - ➔ Synthèse logique

Exemples : MicroBlaze, NIOS, Igloo, ARM7, MIPS, Leon, LM32 ...

« Workflow »



Synthèse
logique



Description dans un
langage spécialisé (HDL)
VHDL par exemple

Ou achat d'un Hard-IP (primitive)

Implémentation physique pour utilisation

Le rêve des chercheurs

- Partie numérique et partie analogique
 - Les deux « configurables »
 - Ca existe
- Reconfigurable (**auto**) en fonction des besoins
 - Ca existe : configuration prévues à l'avance
 - **Ça n'existe pas encore**
- Piloté par une intelligence artificielle
 - Qui calcule la bonne configuration
 - **Pas encore**

Processeurs asynchrones

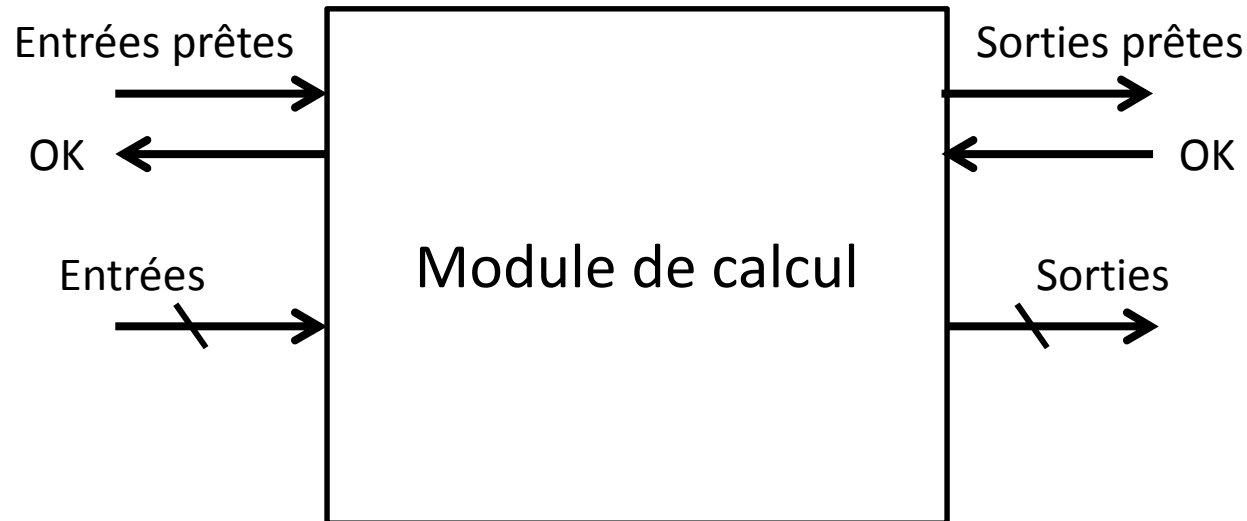
Processeurs asynchrones

- Problèmes des processeurs synchrones
 - Conception de plus en plus complexe
 - Synchro, vitesse limitée par la partie la plus lente
 - Arbre d'horloge (délai, gigue)
 - Parties non utilisées consomment
- Processeur asynchrone (auto-séquencé)
 - Handshake généralisé entre modules
 - Avantage : utilisation/conso/vitesse optimales
 - Difficulté : prédiction et interfaçage, séquenceur compliqué à synthétiser automatiquement

Synchrone ➔ auto-synchrone ➔ asynchrone

- Synchrone
 - une seule horloge globale
- Auto-synchrone
 - Le dernier module indique la fin de son calcul et remonte une impulsion dans la chaîne
 - Calcul automatique de « l'horloge » optimale
 - Curiosité de labo
- Asynchrone (recherches continues depuis 1953)
 - Modules indépendants avec synchro locale

Principe (simplifié)



Consommation jusqu'à 4 fois moindre à même vitesse : 80C51 asynchrone
Jusqu'à 4 fois la vitesse : MiniMIPS à même consommation

Vitesse automatiquement modifiée en fonction de la température
Pipeline « élastique »
Pollution électromagnétique minimisée

Autres notions

- Handshake (poignée de main) : échange d'accord
 - Codage sur 2 fils : REQ, ACK
 - Codage sur 1 fil : multiniveau
- Protocoles
 - Deux phases (NRZ)
 - Quatre phases (RZ)

Popularité ?

- Manque d'outils dédiés
- Manque de cursus de formation
- Hégémonie des gros acteurs « synchrones »

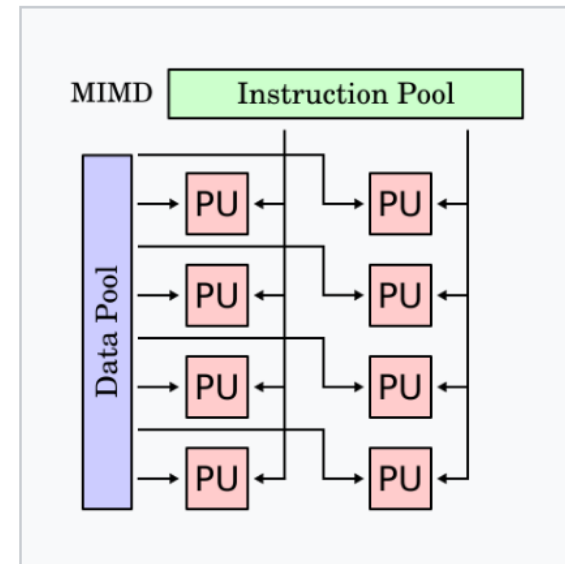
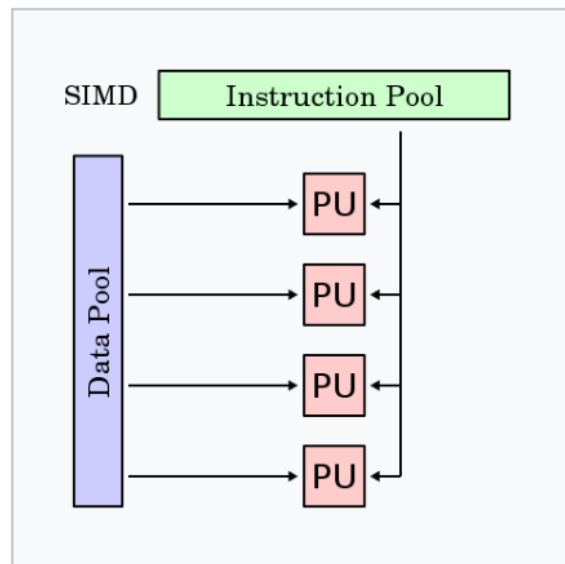
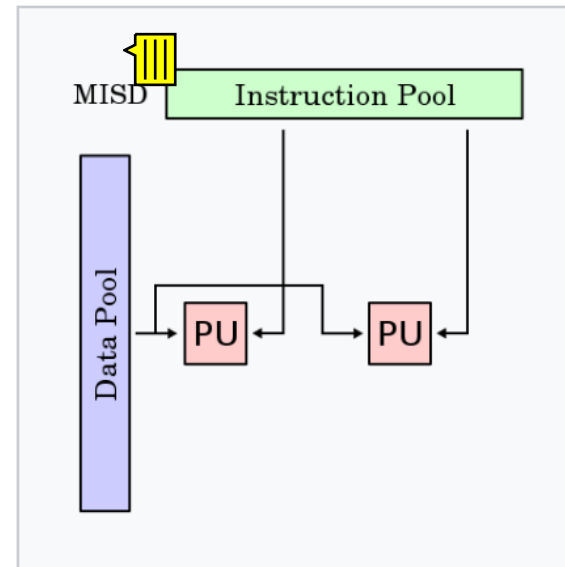
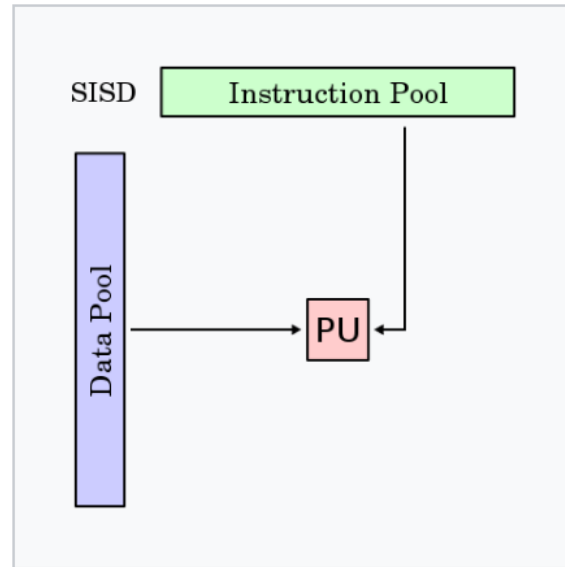
Architectures parallèles : généralités

- Taxonomie de Flynn (1966)
 - Flux d'instruction : **M**ultiple, **S**imple
 - Flux de données : **M**ultiple, **S**imple

The diagram illustrates Flynn's Taxonomy, a 2x2 matrix classifying parallel architectures based on the number of instruction streams and data streams. The columns represent 'Instruction Streams' (one or many) and the rows represent 'Data Streams' (one or many). The four quadrants are SISD, MISD, SIMD, and MIMD, each with a brief description of the architecture type.

		Instruction Streams	
		one	many
Data Streams	one	SISD traditional von Neumann single CPU computer	MISD May be pipelined Computers
	many	SIMD Vector processors fine grained data Parallel computers	MIMD Multi computers Multiprocessors

Archi // : illustration



Avec ou sans
mémoire
partagée