

1º Projeto – Gerador de Código de Barras
VERSÃO Y (soma ímpar dos dígitos dos números
mecanográficos)

Um cliente da empresa para que trabalham precisa de um dispositivo para gerar códigos de barras para os pagamentos de um parque de estacionamento, com as indicações seguintes:

- O estacionamento pode ser por 30m, 1h ou 2h, existindo um botão para escolher cada uma das opções;
- O cliente pode ser do tipo A ou tipo B, existindo um botão para cada entrada;
- O custo do estacionamento é de 1€ por cada 15m para clientes do tipo A e 2€ por cada 15m para clientes do tipo B.

O código de barras a ser gerado, do tipo mais simples e semelhante à figura, é composto por:

- Um dígito de paridade par (P); O Valor inserido em P é tal que torna par a soma da sequência, exceptuando D;
- Um número de controlo correspondente ao resto da divisão inteira por 14 do total dos dígitos (D);
- P e D são calculados sobre o total dos restantes dígitos, somando os dígitos decimais individuais dos campos A1, A2 e PG.
- Números mecanográficos dos dois elementos do grupo, por ordem alfabética (A1 A2) caso seja tipo A ou ordem alfabética inversa (A2 A1) caso seja tipo B)
- Valor a pagar (PG).
- no formato:
P D A1 A2 PG



Que deve ser apresentado num bus, em decimal, de forma a ser legível.

Adicionalmente é necessária uma saída contendo PG em excesso 3, convertido para octal.

Nota: a conversão da sequência no código de barras é feita num dispositivo externo, ou seja, o seu sistema precisa apenas de gerar a sequência correta.

Exemplo de código:

1 5 2094118 2091917 16

Sendo o valor total (excluindo os primeiros dois campos) de 61, P é 1 e D é 5.

A soma do número mecanográfico (e de PG) é efetuada dígito a dígito conforme o seguinte exemplo: o aluno A tem o número mecanográfico 2094118. A soma dos dígitos individuais é: $2+0+9+4+1+1+8=25$.

O trabalho deve ser efetuado em grupos de 2 elementos (quem fizer sozinho, por opção, será penalizado, pelo que deverão encontrar parceiro). O trabalho deve ser realizado no *software* ISE da Xilinx sob a forma de esquema elétrico ao nível da porta lógica (não podem ser utilizadas funções mais avançadas), e Verilog (tem de conter ambas as partes), e testado em simulação.

Este trabalho é objeto de um **relatório** curto, com um máximo de 6 páginas, excluindo a capa, onde devem ser explicadas as opções tomadas e apresentados os diagramas temporais de simulação que ilustrem o correto funcionamento do circuito. O relatório é enviado para o GAE (trabalhos@uma.pt) até **30 de novembro**, e o trabalho (**a funcionar**) apresentado ao docente na semana seguinte. O relatório deve ser em formato PDF e utilizar a seguinte nomenclatura:
SistemasDigitais_Proj1_Nmec1_NomeAluno1_Nmec2_NomeAluno2.pdf

O relatório deve incluir os seguintes tópicos:

- Introdução (deve listar as características do grupo e tipo de projeto);
- Objetivos;
- Desenvolvimento;
- Discussão de resultados;
- Conclusão.

A avaliação incide sobre a escolha das soluções a utilizar, a capacidade e o conhecimento de justificar essas soluções, a robustez da solução, a qualidade do relatório, e a escolha dos resultados a apresentar para comprovar o bom funcionamento do circuito.

Para demonstrar que utilizou o programa de simulação é **obrigatório** incluir no relatório uma imagem do ecrã com o esquema elétrico do circuito, bem como da simulação. Com o ISE aberto faça *shift+Print Screen* (tecla por cima do teclado numérico) e *paste* no documento do relatório. Não recorte a imagem. O incumprimento deste requisito implica a não aceitação do trabalho de projeto e a consequente reprovação.

A cópia do trabalho implica a reprovação no mesmo.

Bom trabalho!