

## 2º Projeto – Gerador de Código de Barras (Máquina de estados)

O cliente da mesma empresa necessita agora de outro dispositivo que lê o valor do código de barras e faz a gestão do troco da máquina de pagamentos. Este dispositivo tem o requisito de ser implementado como uma **máquina de estados finita**, com as seguintes particularidades:

- Lê a informação do valor a pagar (PG) do código de barras e o valor introduzido (I) pelo cliente na máquina de pagamentos. Considera-se que PG pode ter o valor correspondente às várias combinações de tempo referidas no projeto 1, pelo que o valor de PG pode ser no máximo de 28€. Para simplificação, considera-se que I só pode tomar valores múltiplos de 10€, com o valor máximo de 30€ e não existe a situação de ser menor do que PG.
- Armazena uma quantidade infinita de moedas de 2€ e notas de 10€.
- Existem duas saídas, (DOIS) e (DEZ) com a informação da quantidade de moedas/notas a devolver em cada operação de pagamento. A realização da devolução do troco é realizada ao longo do tempo, saindo uma nota ou moeda de cada vez.
- Existe uma saída adicional, FIM, com a indicação do término da devolução do troco.
- Por fim, existe uma saída **obrigatória** com a codificação dos estados.
- Além dos requisitos mencionados anteriormente, cada grupo deve adicionar uma funcionalidade extra à máquina.

Exemplo:

- PG = 16€ (2h, cliente Tipo B)
- I = 30€



Figura 1 – Exemplo das saídas DOIS, DEZ e FIM.

O trabalho deve ser efetuado em grupos de 2 elementos (quem fizer sozinho, por opção, será penalizado, pelo que deverão encontrar parceiro). O trabalho deve ser realizado no *software* ISE da Xilinx sob a forma de esquema elétrico ao nível da porta lógica (não podem ser utilizadas funções mais avançadas), e Verilog (tem de conter pelo menos um bloco de cada uma das partes), e testado em simulação.

Este trabalho é objeto de um **relatório** curto, com um máximo de 6 páginas, excluindo a capa e anexos, onde devem ser explicadas as opções tomadas e apresentados os diagramas temporais de simulação que ilustrem o correto funcionamento do circuito. O relatório é enviado para o GAE (trabalhos@uma.pt) até **24 de janeiro**, e o trabalho (a **funcionar**) apresentado ao docente na semana seguinte. O relatório deve ser em formato PDF e utilizar a seguinte nomenclatura:  
SistemasDigitais\_Proj1\_Nmec1\_NomeAluno1\_Nmec2\_NomeAluno2.pdf

Junto com o relatório tem de ser entregue um zip/rar com todos os ficheiros do projeto. Em anexo do relatório tem de constar todos os blocos Verilog (em texto, não em imagem) e a imagem de todos os blocos em esquema).

O relatório deve incluir os seguintes tópicos:

- Introdução/Objetivos;
- Desenvolvimento (deve ser incluído o diagrama de estados);
- Discussão de resultados (no diagrama temporal devem ser visíveis os valores da codificação dos estados);
- Conclusão;
- Anexos.

A avaliação incide sobre a escolha das soluções a utilizar, a capacidade e o conhecimento de justificar essas soluções, a robustez da solução, a qualidade do relatório, e a escolha dos resultados a apresentar para comprovar o bom funcionamento do circuito.

Para demonstrar que utilizou o programa de simulação é **obrigatório** incluir no relatório uma imagem do ecrã com o esquema elétrico do circuito/módulo principal em Verilog, bem como da simulação. Com o ISE aberto faça *shift+Print Screen* (tecla por cima do teclado numérico) e *paste* no documento do relatório. Não recorte a imagem. O incumprimento deste requisito implica a não aceitação do trabalho de projeto e a consequente reprovação.

**A cópia do trabalho implica a reprovação no mesmo.**

**Bom trabalho!**