

[Ejercicio 2.1](#)  
[Ejercicio 2.2](#)  
[Ejercicio 2.3](#)  
[Ejercicio 2.16](#)  
[Ejercicio 2.8](#)  
[Ejercicio 2.9](#)  
[Ejercicio 2.19](#)  
[Ejercicio 2.14](#)

## Ejercicio 2.1

Un procesador segmentado tiene tres etapas (I, M y A). Existen, únicamente dos tipos de instrucciones X e Y y su interpretación utiliza las etapas en los ciclos especificados a continuación.

Pregunta 1: Compruebe que es posible que exista colisión al ejecutar un programa si la latencia de iniciación de instrucciones es de un ciclo.

En el caso de dos instrucciones del mismo tipo no habra colisión possible, pero si primero ejecutamos una instr. Y seguida de una X el recurso A se utilizaria a la vez.

Esto viene dado porque en diferentes ciclos se utiliza el mismo recurso.

Pregunta 2: ¿Cuál es la latencia de iniciación mínima constante que garantiza que no existe colisión en la ejecución de un programa?

La latencia seria 2, para evitar el problema de la pregunta anterior.

Pregunta 3: Rediseñe los dos tipos de instrucciones para que la latencia de iniciación constante sea la menor posible. (NOTA: analice el número de ciclos y utilización de las etapas).

Añadiendo a las instrucciones del tipo X una etapa de retardo en el segundo ciclo, solucionaríamos el problema, ya que desde el inicio de la interpretación de cualquiera de las dos instr. se utilizan los mismo recursos en los mismo ciclos.

Pregunta 4: Razone si el nuevo diseño aumenta o disminuye el tiempo de ejecución de los programas al compararlo con los dos casos anteriores. Para ello, calcule la productividad en cada caso.

$$Productividad = \frac{\#OPs}{Tiempo} = \frac{OPs}{LMI}$$

Base(en el caso peor):  $P_1 = 1/1.5 = 0.7ops/ciclo$

Latencia de Inicio = 2,  $P_2 = 1/2 = 0.5 ops/ciclo$

Rediseñando las instrucciones:  $P_3 = 1/1 = 1 ops/ciclo$

## Ejercicio 2.2

Pregunta 1: ¿Cuál es el periodo mínimo de la señal de reloj (tiempo de ciclo)?

$$T_c \geq 20ps + 300ps \geq 320ps$$

Pregunta 2: Calcule la productividad del módulo secuencial

$$P = \frac{OPs}{Tiempo} = 1/320ps = 3.12G Ops/s$$

Supongamos que la UF anterior se ha dividido en 6 bloques (A, B, C, D, E y F) que se conectan como se muestra en la figura y con los tiempos de retardo que se indican.



**Pregunta 3:** Utilizando 1 registro de desacoplo segmente la UF para maximizar la productividad (2 etapas). Indique la productividad.

Añadir segmentación requiere que el tiempo de las etapas sea lo mas parejo posible, para que tenga sentido; entonces vemos que el tiempo de la etapa no debe ser superior a  $300 / 2 \rightarrow 150$  ps. Cojeremos las etapas A, B y C aunque sumen un poco más, pero es lo mas parejo a 150 que podemos obtener.

El tiempo de ciclo en este caso sera  $T_c \geq Tp + \max(Te_i) \geq 20 + 170(ps)$

$$P = 1/190ps = 5.26G Ops/s$$

**Pregunta 4:** ¿Cuál es la latencia de la operación en el diseño de la 3ª pregunta?

La latencia es de 2 ciclos.

**Pregunta 5:** Utilizando 2 registros de desacoplo segmente la UF para maximizar la productividad (3 etapas). Indique la productividad.

$$T_c \geq 20 + 110(ps)$$

$$P = 1/130ps = 7.69G Ops/s$$

**Pregunta 6:** ¿Cuál es la latencia de la operación en el diseño de la 5ª pregunta?

La latencia es de 3 ciclos.

**Pregunta 7:** ¿Cuál es el número de etapas mínimo para maximizar la productividad?

$$P = (T_c)^{-1}$$

La productividad será máxima con el menor tiempo de ciclo.

Supongamos que un mejor particionado de la UF consigue que todos los bloques tengan el mismo retardo y que el número de bloques puede ser el que queramos.

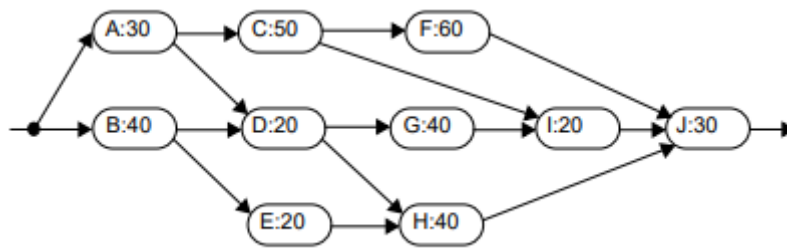
**Pregunta 8:** Calcule la productividad en el caso de que el retardo de cada uno de los bloques (tB), en que se divide la UF, es despreciable frente al retardo que representa el registro de desacoplo (tRD) entre etapas (tB << tRD).

En este caso, el tiempo del registro es el unico que importa para calcular el tiempo de ciclo:

$$Tc \geq T_{RD} \rightarrow P = (T_{RD})^{-1} = 50G Ops/s$$

## Ejercicio 2.3

Considere el siguiente circuito donde se muestran bloques combinacionales y el flujo de información entre bloques. Así mismo, dentro de cada bloque, se ha anotado la latencia en picosegundos.



Pregunta 1: ¿Cuál es la latencia del circuito?. Marque con trazo grueso las conexiones del camino crítico. Suponga que el retardo de almacenamiento en un registro de desacoplo es cero.

La latencia del circuito es 170 ps.

Suponga que el retardo de almacenamiento en un registro de desacoplo es cero.

Pregunta 2: ¿Cuál es la máxima productividad, en operaciones por segundo, que se puede obtener al segmentar el circuito?.

Pregunta 3: Muestre una organización segmentada que maximice la productividad.

Pregunta 4: Muestre un organización segmentada que minimice el número de etapas y mantenga una productividad de al menos una operación cada 85 ps.

Entre dos etapas puede haber varios flujos de información. Cada uno de ellos requiere de un registro de desacoplo. La información que hay en la entrada de un registro de desacoplo se transfiere a la salida en el flanco ascendente de la señal de reloj. Suponga la siguiente segmentación.

	bloques
1ª etapa	A, B, D, G
2ª etapa	C, F, E
3ª etapa	H, I, J

Pregunta 5: Muestre en un esquema los registros de desacoplo numerándolos como 1 o 2 para indicar respectivamente si son registro de salida de la 1ª etapa o de la 2ª etapa.

## Ejercicio 2.16

## Ejercicio 2.8

## Ejercicio 2.9

## Ejercicio 2.19

## Ejercicio 2.14