

## Práctica 2 - Sumador de 4 bits y Sumador BCD

Victor Correal, Carlos Rodriguez

1.

A-B-cen	A-B-cen	ret1 (ns)
0010-0000-0	0010-0010-0	40 ns

```
1 architecture prueba of prueba_s4bits is
2     signal Aaux, Baux, SUMaux : std_logic_vector(3 downto 0);
3     signal cenaux, csalaux : std_logic;
4 begin
5     sum4: S4bits port map(A=>Aaux, B=>Baux, cen=>cenaux, SUM=>SUMaux,
6     csal=>csalaux);
7     prueba: process
8     begin
9         Aaux <= "0010";
10        Baux <= "0000";
11        cenaux <= '0';
12        wait for 200 ns;
13        Baux <= "0010";
14        wait for 400 ns;
15        wait;
16    end process;
17 end prueba;
```

2.

- Retardo mínimo: A = "0000", B = "0001", cen = '0'. Retardo = 40 ns

Justificación: En este caso, todas las puertas trabajan en paralelo y hay que añadir el tiempo de cálculo de la última xor. ( $T_{and} + T_{or} + T_{xor} = 10 + 15 + 15 = 25$  ns)

- Retardo máximo: A = "0010", B = "0100", cen = '0'. Retardo = 90 ns

Justificación: Este es el camino crítico del circuito, donde el tiempo de los acarreo se propaga ( $(T_{and} + T_{or}) * 3 + T_{xor} = (25 * 3) + 15 = 90$  ns)

3.

```
1 -- para calcular el acarreo se utiliza:
2 (X(4) or (X(3) and X(2)) or (X(3) and X(1)))
```

```

1  architecture comportamiento of mayor9 is
2  -- senyales
3      signal masigual9 : std_logic;
4  begin
5      masigual9 <= (X(4) or (X(3) and X(2)) or (X(3) and X(1))) after
retmayor9;
6      S(1) <= '0' or masigual9;
7      S(2) <= '0' or masigual9;
8      S(3) <= '0';
9      S(0) <= '0';
10     csal <= masigual9;
11 end comportamiento;

```

4.

	valor explícito	vector de bits
x	$xe = 25 \bmod 200 = 25$	$X = (0, 0010\ 0101)$
y	$ye = -8 \bmod 20 = 12$	$Y = (1, 0001\ 0010)$

		Vector de bits
xe	25(10)	$X = (1, 0010\ 0101)$
ye	8(10)	$Y = (0, 0000\ 1000)$
se	33 (10)	$S = (0, 0011\ 0011)$
representable	Si	

5.

El retardo en (ns) de n dígitos BCD se calcula:

```

1  sumaNBCD = retsumbin + retmayor9 + retsumbin
2  Retardo = sumaNBCD + rets1bit + retc9 + retmux

```

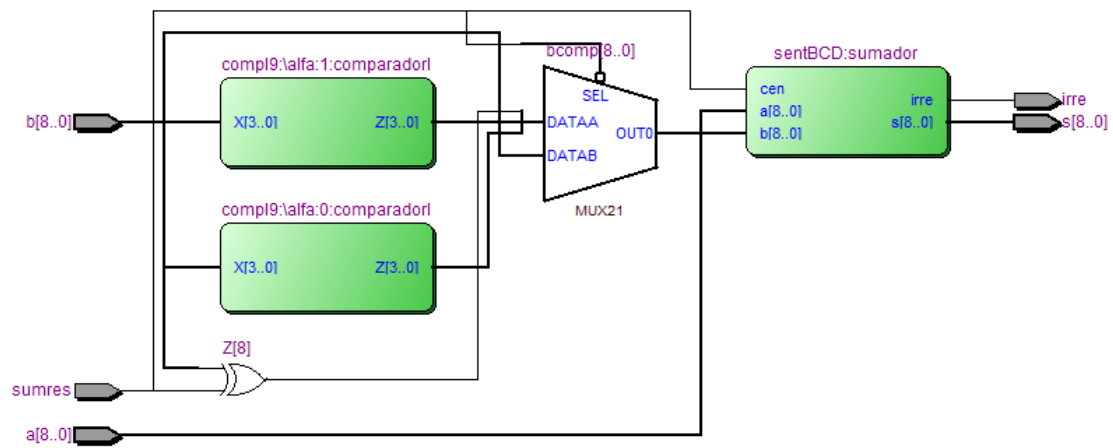
6.

```

1  z(0) <= not x(0);
2  z(1) <= x(1);
3  z(2) <= x(1) xor x(2);
4  z(3) <= (not x(1) and not x(2) and not x(3));

```

7.



8.

- Retardo mínimo: A = "100000000", B = "00000000", sumares = '0'. Retardo = 2 ns  
Justificación: Este retardo mínimo es imposible, pero es el que da el simulador.
- Retardo máximo: A = "100000000", B = "100000000", sumares = '0'. Retardo = 22 ns  
Justificación: Este retardo máximo no es el esperado, esperabamos un 23.