

Análise de Desempenho

1. Considere 3 processadores diferentes (P1, P2 e P3) capazes de executar o mesmo conjunto de instruções. P1 possui um relógio de 3 GHz e um CPI (cycles per instruction) de 1.5. P2 possui um relógio de 2.5 GHz e um CPI de 1.0. P3 possui um relógio de 4.0 GHz e um CPI de 2.2.
 - a. Qual processador apresenta maior desempenho no que respeita ao número de instruções por segundo?
 - b. Se cada processador executar um programa durante 10 segundos, quantos ciclos de relógio e quantas instruções são executadas?
 - c. Se pretendermos reduzir o tempo de execução em 30%, isso implicaria um aumento de 20% no CPI de todos os processadores. Qual a frequência do relógio necessária em cada caso para obter uma tal redução no tempo de execução?
2. Considere um processador com um CPI ideal (em que as caches têm um hit-rate de 100%) de 3.5 ciclos em que o custo no acesso à memória (para instruções e dados) é de 200 ciclos de relógio.
 - a. Numa configuração com uma cache L1, calcule o impacto (CPIStall) da hierarquia de memória CPU<-->Cache L1<-->Memória num programa com 30% de instruções do tipo load/store sabendo que a taxa de falhas (miss rate) no acesso a dados é 4% e no acesso a instruções é 2%. Qual o CPI real de uma tal configuração?
 - b. Se acrescentarmos uma cache L2 à configuração anterior, qual o CPI real da hierarquia de memória CPU<-->Cache L1<-->Cache L2<-->Memória no mesmo programa, sabendo que o acesso à cache L2 é de 20 ciclos e que a taxa (global) de falhas da cache L2 para instruções e dados é de 0.5%? Qual a relação com a configuração anterior?
 - c. Considere que seria possível duplicar a frequência de relógio do processador à custa de um aumento do CPI ideal para 5 ciclos? Para as mesmas configurações, o desempenho aumentaria ou diminuiria?
3. (saber mais) Considere 2 processadores diferentes (P1 e P2) capazes de executar o mesmo conjunto de instruções. P1 possui uma cache L1 de 2KBytes com uma taxa de falhas (miss rate) de 8% e tempo de acerto (hit time) de 0.66ns. P2 possui uma cache L1 de 4KBytes com uma taxa de falhas de 6% e tempo de acerto de 0.90ns. Em ambos os casos, o acesso à memória principal demora 70ns e, em média, as instruções do tipo load/store representam 36% do número de instruções.
 - a. Sabendo que o tempo de acerto da cache L1 determina o ciclo do relógio, calcule a frequência do relógio de P1 e de P2.
 - b. Qual o tempo médio de acesso à memória para P1 e para P2?
 - c. Assumindo um CPI ideal de 1 ciclo, qual processador é o mais rápido?
 - d. Considere a adição a P1 de uma cache L2 de 1MByte com uma taxa (local) de falhas (miss rate) de 3% e tempo de acerto (hit time) de 5.62ns. Nesta nova configuração, qual o tempo médio de acesso à memória e qual o CPI de P1?