

# 第2回レポート課題 カウンタ回路の設計

## 1 問題

講義前半でカウンタについて簡単な説明を行った。カウンタはその名前の通り数を数えるものであり、順序回路の一種である。次の解説を読み、課題に答えなさい。

## 2 解説

### 2.1 順序回路

出力が現在の状態だけでなく過去の入力との双方によって決定される回路を順序回路という。言い換えれば、過去の入力を状態として記憶しておき、そのときの状態と入力の様子によって出力が決定される回路である。入力が入ると出力を出すと同時に回路の状態も変化する。状態がそれぞれの入力に対してどのように変化するかを表した表を状態遷移表(表1)といい、グラフとして表したものを状態遷移図(図1)という。順序回路の動作は状態遷移表または状態遷移図によって定義づけられる。

### 2.2 非同期式カウンタ回路

状態は回路の中では複数個のフリップフロップによっても表現される。フリップフロップが3個あれば8状態が表現できる。すなわち、フリップフロップのセット状態を"1", リセット状態を"0"と記述すれば"000", "001", "010", "011", "100", "101", "110", "111"の8状態を表現できる。入力パルスが一つ入るたびに状態が変化し、8つのパルスが入力されると元の状態に戻るとすれば、これは8進カウンタと呼ばれる。その状態遷移を表した状態遷移表を表1に、状態遷移図を図1に示す。

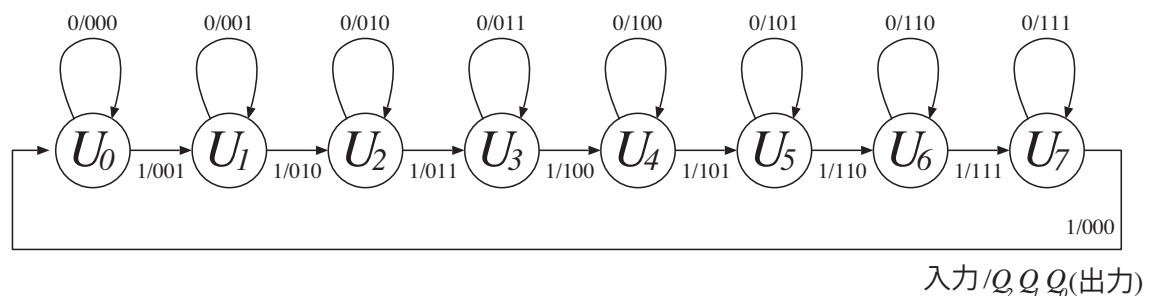


図 1: 状態遷移図

8進カウンタを3個のネガティブエッジトリガ(つまり立ち下がりエッジで動作する)JKFFで構成すると図2のようになる。すなわち、前段のQ出力を次段のCK入力へ接続する。

表 1: 状態遷移表

時刻 $t$ における 状態	時刻 $t+1$ における状態		時刻 $t$ における 出力		
	入力クロック				
	0	1	$Q_2$	$Q_1$	$Q_0$
$U_0$	$U_0$	$U_1$	0	0	0
$U_1$	$U_1$	$U_2$	0	0	1
$U_2$	$U_2$	$U_3$	0	1	0
$U_3$	$U_3$	$U_4$	0	1	1
$U_4$	$U_4$	$U_5$	1	0	0
$U_5$	$U_5$	$U_6$	1	0	1
$U_6$	$U_6$	$U_7$	1	1	0
$U_7$	$U_7$	$U_0$	1	1	1

クロック入力および各段の  $Q$  出力の立ち下がりにともない、次段の FF の状態が反転する。タイムチャートを図 3 に示す。FF の状態遷移には通常 20ns から 40ns の伝搬遅延時間があるため、各段の出力の状態遷移時刻に若干の違いを生じる。このため、図 3 の下段に () 付き数値として示したようにカウント値が変化するとき瞬間的に余分な状態を作り出してしまう。これをハザードといい回路を誤動作させる原因となる。

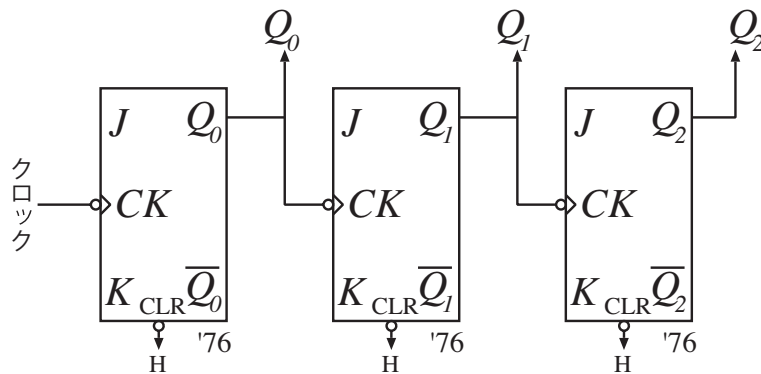


図 2: 非同期式 8 進カウンタの例

このハザードを取り除くには図 4 のようなレジスタ回路を付加する。すなわち各 JKFF の出力を DFF の D 入力に接続しクロックの立ち上がり時に、その状態を DFF に保持させ、その出力をカウンタの出力とする。

次にこの 8 進カウンタの回路を少し変更して 6 進カウンタを構成する。6 進カウンタでは状態”101”の次に状態”000”に強制的に戻す回路を付け加える。6 進カウンタの回路図を図 5 に示す。ここでは、状態”110”が発生した瞬間に各 JKFF をリセットさせることにより状

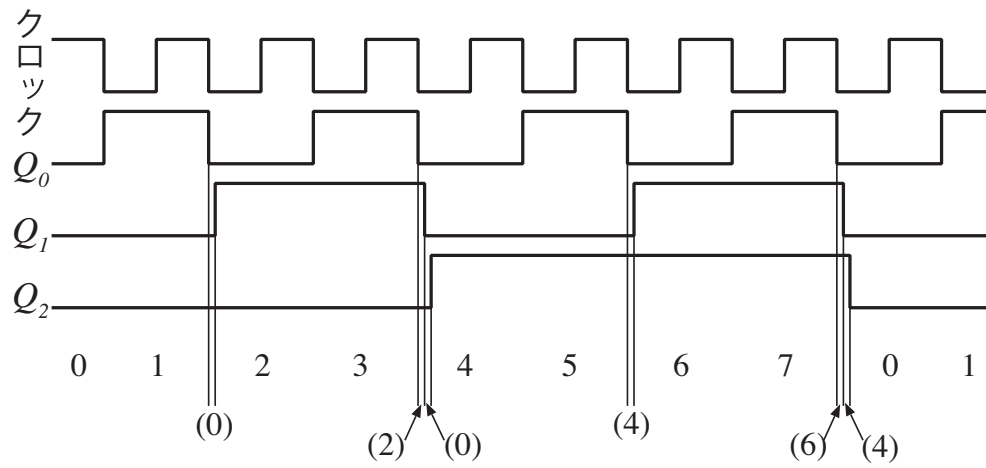


図 3: ハザードの例

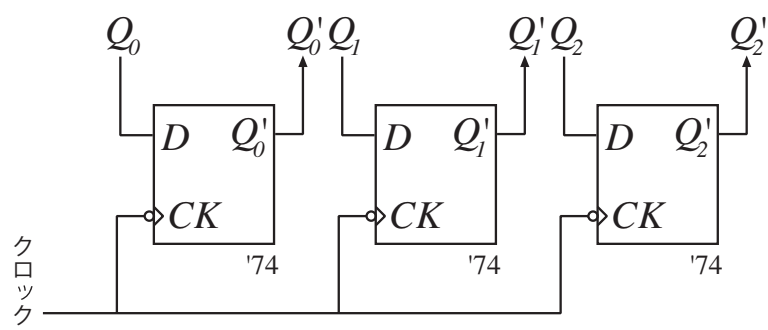


図 4: ハザードを取り除くレジスタ回路



すると,

$$T_1 = Q_0$$

となる. すなわち,  $Q_0 = 1$  のときクロックを入れる. 同様に三段目の FF をトグルさせる条件をカルノー図に表すと図 7 のようになり, その図からトグルさせる条件を求めると,

$$T_2 = Q_1 \cdot Q_0$$

となる. すなわち,  $Q_1 = Q_0 = 1$  のとき, クロックを入れる. したがって, 回路図は図 8 のようになる. 同期式カウンタでは各 FF の伝搬遅延時間のばらつきを無視すればハザードは発生しない.

$Q_1 Q_0$		00	01	11	10
		$Q_2$			
0	0	0→1 0	1→2 T	3→4 T	2→3 0
1	1	4→5 0	5→6 T	7→0 T	6→7 0

図 6: 二段目の FF をトグルさせる条件を表したカルノー図

$Q_1 Q_0$		00	01	11	10
		$Q_2$			
0	0	0→1 0	1→2 0	3→4 T	2→3 0
1	1	4→5 0	5→6 0	7→0 T	6→7 0

図 7: 三段目の FF をトグルさせる条件を表したカルノー図

### 3 課題

解説を良く読んだ上で次の課題に取り組みなさい.

1. フリップフロップ (DFF, JKFF) の特徴と動作について調べなさい. なお DFF の型番は HD74LS74A, JKFF は HD74LS76A とする.

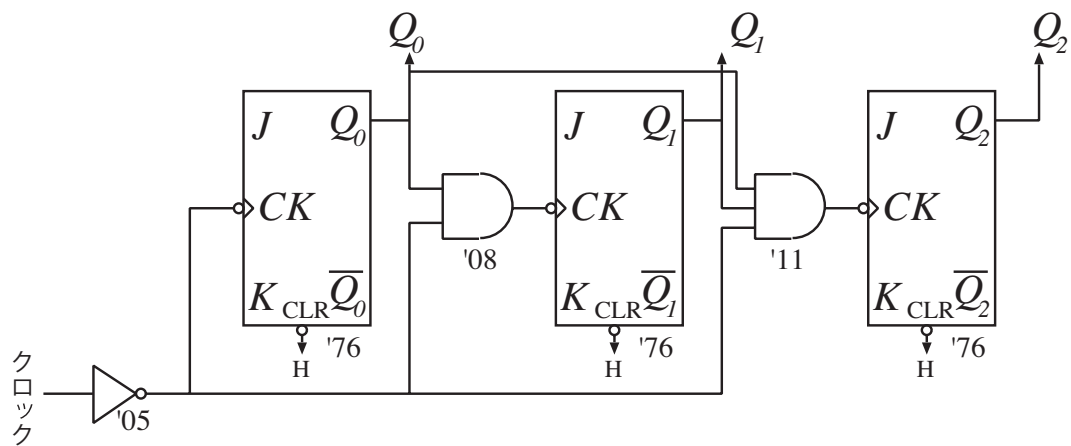


図 8: 同期式 8 進カウンタ回路

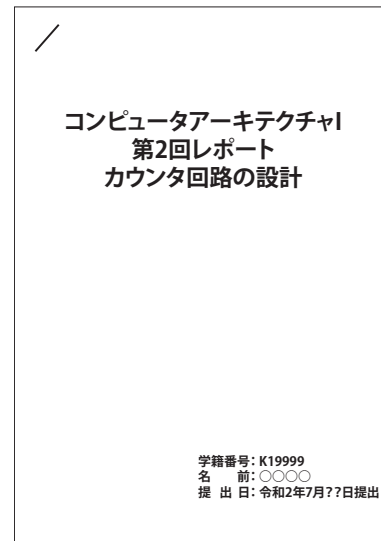
2. 学籍番号の下一桁が奇数の者は非同期 5 進カウンタを，偶数の者は非同期 7 進カウンタを設計しなさい．設計にあたって，状態遷移表および状態遷移図も一緒に示しなさい．なお，FF は基本的に JKFF を用いること．また JKFF は J 及び K に”1”が入力されているとき，出力がトグルすることになるので，これを利用する．ただし，ハザードを除去するレジスタ回路を付加すること．必要であれば DFF を用いても構わない．
3. (2) のカウンタの非同期減算カウンタを設計しなさい．(2) で非同期 5 進カウンタを設計したものは，非同期 5 進減算カウンタを，非同期 7 進カウンタを設計したものは，非同期 7 進減算カウンタを設計しなさい．
4. 学籍番号の下一桁を 3 で除算し，余りが 0(割りきれ)の者は同期式 5 進カウンタ，余りが 1 の者は同期式 6 進カウンタ，余りが 2 の者は同期式 7 進カウンタを設計しなさい．設計にあたっては，状態遷移表および状態遷移図，カルノー図も一緒に示しなさい．なお，FF は基本的に JKFF を用いること．必要であれば DFF を用いても構わない．ただし FF の CLR は使わずに設計すること．

## 4 提出について

提出場所： 情報科学部事務室

提出期限： 令和2年7月24日  
16時00分(時間厳守)

形式： A4判レポート用紙を用いて自筆  
で作成し，左上をホッチキスで綴  
じて提出すること．表紙は図9の  
ような形式とする



／

コンピュータアーキテクチャI  
第2回レポート  
カウンタ回路の設計

学籍番号: K19999  
名 前: ○○○○  
提 出 日: 令和2年7月??日提出

図9: 表紙の形式

## 参考文献

- [1] 白土義男, "新版ディジタルICの基礎," 東京電機大学出版局 (1980).
- [2] 湯山俊夫, "ディジタルIC回路の設計," CQ出版社 (1986).