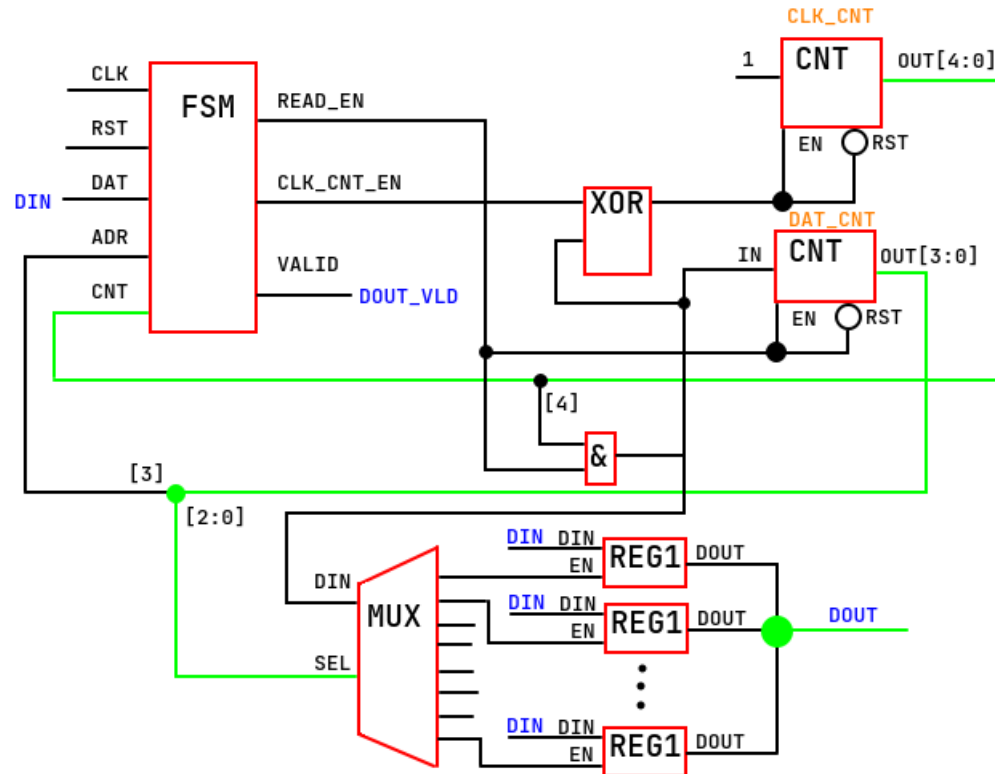


Výstupní zpráva projektu předmětu INC

Jméno: Jindřich Dítě
xlogin: xditej01

1 Architektura navrženého obvodu (na úrovni RTL)

1.1 Schéma obvodu



1.2 Popis funkce

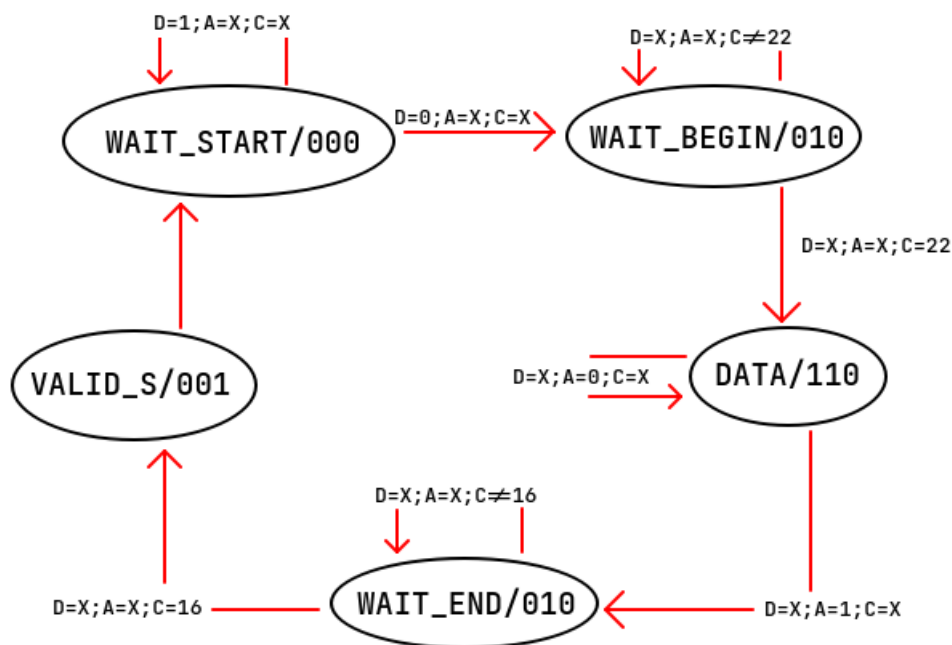
Na základě řízení z FSM jsou v počítadle hodin počítány všechny hodinové signály; je-li současně povolené čtení, je počítadlo na základě vlastní hodnoty i pravidelně nulováno. Souběžně s nulováním tohoto počítadla poté dochází vždy k přečtení jedného bitu na základě druhého počítadla, která je poté vždy o 1 inkrementováno.

2 Návrh automatu

2.1 Schéma automatu

Legenda

- Stavby automatu: WAIT_START, WAIT_BEGIN, DATA, WAIT_END, VALID_S
- Vstupní signály: D:=DAT, A:=ALL_DATA_READ, C:=CLK_CNT
- Moorovy výstupy: READ_EN, CLK_CNT_EN, VALID



2.2 Popis funkce

Ve stavu **WAIT_START** automat čeká na příchod start bitu, jakmile spadne signál datové linky, přechází do stavu **WAIT_BEGIN**, kde setrvá pro potřebný počet hodinových cyklů do okamžiku, kdy lze číst první datový bit. Potom přejde do stavu **DATA**, kde receiver kontinuálně čte data a ukládá je do výstupního registru, a automat vyčkává přijetí posledního datového bitu. Po jeho přijetí přechází do stavu **WAIT_END**, kde počká potřebný počet hodinových cyklů na příjem stop bitu, a přejde do stavu **VALID_S**, kdy je nastaven signál platnosti výstupu a z něhož při nejbližším hodinovém signálu přechází zpět do úvodního stavu.

3 Snímek obrazovky ze simulací

