

Anwenderdokumentation VHDL

Gruppe 25

Jan Waidner

06.07.2016

Gesamtprojekt

Das Teilprojekt Logarithmierer gliedert sich in das Gesamtprojekt Pegelanzeige ein, in dem es die großen Eingangswerte auf eine sinnvolle interne Verteilung mappt.

Dies geschieht bei einer fallenden Taktflanke von SCLK und gesetztem Flag-Bit (wenn also der Serial/Parallel Converter die analogen Audiosignale eingelesen und per 18 Bit Werte an den Logarithmierer weitergegeben hat).

Der Logarithmierer leitet dann einen positiven logarithmierten Wert an den Peakdetector weiter. Dieser verarbeitet die Signale weiter, bis Daten schlussendlich bei dem Display Driver/Multiplexer ankommen, der sie auf einem externen Display anzeigt.

Eingänge

- LEFT (18 Bit, vorzeichenbehaftet)
- RIGHT (18 Bit, vorzeichenbehaftet)
- FLAG (1 Bit, Boolean)
- SCLK (1 Bit, Boolean)

Ausgänge

- LOG_L (4 Bit, vorzeichenfrei)
- LOG_R (4 Bit, vorzeichenfrei)

Dateien

logarithmierer.vhdl

Implementierung des Hauptprogramms, die per Helpfunc.vhdl auf die Methode mapInputToOutput zugreift

helpfunc.vhdl

Implementierung der Methode mapInputToOutput, die per lookup-Tabelle einen korrekten Wert zurück gibt.

Wurde erstellt um doppelten Code im Hauptprogramm für den linken und rechten Kanal zu vermeiden.

logarithmiererTB.vhdl

Implementierung der Testbench für das Hauptprogramm.

1. Alle Eingangswerte von -131072 bis 131071 werden durchlaufen
2. Negativtests mit falschen Eingangswerten (kein gesetztes Flag, keine fallende Taktflanke) werden durchgeführt.

make.cmd

Das make file um die Dateien logarithmierer.vhdl, helpfunc.vhdl und logarithmiererTB.vhdl zu kompilieren und eine Ausgabe in die Datei vcdOut zu erzeugen.

vcdOut.vcd

Ausgabe des Testlaufes der Datei logarithmiererTB.vhdl, die im Program gtkWave angezeigt werden kann. Im Abschnitt Anwendung können zwei Screenshots der Ausgabe von gtkWave betrachtet werden.

work-obj93.cf

Beim compilieren automatisch erzeugt. Bildet den Namespace für die Ausführung des Programms ab.

ghdl.exe

Binary Datei von ghdl zum kompilieren der vhdl Dateien.

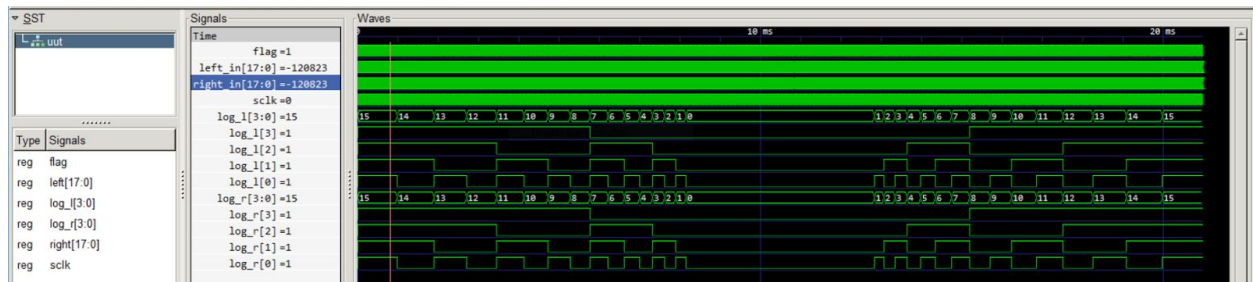
ghdl kann teilweise nicht ganz einfach in der Bedienung sein und gibt nicht immer sinnvolle Fehlermeldungen aus. Daher haben wir uns dazu entschieden, alle zum Kompilieren nötigen Dateien mit zu liefern.

Anwendung

Zum einfachen Testen führen Sie die Dateien make.cmd aus.

Hier werden die vhdL Dateien kompiliert und eine vcd Datei zur Ansicht der Ergebnisse ausgegeben.

Eine typische Ausgabe sieht so aus.



Alle Eingangswerte werden getestet (erkennbar an den Ausgabezeilen die von 15 bis 0 fallen und dann wieder bis 15 steigen).

Weiterhin werden im zweiten Teil des Tests Falschausgaben provoziert.

Zuerst fällt die Taktflanke von SCLK ohne, dass das FLAG gesetzt ist, als Zweites wird FLAG gesetzt, aber SCLK belassen.

Wie hier gut zu sehen ist, verhält sich der Logarithmierer hier genau richtig und setzt keine Werte, da seine Eingangsbedingungen (fallendes SCLK, gesetztes FLAG) nicht erfüllt sind.

Falls Sie eigene Testfälle erstellen wollen, orientieren Sie sich am besten nach dem Vorbild der Datei logarithmierer.vhdl und gehen nach folgendem Muster vor:

1. Setzen von SCLK <='1'; , Setzen von FLAG <='0'; (Anfangszustand)
2. Setzen von LEFT_IN <= to_signed(*wert*, 18); (zweiter Parameter = Anzahl der Bits)
3. Setzen von RIGHT_IN <= to_signed(*wert*, 18);
4. Wait for 100 ns
5. Setzen von FLAG <='1'; , Setzen von SCLK <='0'; (Ausgabe der Werte)

Es bietet sich an, die Datei logarithmierer.vhdl direct zu editieren. So kann der Kompilierprozess wie gewohnt per make.cmd angestoßen werden. Näheres zum Prozess finden Sie in der Entwicklerdokumentation.