

第3回輪講資料

4321 野秋 琳太郎

2025 年 10 月 02 日

指導教員 宮田 尚起

1. はじめに

LED で光通信をして、「糸なし糸電話」をした。ほかの近況報告としては、「岩波講座 現代の物理学 <2> 電磁力学」を半分 (相対論の最初らへん) ぐらいまで読んだ。きっと編入試験やら来年の研究やらで役にたってくれるであろう。

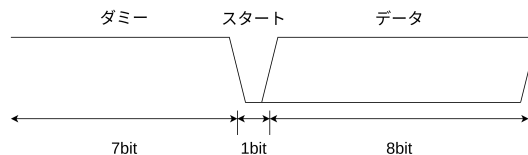


図 2. 使用する通信の波形

2. やったこと

2.1 通信のプロトコルの整理

前回, 本橋の輪講資料にある通り, オーディオ信号を分解能 8bit でデジタル信号に変換し, シリアル通信でデータを送る. このシリアル通信は基本的に UART の規格に沿ったものであるが, 少々手が加えてある. 図 1,2 はそれぞれ, 本来の UART と「糸なし糸電話」用に手を加えた通信の波形である. 図 1 で周期的に垂れ流され, ダミー bit がストップ bit の役割をすることで, 通常の UART 受信回路を使用することができる.

今回使用する通信は途中で途絶えることが多い. 図 3 のようにデータを送っている途中で通信が開始した (再開した) 場合を考える. このとき, 送信側と受信側で現れる波形は同一であるが, その意味は異なる. まず, データが 1 から 0 になったタイミングで, 受信回路はそれをスタート bit として誤認する. そして 1bit ぶんの時間を開けて, そこから 8bit の信号をデータ bit としてゴムのデータを内部に取り込む. ここで 7bit ぶんのダミーがあるので, 次のスタート bit が来る前にデータの受信を完了する. するとダミー bit (1) のあとのスタート bit (0) を, 確実にスタート bit として認識できる. これにより, 2 周期目以降の通信では確実に正しいデータを得られるようになる.



図 1. UART 通信の波形

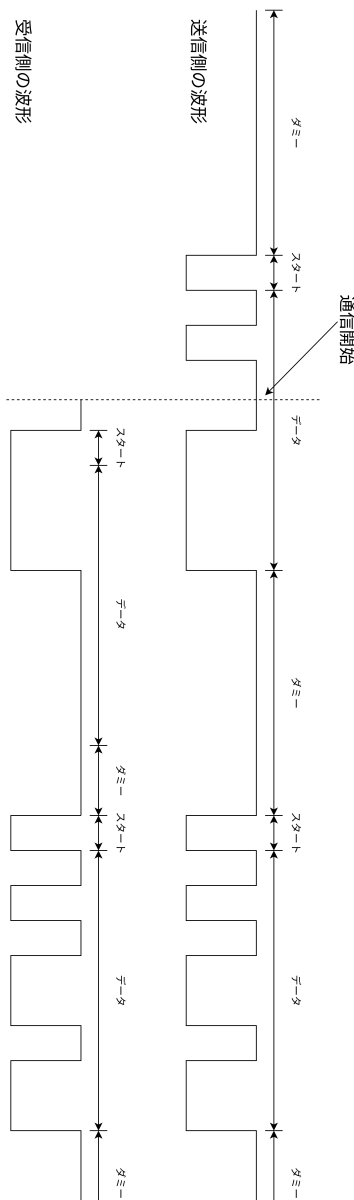


図 3. データの途中で通信が開始した場合

2.2 回路図を描く

糸なし糸電話のブロック図を図4に示す。各ブロックの回路を以下で説明する。

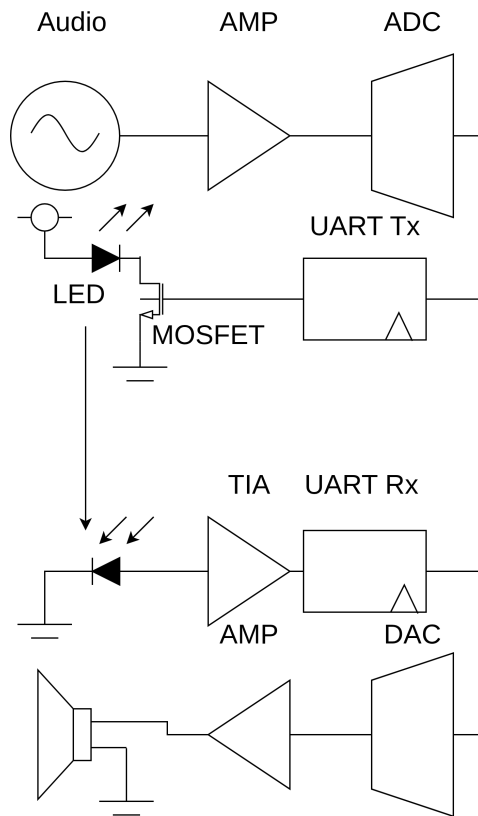


図 4. 糸なし糸電話のブロック図

2.2.1 入力側アンプ

入力側アンプは図5のように設計した。このアンプは二段階になっていて、DC カット→バイアス→増幅→DC カット→バイアス→増幅という構成になっている。入力電圧の振幅は、パソコンなどのイヤホンジャックで数百 mV、マイクの出力で数 mV である。そのため、アンプの増幅率は数十倍から数百倍のものがことになる。アンプを2段階にするとその調整が容易になる。

電源電圧に5V 以外を用意するのは面倒なので、電源電圧5Vの単電源でレール to レールに動作する OP アンプ, MCP602 を使用した。数 mV オーダーで振れるオーディオ信号を OP アンプの動作点まで引き上げたいので、バイアス回路にかけてから OP アンプに入力するようにしている。

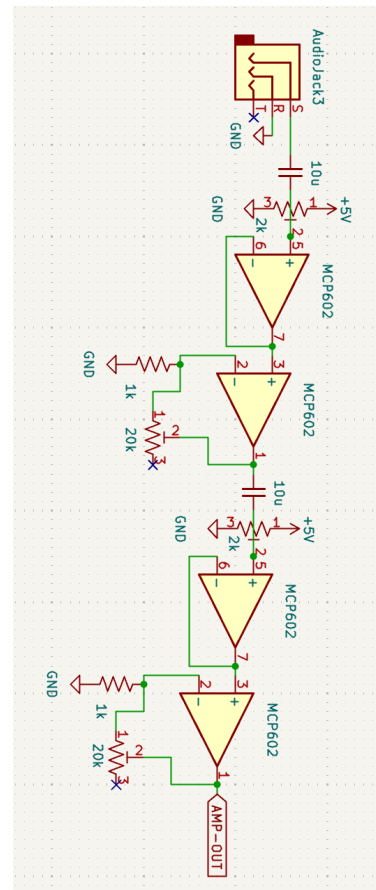


図 5. 入力側のアンプの回路

2.2.2 AD コンバータ

AD コンバータは図6のように設計した。使用した IC は μ PD6950 である。これは映像信号用の AD コンバータで、14MHz で 8bit の変換が可能である。

ADC_CLK は UART のタイミング用の信号の分周円で、4.9152MHz が入力されている。また, RT は AD コンバータの基準電圧で 3.5V に調整して入力される。

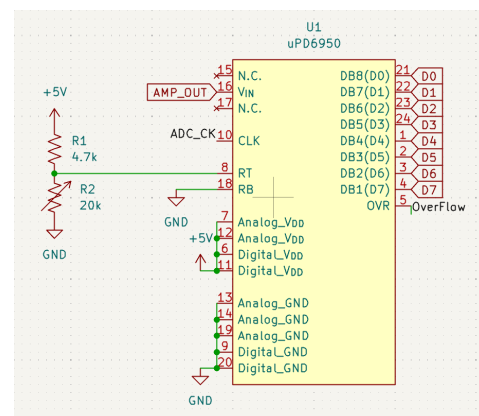


図 6. AD コンバータ

2.2.3 UART の出力

UART 出力回路は図 7 のように設計した。主な機能には 74ls165 を使用している。これは 8bit のシフトレジスタで、2 つつなげてダミー bit、スタート bit、データ bit を合わせた 16bit ぶんのデータをシフトしている。

`uart_baud0` は UART のボーレートで、もとの水晶を 2^5 分周した 307.2kHz になっている。これは、UART で伝統的に多く採用される 9600bps の 32 倍である。16bit で 1 周期なので、サンプリングレートは 19.2kHz である。

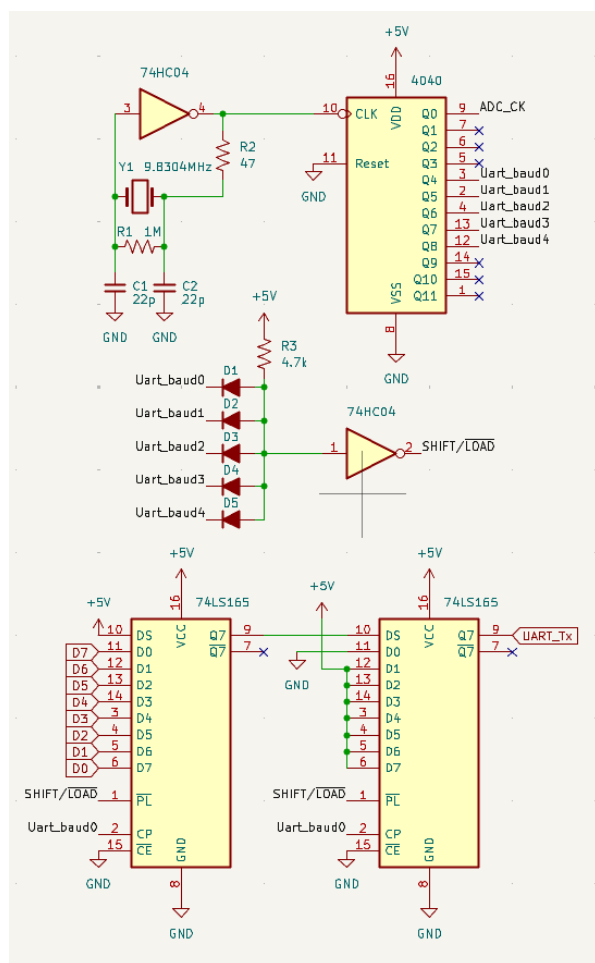


图 7. UART 出力回路

2.2.4 LED の駆動

LED 駆動回路は図 8 のように設計した。LED は浜松ホトニクス製の L12170 を使用した。これは普通の 5mmLED のサイズにも関わらず 300mA の大電流を流すことができ、なおかつ 40MHz もの高速な応答性を持っている。

これをフルパワーで駆動するにはロジック IC の出力では足りないので、MOSFET で駆動している。

使用した MOSFET は 2SK4017 である。この IC のゲートは 730 pF の容量があり、これもまたロジック IC の出力で 307.2kHz もの高速ではスイッチングできない。そこでロジック IC のと MOSFET のゲートの間に、2sc1815 と 2sa1015 のプッシュプル回路をはさんでいる。これはゲートドライバを使用したほうが理想的な動作をすると考えられる。

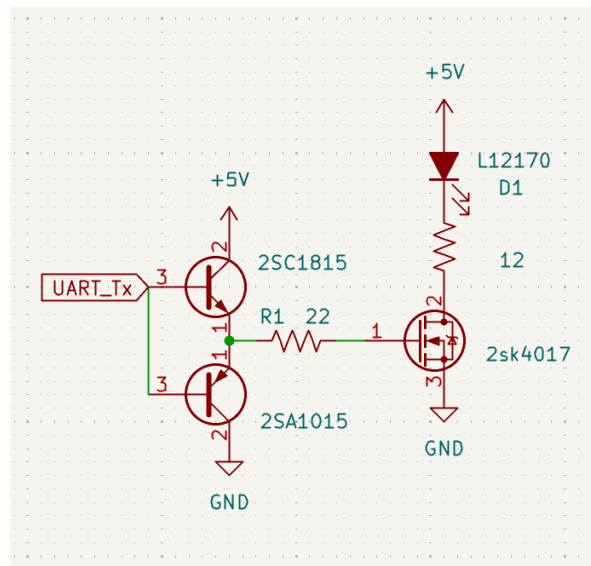


図 8. LED 駆動回路

2.2.5 TIA

TIA(トランスインピーダンスアンプ)は図9のように設計した. この回路は受光素子に流れる微小な逆電流をロジックレベルの電圧に変換する.

受光素子は浜松ホトニクス社の S6775 である。これは 25MHz の高速応答、大きい受光面積による高い受光感度が特徴で、見た目がカッコいいので図 10 に示す。使用した OP アンプはテキサスインスツルメンツ社の OPA350 で、これは 5V 単電源でレール to レールの出力、38MHz の広い利得帯域が特徴である。これは今回扱う高速な微小電流を電圧に変換する回路に適している。ひとつ 1100 円する。

この回路は前段と後段の 2 つのアンプで機能が分かれる。前段は TIA 本体で、後段はコンパレータである。TIA の出力は 2.5V を中心に、受光素子から流れる電流によって \pm 数十 mV で振れる。後段のコンパレータは 2.5V を中心に数 mV のヒステリシスを持っており、TIA から電流が流れたかどうかを見て High, Low を出力する。TIA、コンパレータ、ともに逆相アンプで、二重にかけることによって正相のアンプとして機能している。

この仕組みには疑問がある。たとえば、光があたったときはダイオードから電流が流れる。このとき、出

力電圧が2.5 Vから2.4 Vになるとする。それに対して光が当たっていないときは電流が流れないだけなので、出力電圧は2.5Vから変化しない。このとき、コンパレータはこの回路のとおりで作るとしきい値が2.51Vぐらいになってしまっていて、これを上回れる場合は存在なくなってしまう。これは決着がついていないので、回路の基準電圧を作る部分を可変にして、その場で対応できるようにする。

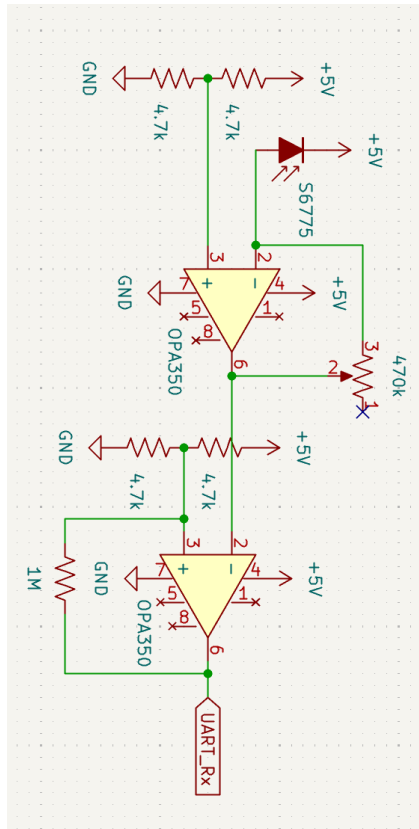


図 9. 入力側のアンプの回路

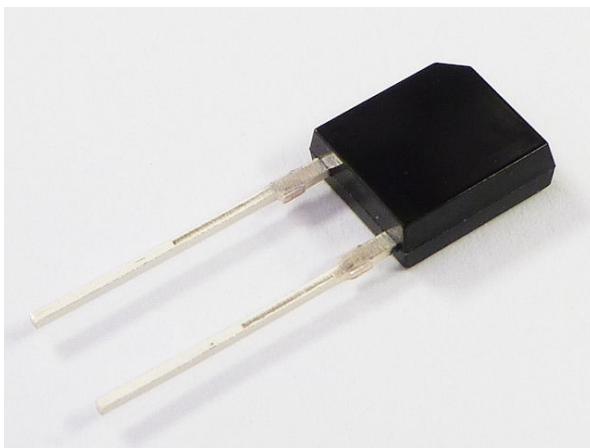


図 10. 受光素子,S6775

2.2.6 UART の受信

UART 受信回路は図 11 のように設計した。主な機能には 74ls595 を使用した。

これは 8bit のシフトレジスタで、シリアル信号をパラレルにして出力する。74ls74 は UART の信号が Low になるタイミングを監視していて、Low のエッジで 4040 の動作を可能にする。4040 はカウンタで、これが受信開始のタイミングで 0 からボーレートの立ち上がりまでクロックを数えると、UART の信号とボーレートの信号の立ち上がりは 1/2 周期ずれることになる。これが嬉しくて、ボーレートの立ち上がりのタイミングでは UART のデータはもっとも確からしい値を示している。そのタイミングでシフトレジスタに取り込めば、UART が受信できる。これを 9 回繰り返せば、スタート bit+データ bit を取り込んで、シフトレジスタにはちょうどデータだけが残る、受信が完了できる。ダイオードロジックはそのタイミングを監視していて、受信が完了したらカウンタを止めることで受信を終わらせる。

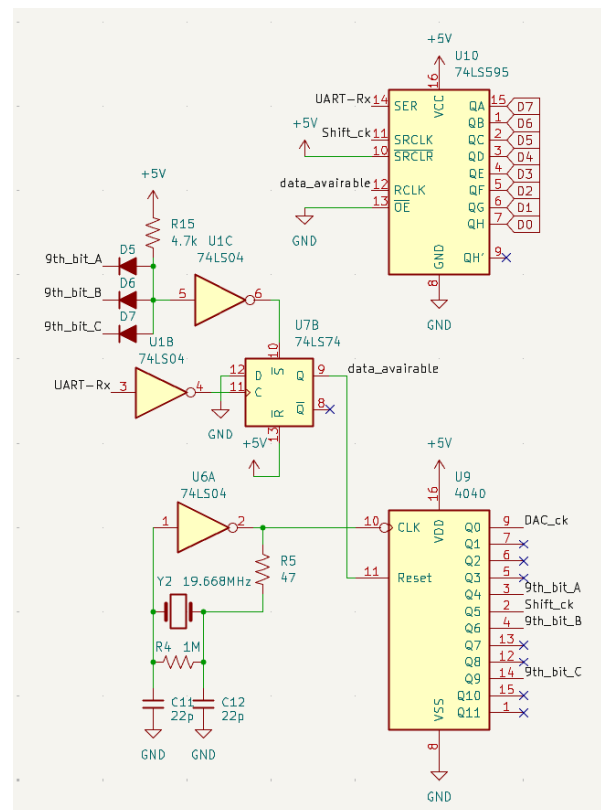


図 11. UART 受信回路

2.2.7 DA コンバータ

UART 受信回路は図 12 のように設計した。使用した IC は μ PD6902 である。これは映像信号用の DA コンバータで、 μ PD6950 とは対になる存在らしい。若

松通商で 800 円で、在庫残り 2 だった。出力についている MCP602 は DAC の出力を増強するものである。貴重な IC を壊したくないので、大事をとって入れてある。

DAC_CK は行儀の悪い回路である。図 11 を見ればわかるように、この信号は UART の信号次第でいくらでもストレッチされる。しかも、クロックが回るのは次のデータを受信している最中であるので、タイミング的にもなんだかややこしい。

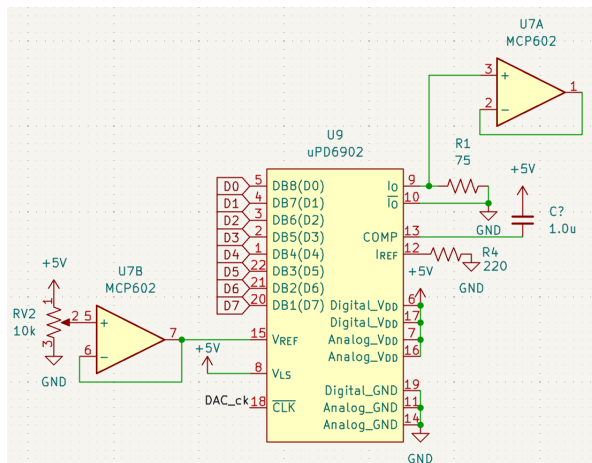


図 12. DA コンバータ

2.2.8 出力側アンプ

出力側アンプは図??のように設計した。使用した IC は LM386 で、回路はデータシートに記載のものをそのまま使用している。

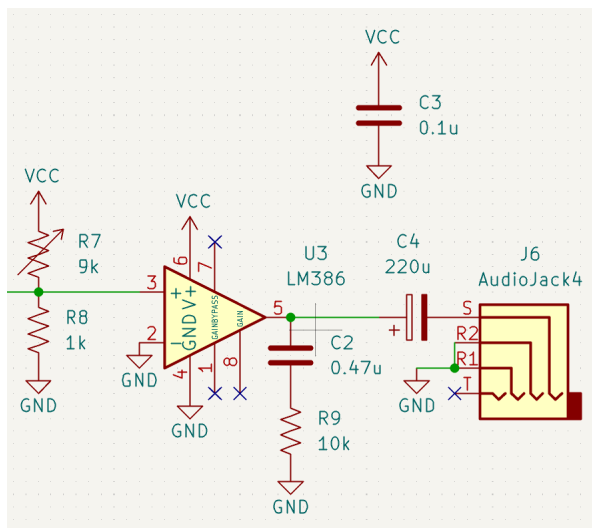


図 13. 出力側アンプ

2.3 基板への実装

基板に実装したものを図 13,14 に示す。

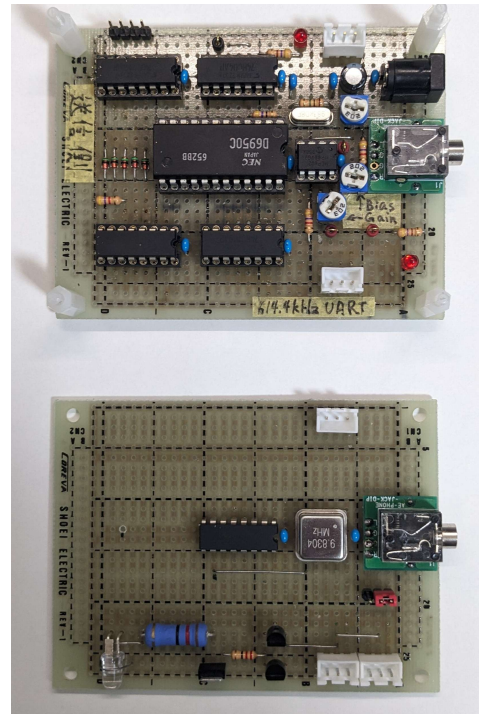


図 14. 送信側回路

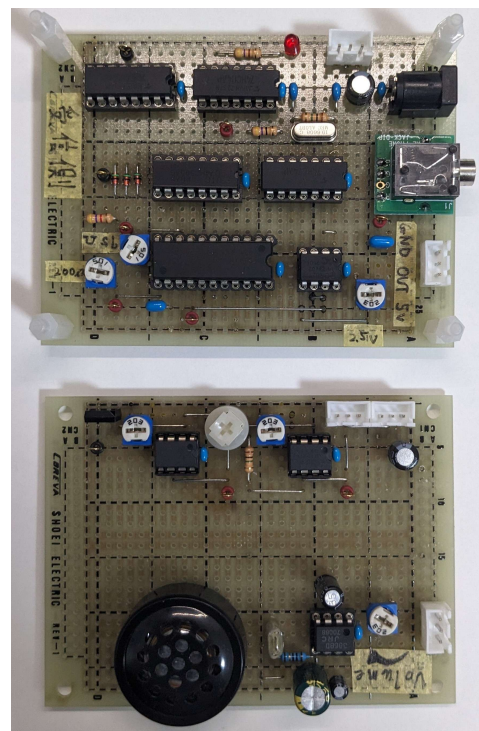


図 15. 受信側回路

3. 今後の予定

パラボラアンテナをつくって、通信距離を伸ばす。

4. 稲毛研に勝てるか

勝てる.