

# 第3回輪講資料

4321 野秋 琳太郎

2025 年 10 月 02 日

指導教員 宮田 尚起

## 1. はじめに

LED で光通信をして,「糸なし糸電話」をした. ほかの近況報告としては,「岩波講座 現代の物理学 <2> 電磁力学」を半分 (相対論の最初らへん) ぐらいまで読んだ. きっと編入試験やら来年の研究やらで役にたってくれるであろう.

## 2. やったこと

### 2.1 通信のプロトコルの整理

前回, 本橋の輪講資料にある通り, オーディオ信号を分解能 8bit でデジタル信号に変換し, シリアル通信でデータを送る. このシリアル通信は基本的に UART の規格に沿ったものであるが, 少々手が加えてある. 図 1,2 はそれぞれ, 本来の UART と「糸なし糸電話」用に手を加えた通信の波形である. 図 1 で周期的に垂れ流され, ダミー bit がストップ bit の役割をすることで, 通常の UART 受信回路を使用することができる.

今回使用する通信は途中で途絶えることが多い. 図 3 のようにデータを送っている途中で通信が開始した (再開した) 場合を考える. このとき, 送信側と受信側で現れる波形は同一であるが, その意味は異なる. まず, データが 1 から 0 になったタイミングで, 受信回路はそれをスタート bit として誤認する. そして 1bit ぶんの時間を開けて, そこから 8bit の信号をデータ bit としてゴミのデータを内部に取り込む. ここで 7bit ぶんのダミーがあるので, 次のスタート bit が来る前にデータの受信を完了する. するとダミー bit(1) のあとのスタート bit(0) を, 確実にスタート bit として認識できる. これにより, 2 周期目以降の通信では確実に正しいデータを得られるようになる.



図 1. UART 通信の波形

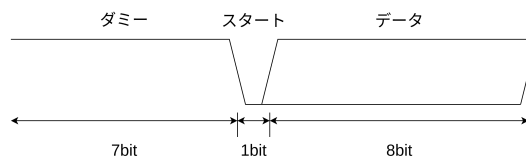


図 2. 使用する通信の波形

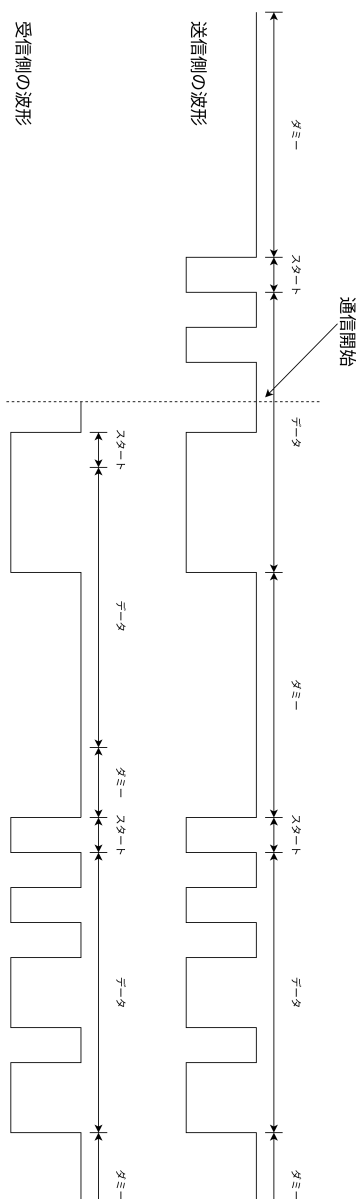


図 3. データの途中で通信が開始した場合

## 2.2 回路図を描く

糸なし糸電話のブロック図を図4に示す。各ブロックの回路を以下で説明する。

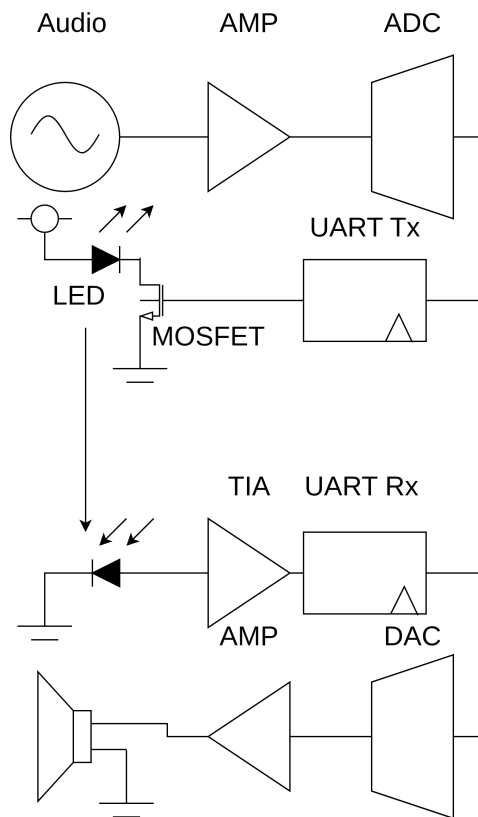


図 4. 糸なし糸電話のブロック図

### 2.2.1 入力側アンプ

入力側アンプは図5のように設計した。このアンプは二段階になっていて、DC カット→バイアス→増幅→DC カット→バイアス→増幅という構成になっている。入力電圧の振幅は、パソコンなどのイヤホンジャックで数百 mV、マイクの出力で数 mV である。そのため、アンプの増幅率は数十倍から数百倍のものが要になる。アンプを2段階にするとその調整が容易になる。

電源電圧に 5V 以外を用意するのは面倒なので、電源電圧 5V の単電源でレール to レールに動作する OP アンプ, MCP602 を使用した。数 mV オーダーで振れるオーディオ信号を OP アンプの動作点まで引き上げたいので、バイアス回路にかけてから OP アンプに入力するようにしている。

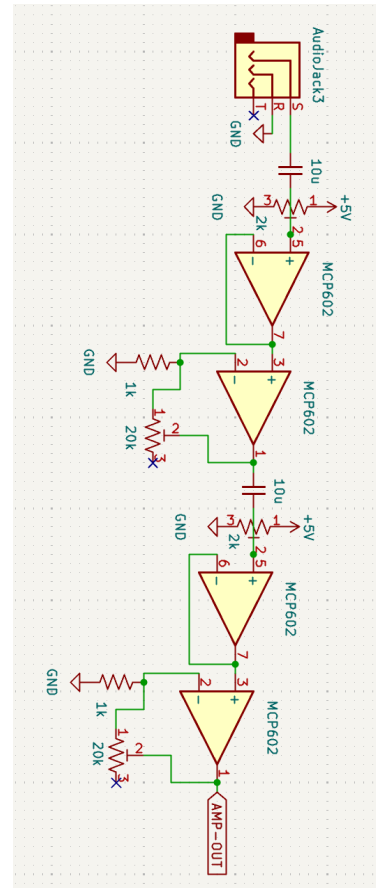


図 5. 入力側のアンプの回路

### 2.2.2 AD コンバータ

AD コンバータは図6のように設計した。使用した IC は  $\mu$ PD6950 である。これは映像信号用の AD コンバータで、14MHz で 8bit の変換が可能である。

ADC\_CLK は UART のタイミング用の信号の分周元で、4.9152MHz が入力されている。また、RT は AD コンバータの基準電圧で 3.5V に調整して入力される。

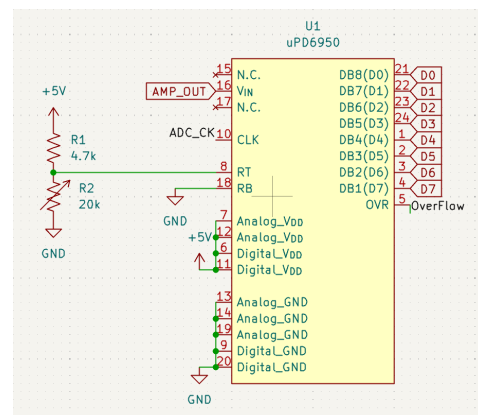


図 6. AD コンバータ

### 2.2.3 UART の出力

UART 出力回路は、図 7 に示すように設計した。この回路の中心的な役割を担っているのは、74LS165 である。74LS165 は 8bit 幅のシフトレジスタであり、本研究ではこれを 2 つ直列に接続することで、ダミー bit やスタート bit、そして実際のデータ bit を含めた合計 16bit 分のデータをシフトできるようにしている。この構成により、UART で必要とされる bit 列を一定のリズムで送り出すことが可能となる。

さらに、ダイオードロジックからの出力である *SHIFT\_LOAD* 信号は、16bit 分のシフトが完了したタイミングでアサートされ、この瞬間に新しいデータをレジスタにロードする仕組みとなっている。ダミー bit やスタート bit を含め、あらかじめ決め打ちされた bit 列を毎周期確実にセットすることによって、データの取りこぼしや不整合を避けつつ、安定した出力を実現している。

次にクロックの関係について述べる。*uart\_baud0* は UART のボーレートを決定する信号であり、基準となる水晶発振器の周波数を  $2^5$  で分周した結果、307.2 kHz となっている。これは、UART 通信で伝統的に広く採用されている 9600 bps のちょうど 32 倍に相当する。本設計では 16bit を 1 周期として扱うため、実際のサンプリングレートは 19.2 kHz となる。この値はオーディオ信号処理における標準的なレート（例えば 44.1 kHz や 48 kHz）に比べるとやや低いですが、UART を使ったシリアル通信の枠組みとしては十分に実用的な周波数であると考えられる。

以上のように、UART 出力回路はシフトレジスタの直列接続とシンプルなクロック分周を組み合わせることで、比較的少ない部品点数ながらも安定した通信を可能にしている。

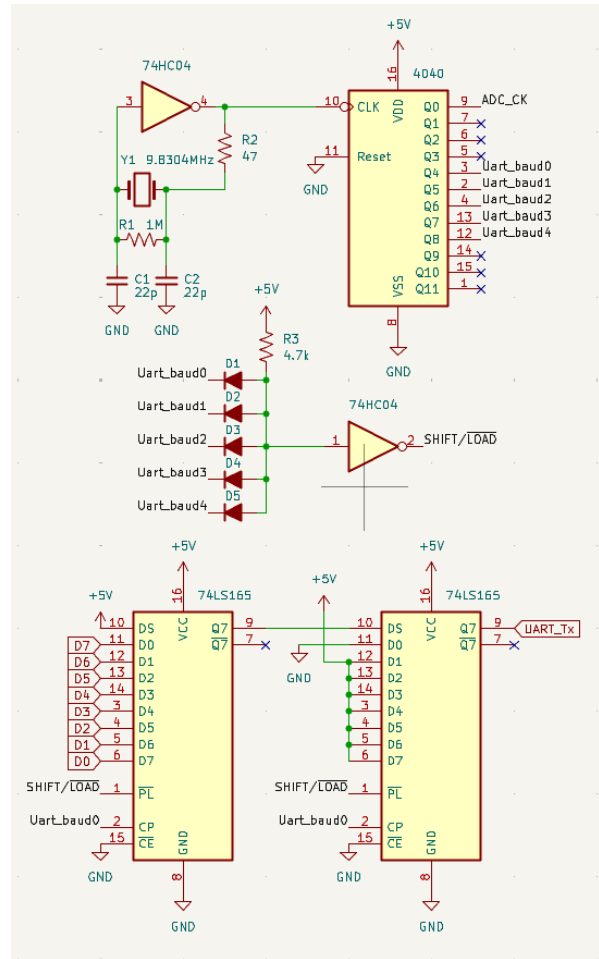


図 7. UART 出力回路

### 2.2.4 LED の駆動

LED 駆動回路は、図 8 に示すように設計した。本研究で使用した LED は、浜松ホトニクス製の L12170 である。このデバイスは外観こそ一般的な 5mm LED と同等のサイズであるが、最大 300 mA という大電流を駆動できるうえ、40 MHz もの高速応答性を持っているという特徴がある。

この LED をフルパワーで駆動するには、ロジック IC の出力能力では不十分である。そこで本設計では MOSFET を用いた駆動回路を採用した。使用した MOSFET は 2SK4017 であり、この MOSFET のゲート容量はおよそ 730 pF ある。そのため、ロジック IC の出力だけでは 307.2 kHz という比較的高い周波数でのスイッチングを安定して行うことができない。

この問題に対応するため、ロジック IC と MOSFET のゲートの間に、2SC1815 と 2SA1015 を用いたプッシュプル回路を挿入している。これにより、MOSFET ゲートの充放電が効率的に行われ、高速スイッチング動作を安定させることができる。もちろん、専用のゲートドライバ IC を用いればより理想的な駆動が実

現できると考えられるが、本回路では汎用トランジスタを組み合わせた簡易的な手法を採用している。

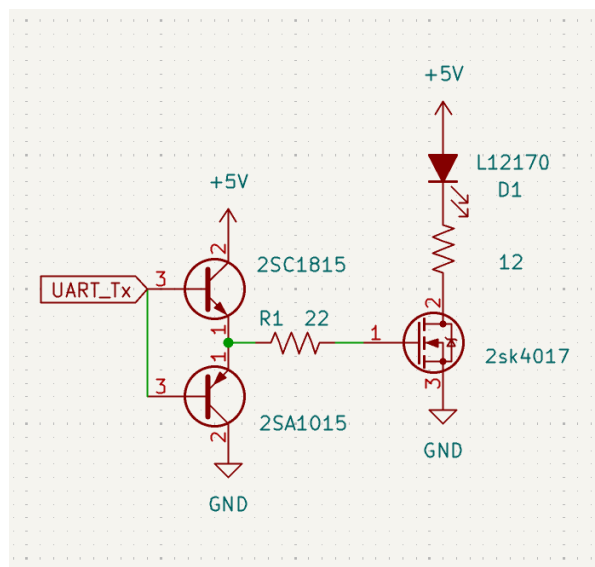


図 8. LED 駆動回路

### 2.2.5 受光部分

受光部分は図 9 のように設計した。この回路は受光素子に流れる微小な逆電流をロジックレベルの電圧に変換する。

受光素子は浜松ホトニクス製の S6775 である。これは 25MHz の高速応答、大きい受光面積による高い受光感度が特徴で、見た目がカッコいいので図 10 に示す。使用した OP アンプはテキサスインスツルメンツ製の OPA350 で、これは 5V 単電源でレール to レールの出力、38MHz の広い利得帯域が特徴である。これは今回扱う高速な微小電流を電圧に変換する回路に適している。ひとつ 1100 円する。

この回路は前段と後段の 2 つのアンプで機能が分かれる。前段は TIA 本体で、後段はコンパレータである。TIA の出力は 2.5V を中心に、受光素子から流れる電流によって  $\pm$  数十 mV で振れる。前段にある抵抗を大きくすると TIA がより大きい振幅の電圧を出力するようになる。受光素子から流れる微小な電流をどこまで大きな電圧に変換できるかが通信距離を伸ばす上で要となる。後段のコンパレータは 2.5V を中心に数 mV のヒステリシスを持っており、TIA から電流が流れたかどうかを見て High, Low を出力する。TIA、コンパレータ、ともに逆相アンプで、二重にかけることで正相のアンプとして機能している。

この仕組みには疑問がある。たとえば、光があたったときはダイオードから電流が流れる。このとき、出力電圧が 2.5V から 2.4V になるとする。それに対して光が当たっていないときは電流が流れないだけな

ので、出力電圧は 2.5V から変化しない。このとき、コンパレータはこの回路のとおりに作るとしきい値が 2.51V ぐらいになってしまって、これを上回れる場合は存在なくなってしまう。これは決着がつかないので、回路の基準電圧を作る部分を可変にして、その場で対応できるようにする。

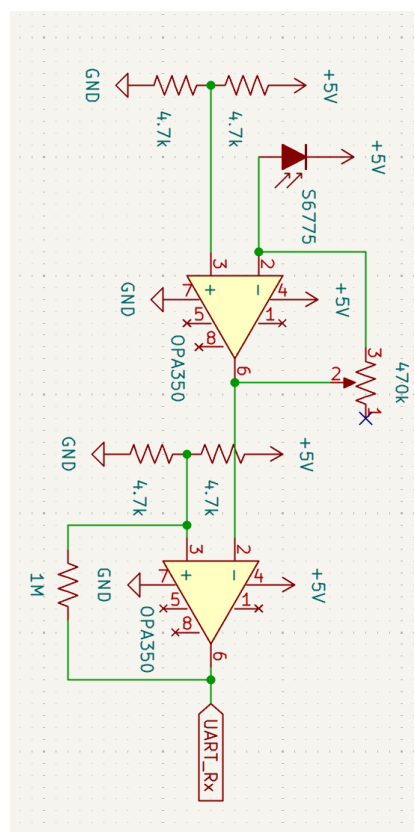


図 9. 入力側のアンプの回路

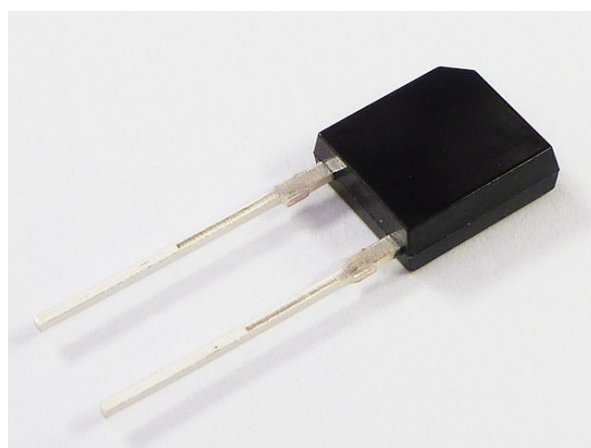


図 10. 受光素子, S6775

### 2.2.6 UART の受信

UART 受信回路は図 11 のように設計した. 主な機能には 74ls595 を使用した.

これは 8bit のシフトレジスタで、シリアル信号をパラレルにして出力する。74ls74 は UART の信号が Low になるタイミングを監視していて、Low のエッジで 4040 の動作を可能にする。4040 はカウンタで、これが受信開始のタイミングで 0 からボーレートの立ち上がりまでクロックを数えると、UART の信号とボーレートの信号の立ち上がりは 1/2 周期ずれることになる。これが嬉しくて、ボーレートの立ち上がりのタイミングでは UART のデータはもっとも確からしい値を示している。そのタイミングでシフトレジスタに取り込めば、UART が受信できる。これを 9 回繰り返せば、スタート bit+データ bit を取り込んで、シフトレジスタにはちょうどデータだけが残し、受信が完了できる。ダイオードロジックはそのタイミングを監視していて、受信が完了したらカウンタを止めることで受信を終わらせる。

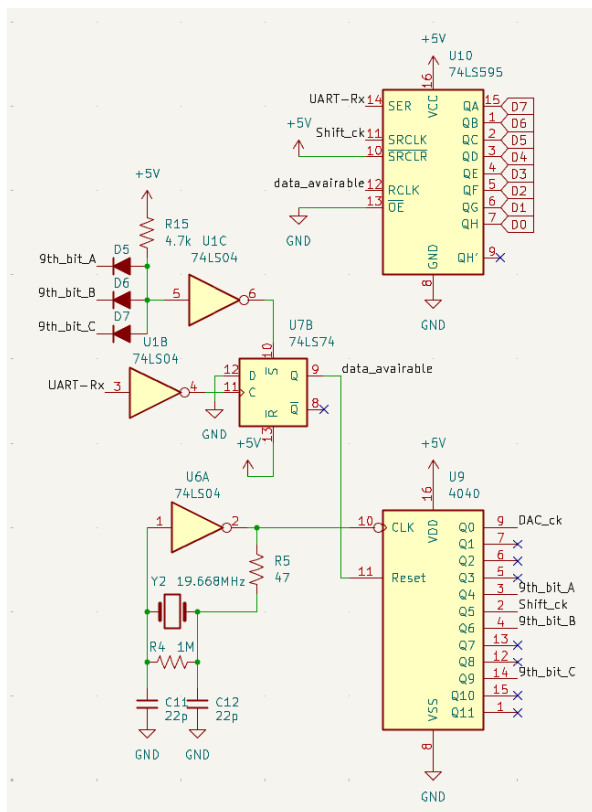


图 11. UART 受信回路

### 2.2.7 DA コンバータ

UART 受信回路は図 12 のように設計した。使用した IC は  $\mu PD6902$  である。これは映像信号用の DA コンバータで、 $\mu PD6950$  とは対になる存在らしい。若

松通商で 800 円で、在庫残り 2 だった。出力についている MCP602 は DAC の出力を増強するものである。貴重な IC を壊したくないので、大事をとって入れてある。

`DAC_CK` は行儀の悪い回路である。図 11 を見ればわかるように、この信号は UART の信号次第でいくらでもストレッチされる。しかも、クロックが回るのは次のデータを受信している最中であるので、タイミング的にもなんだかややこしい。

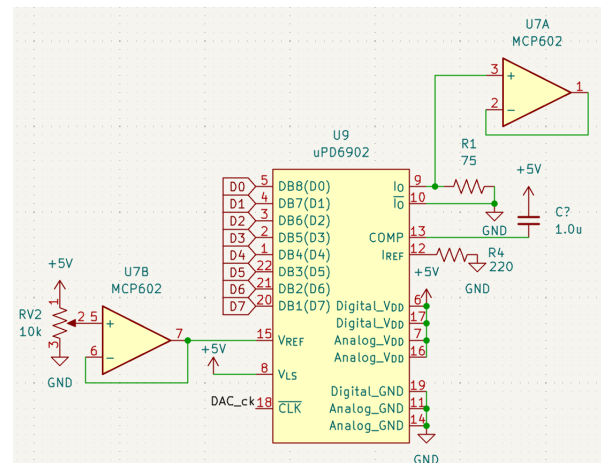


図 12. DA コンバータ

### 2.2.8 出力側アンプ

出力側アンプは図 13 のように設計した。使用した IC は LM386 で、回路はデータシートに記載のものをそのまま使用している。

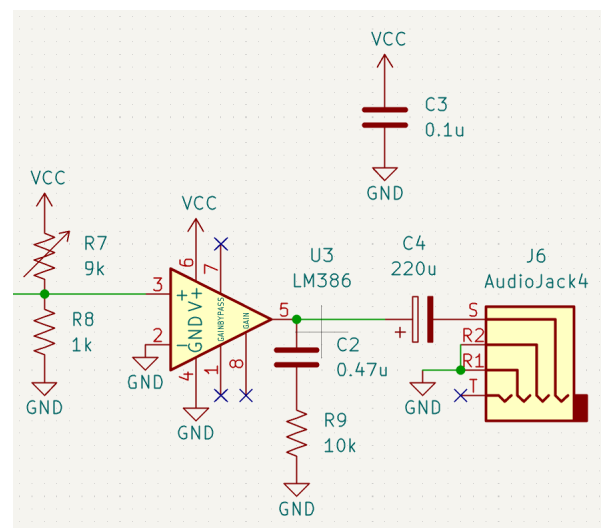


図 13. 出力側アンプ



## 2.3 基板への実装

基板に実装したものを図 14,15 に示す。

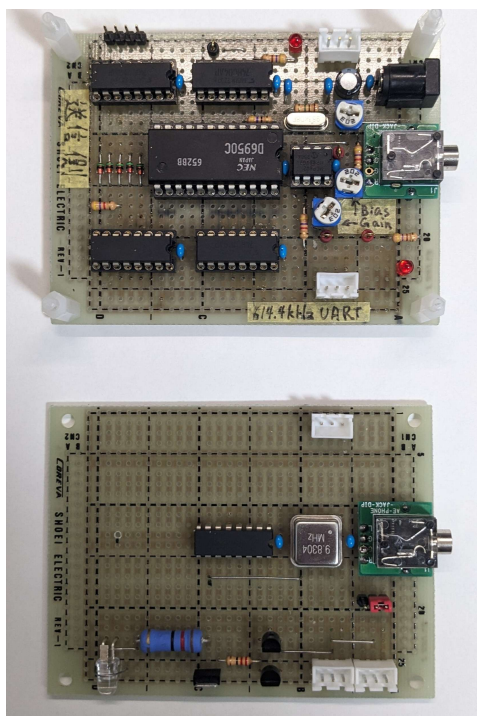


図 14. 送信側回路

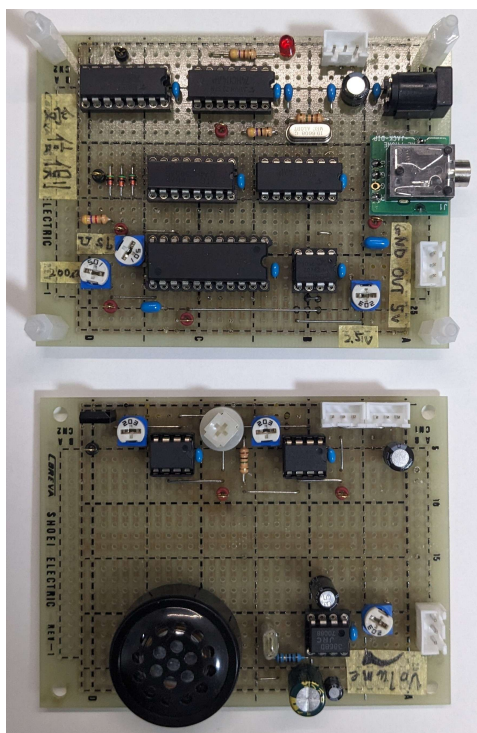


図 15. 受信側回路

## 3. 動作確認

図 16, 17 に示すように、通信が正常に行われていることを確認した。図 16 からは、送信側で出力された波形が受信側で忠実に再現されていることがわかる。また、図 17 では、PC のイヤホンジャックからの音声を受信側のスピーカーで出力している様子を示している。

本回路単体での通信距離は最大で約 5 m であった。それ以上の距離では、受光素子からの電流が不足し、TIA によって十分な振幅の電圧を得ることができなかった。この問題に対して、以下のような解決策が考えられる。

### • LED の高出力化

現在は 1 W クラスの LED を 1 個のみ使用している。これを 2 個、8 個、32 個と増設すれば、受光素子に流れる電流も増加すると考えられる。ただし、LED は 1 個あたり約 300 円と高価であり、コスト面が課題となる。

### • 受光素子の増設

受光素子を並列に追加することで、電流を単純に増加させることができると期待される。しかし、受光素子は数百 nA オーダーの微弱な電流しか流れず非常にデリケートであるため、この方法の有効性には不確実性がある。

### • パラボラアンテナの利用

大きな面積で集光し、受光素子に光を集中させることで、LED や受光素子を改造せずとも通信距離の延長が可能となる。ただし、大型の装置を製作する必要がある点が課題である。

実際に林がパラボラアンテナを試作し、これを用いてテストを行ったところ、通信距離は約 10 m まで延長できた。今後はこのアプローチを基盤として、通信距離のさらなる改善を図ることとする。

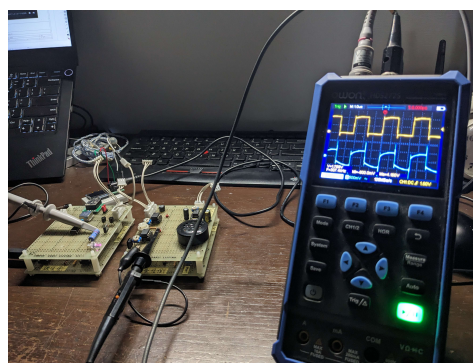


図 16. 通信の確認

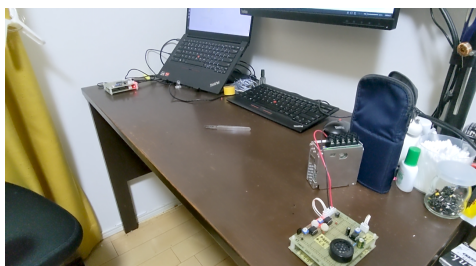


図 17. 動作確認

#### 4. 今後の予定

パラボラアンテナをつくって, 通信距離を伸ばす.

#### 5. 稲毛研に勝てるか

勝てる.