

СПЕЦІФІКАЦІЯ

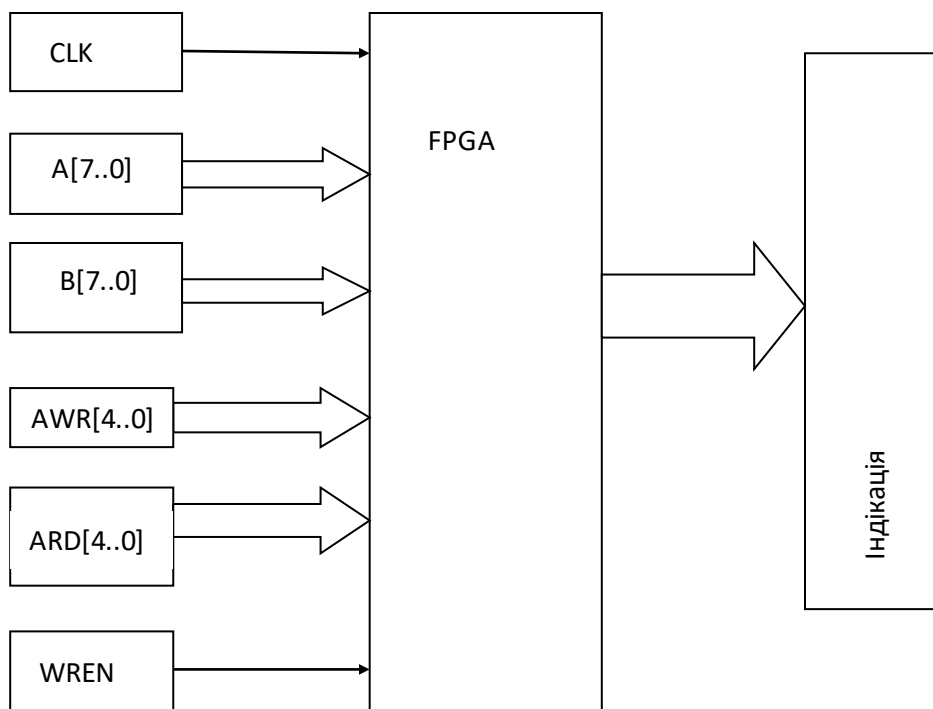
1. Назва пристрою

Конвейєрний перемножувач

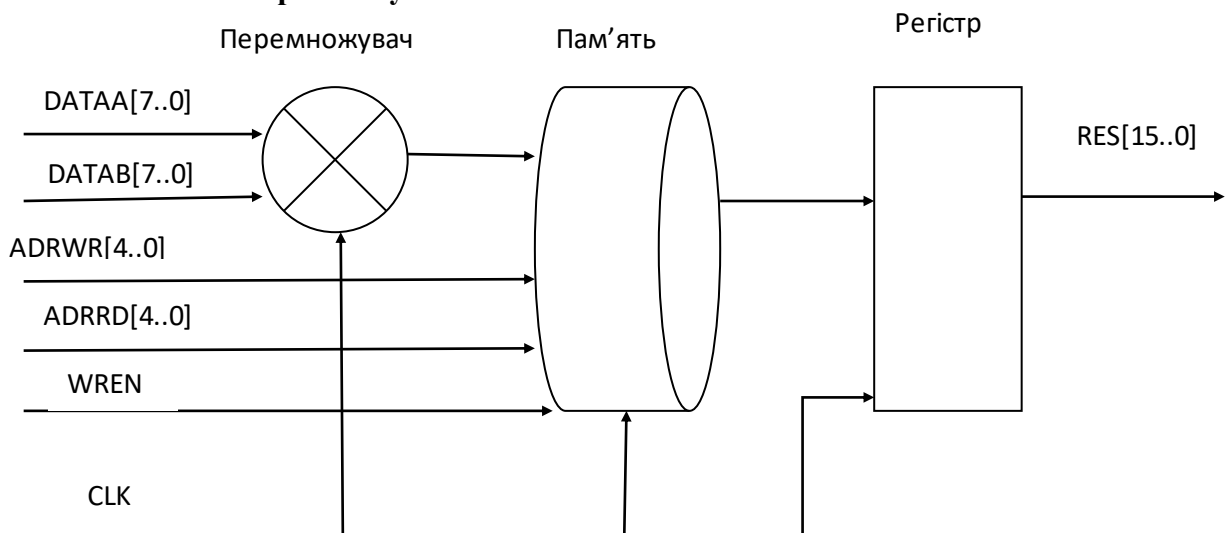
2. Призначення

Конвейєрний перемножувач призначений для виконання операції перемноження двох вхідних 8-розрядних чисел. Результат виконання операції зберігається за вказаною користувачем адресою у внутрішньому блоці пам'яті. Вихідні дані – 16-розрядне число, збережений результат перемноження, що зчитується з внутрішнього блоку пам'яті за заданною користувачем адресою. Всі дії в перемножувачі відбуваються синхронно, по передньому фронту зовнішнього тактового сигналу.

3. Схема підключення перемножувача до зовнішніх компонентів (головна блок-схема)



4. Блок-схема перемножувала



5. Порти вводу/виводу

Всі вхідні та вихідні сигнали відповідають вимогам стандарту LVTTTL 3,3V

6. Вимоги до швидкодії

- Максимальне значення вхідної тактової частоти становить 50 МГц;
- Затримки розповсюдження вхідних сигналів не перевищують 5 нс.

7. Вимоги до необхідних ресурсів

- Кількість логічних елементів, необхідних для реалізації пристрою – не більше 400;
- Кількість вбудованих блоків пам'яті – не більше 2;
- Кількість вбудованих арифметичних блоків – не більше 4.

8. Тип корпусу

Для реалізації проекту використовується мікросхема EP2C5F256C6 (сімейство Cyclone II у корпусі FBGA).

9. Порядок тестування

- Перевірка працездатності складових частин пристрою у середовищі ModelSim;
- Перевірка працездатності пристрою в цілому (результати перемноження, операції запису/зчитування з блоком пам'яті) у середовищі ModelSim;
- Перевірка працездатності пристрою на відлагоджувальній платі;
- Підтвердження коректності роботи пристрою з використанням вбудованого логічного аналізатору.