

Výstupní zpráva

Jméno: Denys Malyskyi

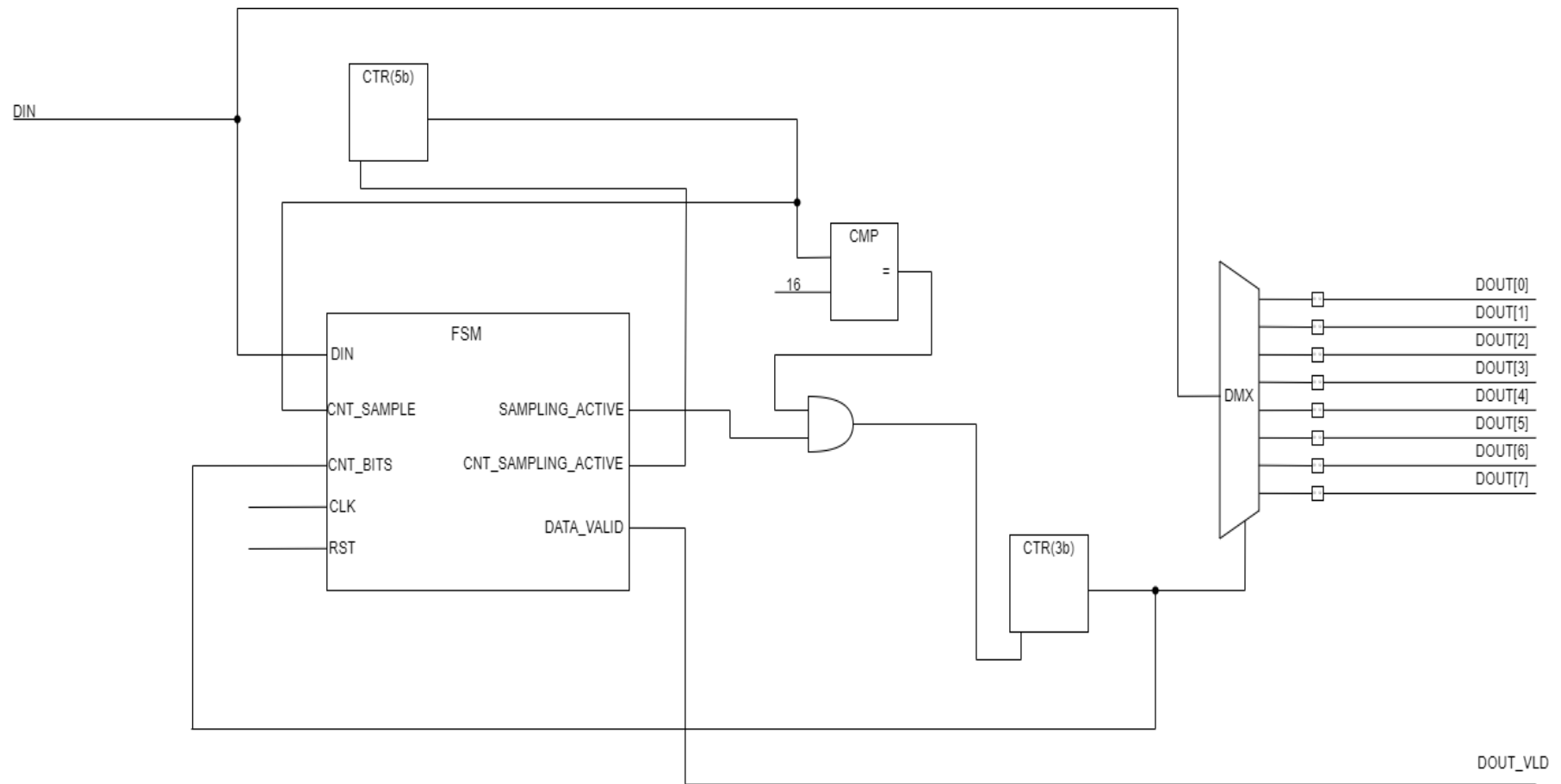
Login: xmalytd00

Architektura navrženého obvodu (na úrovni RTL)

Popis funkce

Když přijde na vstup start-bit obvod se přepne do stavu START, ve kterém počká 23 hodinových cyklů, poté se přepne do stavu DATA_SAMPLE. Pro výpočet času a vzorkování adresy používáme obvod 2 čítače. 1. počítá 16 cyklů mezi vzorkováním datových bitů. 2. počítá adresu bitu. Demultiplexor zajišťuje zápis bitů na výstupní registry.

Schéma obvodu



Návrh automatu (Finite State Machine)

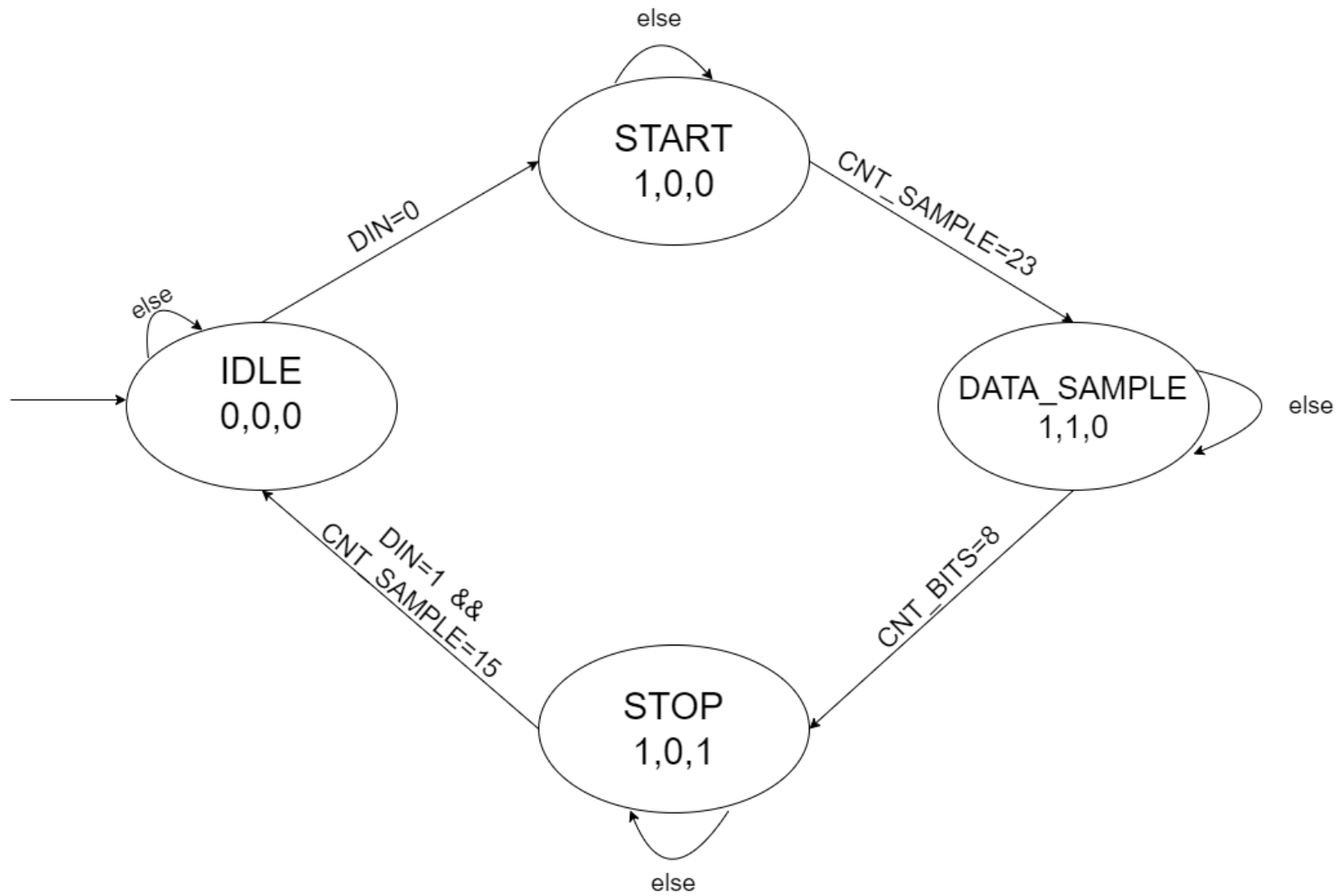
Popis funkce

Automat přechází mezi čtyřmi stavy. Stav IDLE znamená čekání na začátek přenosu. Stav START znamená, že obvod je aktivován a čeká 23 hodinových cyklů na první datový bit než se přepne do následujícího stavu. Stav DATA_SAMPLE znamená, že se postupně načítají 8 datových bitů, pak se přepne do stavu STOP. Stav STOP znamená, že všechna data již byla přijata a jakmile na vstup přijde stop-bit a čítač „CNT_SAMPLE“ je na hodnotě 15, tak provede se validace dat a automat se vrátí zpět do počátečního stavu IDLE.

Legenda:

- Stavy automatu: IDLE, START, DATA_SAMPLE, STOP
- Vstupní signály: DIN, CNT_SAMPLE, CNT_BITS
- Mealyho výstupy: žádné
- Moorovy výstupy: CNT_SAMPLING_ACTIVE, SAMPLING_ACTIVE, DATA_VALID

Schéma automate



Snímek obrazovky ze simulací

