

1. 某 CPU 的主频为 8MHz, 若已知每个机器周期平均包含 4 个时钟周期, 该机的平均指令执行速度为 0.8MIPS, 试求该机的平均指令周期及每个指令周期含多少个机器周期? 若改用时钟周期为  $0.4\mu\text{s}$  的 CPU 芯片, 则计算机的平均指令执行速度为多少 MIPS? 若要得到平均每秒 40 万次的指令执行速度, 则应采用主频为多少的 CPU 芯片?

【解】先通过主频求出时钟周期时间, 再进一步求出机器周期和平均指令周期。

$$\text{时钟周期} = 1/(8\text{MHz}) = 0.125 \times 10^{-6} \text{s} = 125\text{ns}$$

$$\text{机器周期} = 125\text{ns} \times 4 = 500\text{ns} = 0.5\mu\text{s}$$

$$\text{平均指令周期} = 1/(0.8\text{MIPS}) = 1.25 \times 10^{-6} \text{s} = 1.25\mu\text{s}$$

$$\text{每个指令周期所含机器周期个数} = 1.25\mu\text{s}/0.5\mu\text{s} = 2.5 \text{ 个}$$

• 4 •

当芯片改变后, 相应参数变为

$$\text{机器周期} = 0.4\mu\text{s} \times 4 = 1.6\mu\text{s}$$

$$\text{平均指令周期} = 1.6\mu\text{s} \times 2.5 = 4\mu\text{s}$$

$$\text{平均指令执行速度} = 1/(4\mu\text{s}) = 0.25\text{MIPS}$$

若要得到平均每秒 40 万次的指令执行速度, 则应采用的主频为

$$\text{平均指令周期} = 1/(0.4\text{MIPS}) = 2.5 \times 10^{-6} \text{s} = 2.5\mu\text{s}$$

$$\text{机器周期} = 2.5\mu\text{s} \div 2.5 = 1\mu\text{s}$$

$$\text{时钟周期} = 1\mu\text{s} \div 4 = 0.25\mu\text{s}$$

$$\text{主频} = 1/(0.25\mu\text{s}) = 4\text{MHz}$$

2. 假定机器 M 的时钟频率为 1.2GHz, 某程序 P 在机器 M 上的执行时间为 12s。对 P 优化时, 将其所有的“乘 4”指令都换成了一条“左移 2 位”的指令, 得到优化后的程序 P'。已知在 M 上乘法指令的 CPI 为 5, 左移指令的 CPI 为 2, P 的执行时间是 P' 执行时间的 1.2 倍, 则 P 中有多少条乘法指令被替换成了左移指令被执行?

【解】P' 的执行时间为 10s, 因此, P 比 P' 多花了 2s。故执行时被换成左移指令的乘法指令的条数为  $1.2\text{G} \times 2 / (5 - 2) = 800\text{M}$ 。

14. 已知定点小数  $x$  的反码为  $1.x_1x_2x_3$ , 且  $x < -0.75$ , 则必有\_\_\_\_\_。

A.  $x_1=0, x_2=0, x_3=1$

B.  $x_1=1$

C.  $x_1=0$ , 且  $x_2, x_3$  不全为 0

D.  $x_1=0, x_2=0, x_3=0$

17. 在浮点数原码运算时, 判定结果为规格化数的条件是\_\_\_\_\_。

A. 阶的符号位与尾数的符号位不同

B. 尾数的符号位与最高数值位相同

C. 尾数的符号位与最高数值位不同

D. 尾数的最高数值位为 1

22. 下列说法中正确的是\_\_\_\_\_。

- A. 采用变形补码进行加减法运算可以避免溢出
- B. 只有定点数运算才有可能溢出,浮点数运算不会产生溢出
- C. 只有带符号数的运算才有可能产生溢出

D. 只有将两个正数相加时才有可能产生溢出

24. 下溢指的是\_\_\_\_\_。

- A. 运算结果的绝对值小于机器所能表示的最小绝对值
- B. 运算的结果小于机器所能表示的最小负数
- C. 运算的结果小于机器所能表示的最小正数
- D. 运算结果的最低有效位产生的错误

26. 下面浮点运算器的描述中正确的句子是\_\_\_\_\_。

- A. 浮点运算器用两个松散连接的定点运算部件——阶码部件和尾数部件来实现
- B. 阶码部件可实现加、减、乘、除四种运算
- C. 阶码部件只进行阶码相加、相减和比较操作
- D. 尾数部件只进行乘法和除法运算

4. 把十进制数  $x = (+128.75) \times 2^{-10}$  写成浮点表示的机器数,阶码、尾数分别用原码、反码和补码表示。设阶码 4 位,阶符 1 位,尾数 15 位,尾数符号 1 位。

【解】

$$x = (+128.75) \times 2^{-10}$$

$$[x]_{\text{原}} = 1 \ 0010 \ 0 \ 100000001100000$$

$$[x]_{\text{反}} = 1 \ 1101 \ 0 \ 100000001100000$$

$$[x]_{\text{补}} = 1 \ 1110 \ 0 \ 100000001100000$$

阶 符	阶 码	数 符	尾 数
--------	--------	--------	--------

6. 假设由  $S, E, M$  三个域中  $S=1$  位,  $E=8$  位,  $M=23$  位, 它们组成一个 32 位二进制字所表示的非零规格化浮点数  $x$ , 其值表示为

$$x = (-1)^S \times (1.M) \times 2^{E-128}$$

问: 它所表示的规格化的最大正数、最小正数、最大负数、最小负数是多少?

【解】(1) 最大正数

0	11	111	111	111	111	111	111	111	111	111	111	11
---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = [1 + (1 - 2^{-23})] \times 2^{127}$$

(2) 最小正数

0	00	000	000	000	000	000	000	000	000	000	000	00
---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = 1.0 \times 2^{-128}$$

(3) 最小负数

1	11	111	111	111	111	111	111	111	111	111	111	11
---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = -[1 + (1 - 2^{-23})] \times 2^{127}$$

(4) 最大负数

1	00	000	000	000	000	000	000	000	000	000	000	00
---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = -1.0 \times 2^{-128}$$

17. 已知  $x = 0.5_{10}$ ,  $y = -0.4375_{10}$ , 用二进制形式求  $(x + y)_{\text{浮}}$ 。

【解】第 1 步 先将两个十进制数用规格化的二进制数形式表示出来, 假设保留 4 位有效数位

$$x = 0.5_{10} = 0.1_2 = 0.1_2 \times 2^0 = 1.000_2 \times 2^{-1}$$

$$y = -0.4375_{10} = -0.0111_2 = -0.0111_2 \times 2^0 = -1.110_2 \times 2^{-2}$$

第 2 步 对阶: 将指数较小的  $y$  的有效数位右移 1 位, 与  $x$  的小数点对齐

$$y = -1.110_2 \times 2^{-2} = -0.111_2 \times 2^{-1}$$

第 3 步 求和: 两个加数的有效数位相加

$$x + y = 1.000_2 \times 2^{-1} + (-0.111_2 \times 2^{-1}) = 0.001_2 \times 2^{-1}$$

第 4 步 规格化, 并检查是否溢出

$$x + y = 0.001_2 \times 2^{-1} = 0.010_2 \times 2^{-2} = 0.100_2 \times 2^{-3} = 1.000_2 \times 2^{-4}$$

由于  $127 \geq -4 \geq -126$  (移码表示), 因此求和结果既无上溢也无下溢。

4. 某加法器进位链小组信号为  $C_4C_3C_2C_1$ , 低位来的进位信号为  $C_0$ , 请分别按下述两种方式写出  $C_4C_3C_2C_1$  的逻辑表达式。

1	0	0	A 加 B
1	0	1	A 加 B 加 0001
1	1	0	A 加 1111
1	1	1	A 加 1111 加 0001

(1) 串行进位方式;

(2) 并行进位方式。

【解】(1) 串行进位方式:

$$C_1 = G_1 + P_1 C_0 \quad \text{其中, } G_1 = A_1 B_1, \quad P_1 = A_1 \oplus B_1$$

$$C_2 = G_2 + P_2 C_1 \quad G_2 = A_2 B_2, \quad P_2 = A_2 \oplus B_2$$

$$C_3 = G_3 + P_3 C_2 \quad G_3 = A_3 B_3, \quad P_3 = A_3 \oplus B_3$$

$$C_4 = G_4 + P_4 C_3 \quad G_4 = A_4 B_4, \quad P_4 = A_4 \oplus B_4$$

(2) 并行进位方式:

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

其中,  $G_1 \sim G_4, P_1 \sim P_4$  表达式与串行进位方式相同。

6. 某 DRAM 芯片, 其存储容量为  $512K \times 8$  位, 该芯片的地址线 and 数据线数目为\_\_\_\_\_。

- A. 8, 512      B. 512, 8      C. 18, 8      D. 19, 8

7. 某机字长 32 位, 存储容量 256MB, 若按字编址, 它的寻址范围是\_\_\_\_\_。

- A. 1M      B. 512KB      C. 64M      D. 256KB

8. 某计算机字长 32 位, 其存储容量为 4GB, 若按字编址, 它的寻址范围是\_\_\_\_\_。

- A. 1G      B. 4GB      C. 4G      D. 1GB

12. 某计算机的 cache 共有 16 行, 采用 2 路组相联映射方式 (即每组 2 行)。每个主存块大小为 32 字节, 按字节编址。主存 135 号单元所在主存块应装入到的 cache 组号是\_\_\_\_\_。

- A. 0      B. 2      C. 4      D. 6

16. 下列说法中正确的是\_\_\_\_\_。

- A. SRAM 存储器技术提高了计算机的速度  
B. 若主存由 ROM 和 RAM 组成, 容量分别为  $2^n$  和  $2^m$ , 则主存地址共需  $n+m$  位  
C. 闪速存储器是一种高密度、非易失性的读/写半导体存储器  
D. 存取时间是指连续两次读操作所需间隔的最小时间

8. 某 DRAM 芯片内部的存储单元为  $128 \times 128$  结构。该芯片每隔  $2\text{ms}$  至少要刷新一次,且刷新是通过顺序对所有 128 行的存储单元进行内部读操作和写操作实现的。设存储器周期为  $500\text{ns}$ 。求其刷新的开销(也即进行刷新操作的时间所占的百分比)。

【解】每刷新一行需进行一次读操作和一次写操作,故每行的刷新时间为  $500\text{ns} \times 2 = 1000\text{ns} = 1\mu\text{s}$ 。在  $2\text{ms}$  时间内需进行 128 次刷新,需时  $1 \times 128 = 128\mu\text{s}$ 。故刷新的开销为

$$128\mu\text{s} / 2\text{ms} \times 100\% = 6.4\%$$

12. 设存储器容量为 32 字,字长 64 位,模块数  $m=4$ ,分别用顺序方式和交叉方式进行组织。存储周期  $T=200\text{ns}$ ,数据总线宽度为 64 位,总线传送周期  $\tau=50\text{ns}$ 。问顺序存储器和交叉存储器的带宽各是多少?

【解】信息总量:  $q = 64 \text{ 位} \times 4 = 256 \text{ 位}$

顺序存储器与交叉存储器读出 4 个字的时间分别是

$$t_2 = mT = 4 \times 200\text{ns} = 8 \times 10^{-7}(\text{s})$$

$$t_1 = T + (m-1)\tau = 200 + 3 \times 50 = 3.5 \times 10^{-7}(\text{s})$$

则顺序存储器带宽为

$$W_2 = q/t_2 = 32 \times 10^7 (\text{位/s})$$

交叉存储器带宽为

$$W_1 = q/t_1 = 73 \times 10^7 (\text{位/s})$$

13. 某计算机系统的内存存储器由 cache 和主存构成,cache 的存取周期为  $45\text{ns}$ ,主存的存取周期为  $200\text{ns}$ 。已知在一段给定的时间内,CPU 共访问内存 4500 次,其中,340 次访问主存。问:

(1) cache 的命中率是多少?

(2) CPU 访问内存的平均时间是多少纳秒?

(3) cache-主存系统的效率是多少?

【解】(1) cache 的命中率

$$H = \frac{N_c}{N_c + N_m} = \frac{4500 - 340}{4500} = 0.92$$

(2) CPU 访存的平均时间

$$T_a = H \cdot T_c + (1-H)T_m = 0.92 \times 45 + (1-0.92) \times 200 = 57.4 (\text{ns})$$

(3) cache-主存系统的效率

$$e = \frac{T_c}{T_a} \times 100\% = \frac{45}{57.4} \times 100\% = 0.78 \times 100\% = 78\%$$



32. 某计算机系统,主存按字节编址,容量为 4MB。cache 容量为 16KB,每块有 8 个字,每字 32 位。只有 Load/Store 指令能对存储器进行读/写操作,其他指令只对寄存器进行操作。根据程序运行的统计结果,每种指令所占的比例如下表所示。已知 cache 的命中率是 98%,cache 访问命中时的 CPI 是 2.0,而 cache 访问不命中时,缺失的损失是 25 个时钟周期。

指令种类	指令所占比例
算术逻辑运算	35%
Load/Store	40%
转移	10%
其他	15%

- (1) 请解释 CPI 的含义;
- (2) 若 cache 采用四路组相联映射,请给出主存地址中各个字段的位数;
- (3) 若 cache 采用直接映射,请给出主存地址中各个字段的位数;
- (4) 如果 cache 命中率提高到 100%,那么机器的速度是原来(存在 cache 缺失时)的多少?

**【解】**(1) CPI 是指每条指令执行的周期数。

(2) 每个字 32 位=4B,每块  $8 \times 4B = 32B$ 。cache 每组  $16KB/4 = 4KB$ ,故共  $4KB/32B = 128$  组

主存地址位数=22,故 Tag 字段位数(区号位数)= $22 - 7 - 5 = 10$

主存地址字段格式:10 位 Tag+7 位组号+5 位字地址

(3) 每个字 32 位=4B,每块  $8 \times 4B = 32B$ 。故 cache 共  $16K/32 = 512$  页

主存地址位数=22,故 Tag 字段位数(区号位数)=  $22 - 9 - 5 = 8$  ( $4M/16K = 256$  区)

主存地址字段格式:8 位 Tag+9 位页号+5 位字地址

(4) 设机器执行的总指令条数为  $n$ ;若所有存储器访问都命中 cache 时,所需总时钟周期数为  $T1$ ;而在存在 cache 缺失时,执行上述指令的总时钟周期为  $T2$ ,则

$$T1 = \text{指令条数} \times \text{CPI} = 2n$$

$$T2 = T1 + \text{cache 缺失指令条数} \times \text{引起的延迟} = 2n + 40\% \times (1 - 98\%) \times 25n = 2.2n$$

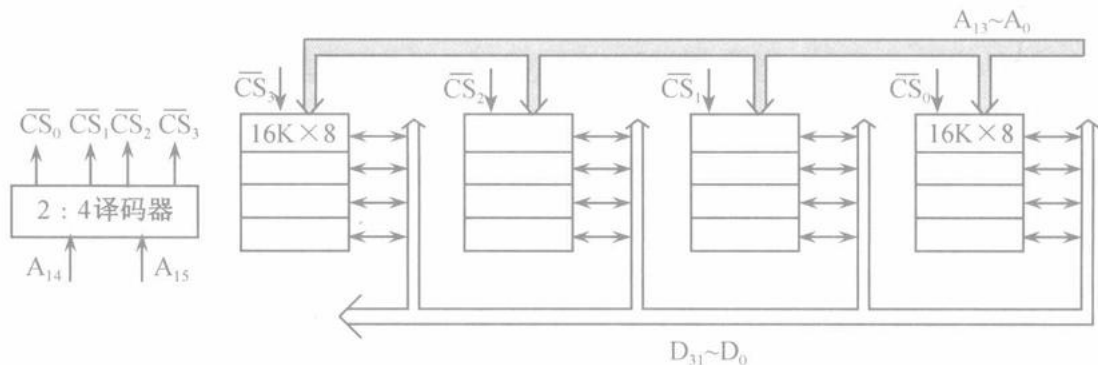
则加速比  $S = T2/T1 = 1.1$ ,也即在 cache 全部命中情况下的机器速度是在 cache 有缺失情况下的 1.1 倍。

7. 用  $16\text{K} \times 8$  位的 DRAM 芯片构成  $64\text{K} \times 32$  位的存储器。要求:

(1) 画出该存储器组成的逻辑框图。

(2) 设存储器读、写周期均为  $0.5\mu\text{s}$ , CPU 在  $1\mu\text{s}$  内至少访问一次。试问采用哪种刷新方式比较合理? 两次刷新的最大时间间隔是多少? 对全部存储单元刷新一遍所需的实际刷新时间是多少?

【解】(1) 根据题意, 存储器总容量为  $64\text{K} \times 32$  位, 故地址线总需 16 位。现使用  $16\text{K} \times 8$  位的 DRAM 芯片, 共需 16 片。芯片本身地址线占 14 位, 所以采用位并联与地址串联相结合的方法来组成整个存储器, 其组成逻辑框图如图 3.20 所示, 其中, 使用一片 2:4 译码器。



(2) 根据已知条件, CPU 在  $1\mu\text{s}$  内至少访存一次, 所以整个存储器的平均读/写周期与单个存储器片的读/写周期相差不多。应采用异步式刷新方式比较合理。

对 DRAM 存储器来讲, 两次刷新的最大时间间隔是  $2\text{ms}$ 。DRAM 芯片读/写周期为  $0.5\mu\text{s}$ , 假定  $16\text{K} \times 1$  位的 DRAM 芯片用  $128 \times 128$  矩阵存储元构成, 刷新时只对 128 行进行异步方式刷新, 则刷新间隔为  $2\text{ms}/128 = 15.6\mu\text{s}$ , 可取刷新信号周期  $15\mu\text{s}$ 。