

OPL1000

ULTRA-LOW POWER 2.4GHZ WI-FI + BLUETOOTH SMART SOC

HDK 开发指南



OPULINKS

<http://www.opulinks.com/>

Copyright © 2020, OpuLinks. All Rights Reserved.

OPL1000-HDK 开发指南 | Version 1.1

版本纪录

Date	Version	Contents Updated
04/04/2018	0.1	<ul style="list-style-type: none"> Initial Release
04/23/2018	0.2	<ul style="list-style-type: none"> Updated Chapters “電源走線和電源去耦 DC powertrace layout and decoupling” and “晶振和閃存 CRYSTAL & FLASH” for better understanding Modified the following figures: RF 晶振電路、RF 外部 Flash 與 Mode_strap 共用腳電路、IoT 母板參考電路、IoT 子板參考電路 Added Chapter “开发设置 Development Setup”
06/30/2018	0.3	<ul style="list-style-type: none"> Updated for new package
08/04/2018	0.4	<ul style="list-style-type: none"> Updated schematic and layout file
09/30/2018	0.5	<ul style="list-style-type: none"> Updated schematic and layout file
10/10/2018	0.6	<ul style="list-style-type: none"> Updated schematic and layout file
02/13/2020	1.0	<ul style="list-style-type: none"> Updated schematic and layout file 第七章更新为“晶振和閃存 CRYSTAL & FLASH”，将 mode strap 移除 第三章管脚功能描述修改 第三章 GPIO6 增加备注描述 第五章修改内容描述 第六章修改内容描述 第八/九章母版修改为底板，及其内容描述
02/26/2020	1.1	<ul style="list-style-type: none"> 更新 Figure12, 13, 14, 16, 17 至 A2 修正 DataSheet 与电路图，pin 名称一致 更新 Figure2

目录

1. 摘要 ABSTRACT	1
2. 引言 INTRODUCTION	2
3. 芯片脚位定义与功能叙述 CHIP PIN DEFINITION AND FUNCTIONAL DESCRIPTION	3
4. 射频电路设计 RF CIRCUIT DESIGN	7
5. 接地区域 GROUND PLANES	8
6. 电源走线和电源去耦 DC POWER TRACE LAYOUT AND DECOUPLING	10
7. 晶振和闪存 CRYSTAL & FLASH	13
7.1. 晶振	13
7.2. Flash	14
8. 开发底板设计 DEVELOPMENT BOARD DESIGN	15
9. 底板/子板参考电路 REFERENCE SCHEMATICS AND PCB LAYOUT	17
10. 版图迭构设计 PCB LAYER STACK-UP	21

图目录

Figure 1. Block Diagram2

Figure 2. OPL1000 Pin Layout3

Figure 3. RF 建议电路设计7

Figure 4. 子板接地过孔(Via).....8

Figure 5. 红色外框为 Shielding cover (Shorted to PCB GND)9

Figure 6. RF 电源电路 1 10

Figure 7. RF 电源电路 2 11

Figure 8. Buck 直流转换器电源电路 11

Figure 9. RF 电源电路 3 12

Figure 10. RF 晶振电路 13

Figure 11. Flash 脚位连接..... 14

Figure 12. 底板与子板实体图..... 15

Figure 13. 脚位配置底视图 16

Figure 14. 底板参考电路 17

Figure 15.底板版图设计 18

Figure 16. 子板参考电路 19

Figure 17. 子板版图设计 20

1. 摘要 ABSTRACT

OPL1000 是集成 Wi-Fi 802.11b 及 Bluetooth Smart[®] 单芯片，高度整合所有 Wi-Fi 及 Bluetooth Smart 无线网络联机需求，以最新的技术，设计最低功率消耗，最小的封装支持最多的接口，并极低的制造成本，实现更新的运用领域，成为客户开创新商品所必备的芯片。

2. 引言 INTRODUCTION

OPL1000 是高度集成、高性价比及极低功耗的应用处理芯片 SoC，提供 Wi-Fi 802.11b 及 Bluetooth Smart®结合双内核 ARM® 32 bit MCU 的整体解决方案，充分满足物联网 (IoT) 各种多样化的产品，同时配备丰富的外围接口，支持各种讯息传递，有效分布式数据收集处理，应用于云端网络系统，并提供实时(Real-time) 监控，具有讯息加密、消息认证传输协议等功能。快速实现消费性电子产品开发及量产，应用于智能家电、工业/工厂自动化、智慧安防报警及消防联动系统、门禁考勤、智能电网、环境生态监测、污染防治...等应用的需求。

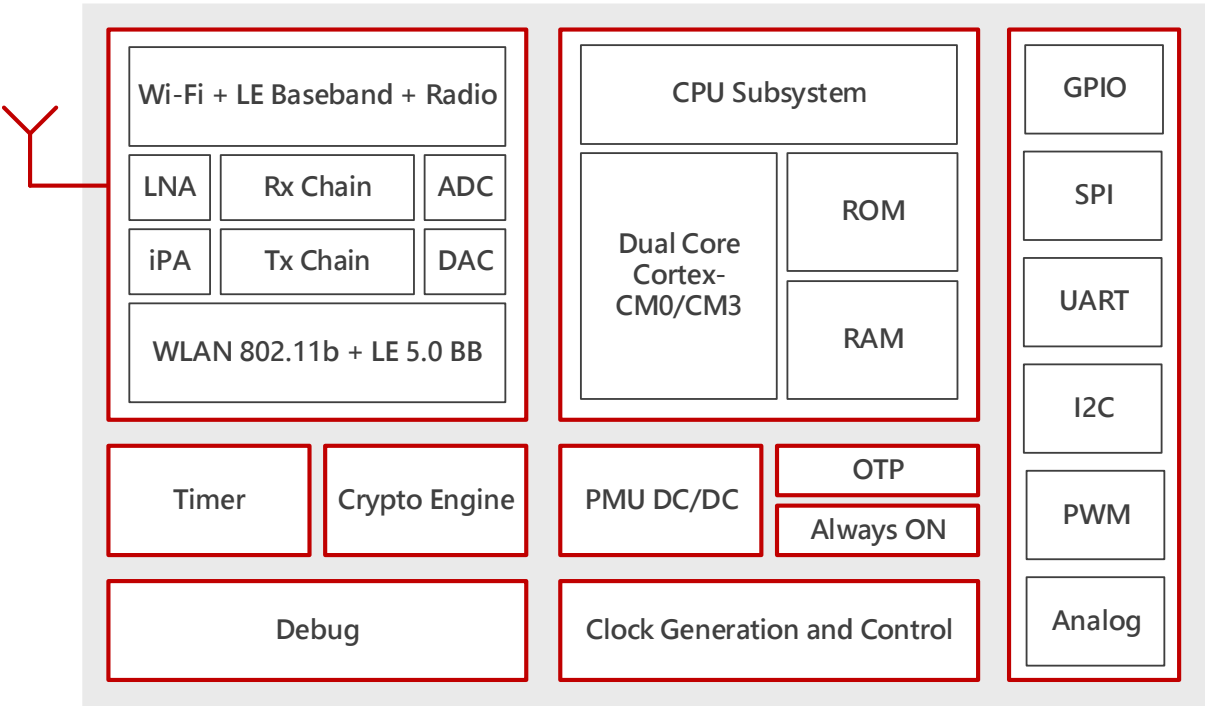


Figure 1. Block Diagram

3. 芯片脚位定义与功能叙述 CHIP PIN DEFINITION AND FUNCTIONAL DESCRIPTION

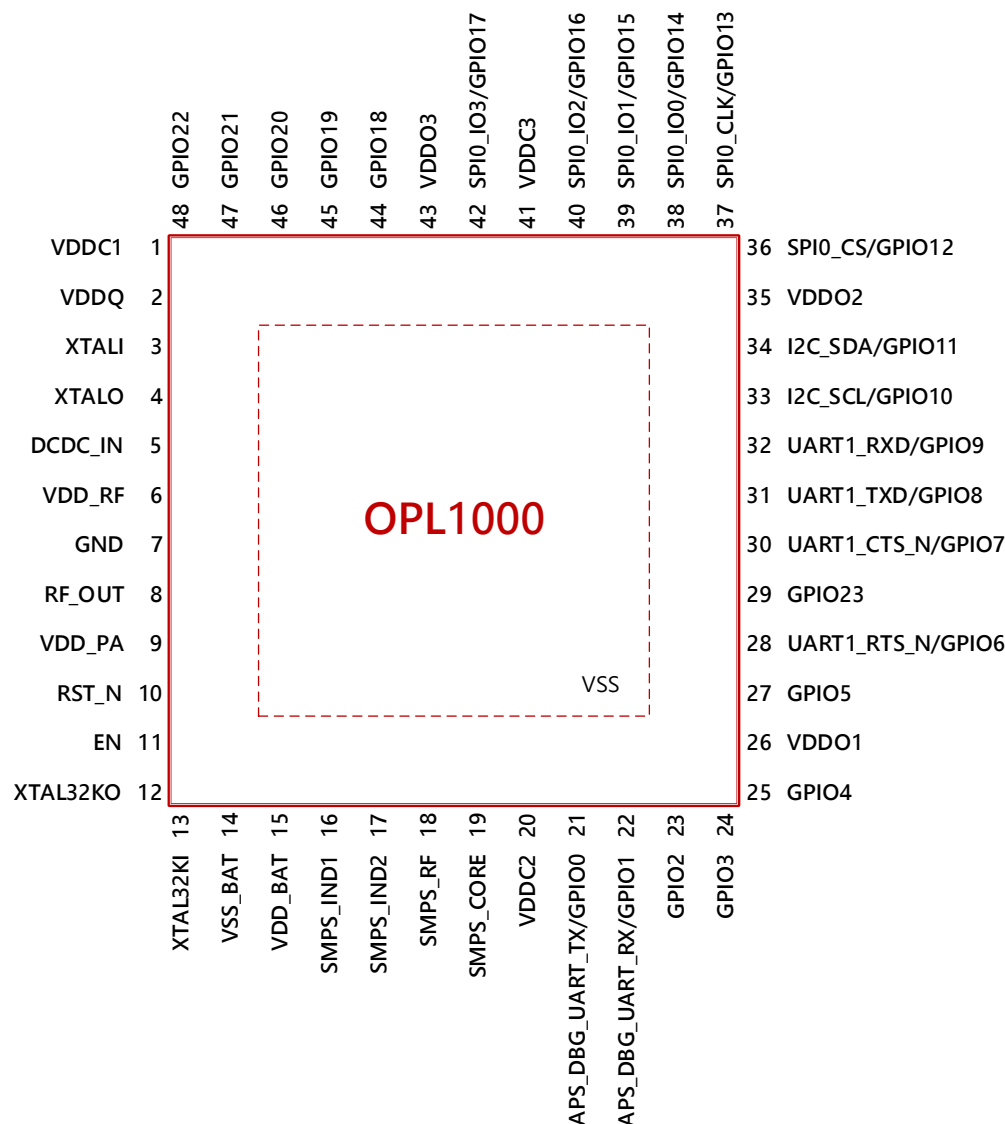


Figure 2. OPL1000 Pin Layout

Pin Name	Type	Location	Functional Description
VDDC1	P	1	Digital core power output
VDDQ	P	2	Power supply for OTP programming
XTALI	I	3	External crystal input pin
XTALO	O	4	External crystal output pin
DCDC_IN	P	5	Analog LDO supply input
VDD_RF	P	6	RF LDO output. Connects with external capacitor to ground.
GND	P	7	Ground
RF_OUT	IO	8	RF input/output with on-chip T/R switch
VDD_PA	P	9	PA power supply with external capacitor
RST_N	I	10	Reset input signal - low active
EN	I	11	Enable input signal - high active
XTAL32KO	O	12	External 32K crystal output pin
XTAL32KI	I	13	External 32K crystal input pin
VSS_BAT	G	14	DC-DC switching regulator Ground
VDD_BAT	P	15	Power supply
SMPS_IND1	P	16	DC-DC switching regulator inductor pin
SMPS_IND2	I	17	DC-DC switching regulator feedback pin
SMPS_RF	P	18	DC-DC switching regulator output
SMPS_CORE	P	19	DC-DC switching regulator output
VDDC2	P	20	Digital core power
APS_DBG_UART_TX / GPIO0 [†]	IO	21	APS UART serial data transmit
APS_DBG_UART_RX / GPIO1 [†]	IO	22	APS UART serial data receive
GPIO2 [†]	IO	23	General Purpose Input/Output
GPIO3 [†]	IO	24	General Purpose Input/Output
GPIO4 [†]	IO	25	General Purpose Input/Output
VDDO1	P	26	Chip I/O power supply

Pin Name	Type	Location	Functional Description
GPIO5 [†]	IO	27	General Purpose Input/Output
UART1_RTS_N / GPIO6 ^{††}	IO	28	UART Request to Send (default) / General Purpose Input/Output
GPIO23 [†]	IO	29	General Purpose Input/Output
UART1_CTS_N / GPIO7 [†]	IO	30	UART Clear to Send (default) / General Purpose Input/Output
UART1_TXD / GPIO8 [†]	IO	31	UART serial data transmit (default) / General Purpose Input/Output
UART1_RXD / GPIO9 [†]	IO	32	UART serial data receive (default) / General Purpose Input/Output
I2C_SCL / GPIO10 [†]	IO	33	I2C serial clock line (default) / General Purpose Input/Output
I2C_SDA / GPIO11 [†]	IO	34	I2C serial data line (default) / General Purpose Input/Output
VDDO2	P	35	Chip I/O power supply
SPI0_CS / GPIO12 [†]	O	36	SPI Chip Select (default) / General Purpose Input/Output
SPI0_CLK / GPIO13 [†]	O	37	SPI serial clock (default) / General Purpose Input/Output
SPI0_IO0 / GPIO14 [†]	IO	38	SPI input/output (default) / General Purpose Input/Output
SPI0_IO1 / GPIO15 [†]	IO	39	SPI input/output (default) / General Purpose Input/Output
SPI0_IO2 / GPIO16 [†]	IO	40	SPI input/output (default) / General Purpose Input/Output
VDDC3	P	41	Digital core power supply
SPI0_IO3 / GPIO17 [†]	IO	42	SPI input/output (default) / General Purpose Input/Output
VDDO3	P	43	Chip I/O power supply
GPIO18 [†]	IO	44	General Purpose Input/Output
GPIO19 [†]	IO	45	General Purpose Input/Output

Pin Name	Type	Location	Functional Description
GPIO20 [†]	IO	46	General Purpose Input/Output
GPIO21 [†]	IO	47	General Purpose Input/Output
GPIO22 [†]	IO	48	General Purpose Input/Output
VSS	P	E-Pad	Common Ground

[†] Multifunction pins. Please refer to the Pin Multiplexing Table below for the multifunction provided.

^{††} GPIO6 is part of the chip mode strapping pins; it is highly recommended that this pin is used as an output pin to avoid affect the normal mode operation

4. 射频电路设计 RF CIRCUIT DESIGN

OPL1000 使用极少数的组件，由天线连接到 IC 的 RF_OUT (pin 8)，芯片内部整合了自动传送/接收双向开关 (T/R switch)，达到极简化设计，以支持不同的应用，请参考 “芯片脚位定义与功能叙述说明”。

下图为 RF 建议电路设计。

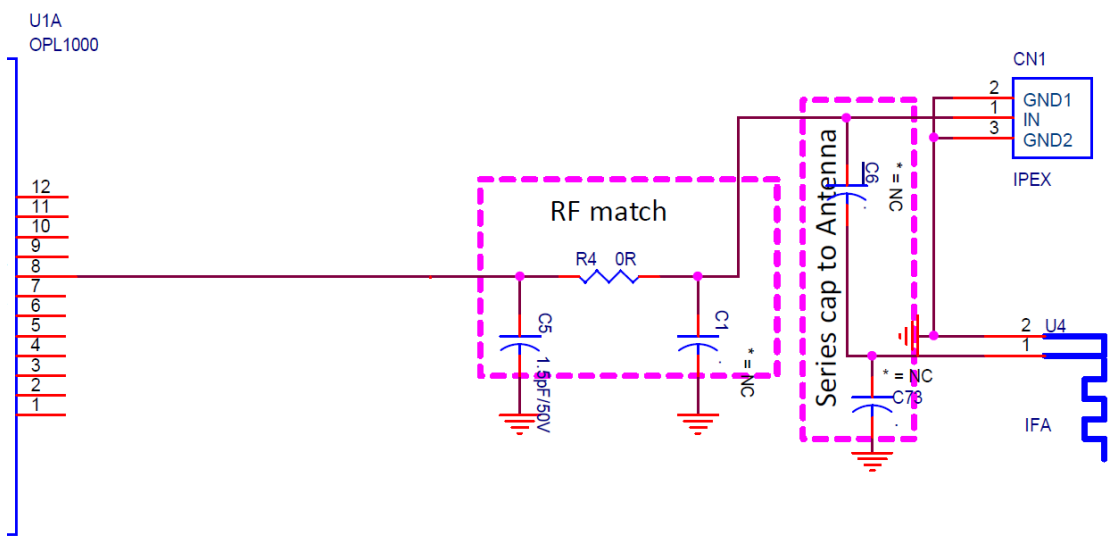


Figure 3. RF 建议电路设计

5. 接地区域 GROUND PLANES

1. OPL1000 接地结合了 RF 和 baseband 的 e-Pad、DC-DC switching regulator 直流电源转换的接杆讯号-VSS_BAT 及外围接口的接地回路，再配合 PCB 第一层露铜焊接，达到最佳接地及散热面积。在 PCB 的 RF 部分间布置大量的接地过孔 (via)，有助于防止接地电流回路造成寄生效应增大。需注意 VSS (e-Pad) 不能直接与 VSS_BAT pin 直接连接，应过接地过孔 (via) 后再相连接一起，因过孔有助于防止 PCB 上射频信号线与其它信号线直接交叉耦合。电源电路及 DC-DC switching regulator 相关路径，必须考虑组件的回路电流，加大宽度及最短路径。

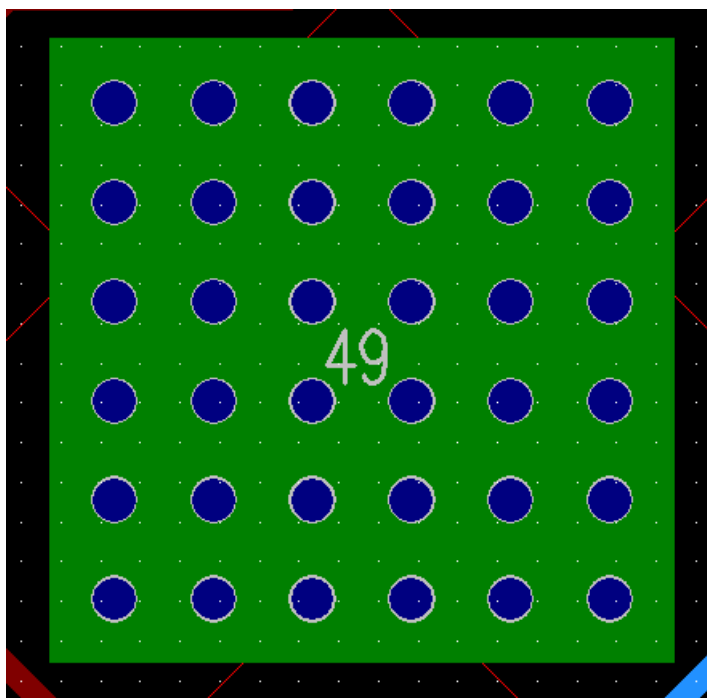


Figure 4. 子板接地过孔(Via)

2. PCB layout 上增加 Shielding cover 直接将高频或是易受电磁干扰的组件包覆起来，用以削弱电磁场的影响、藉此提高组件的抗干扰能力，屏蔽的目的在于把干扰源隔绝在屏蔽外、或是将容易产生干扰的射频与高频组件，将产生的辐射干扰减到可接受的范围。

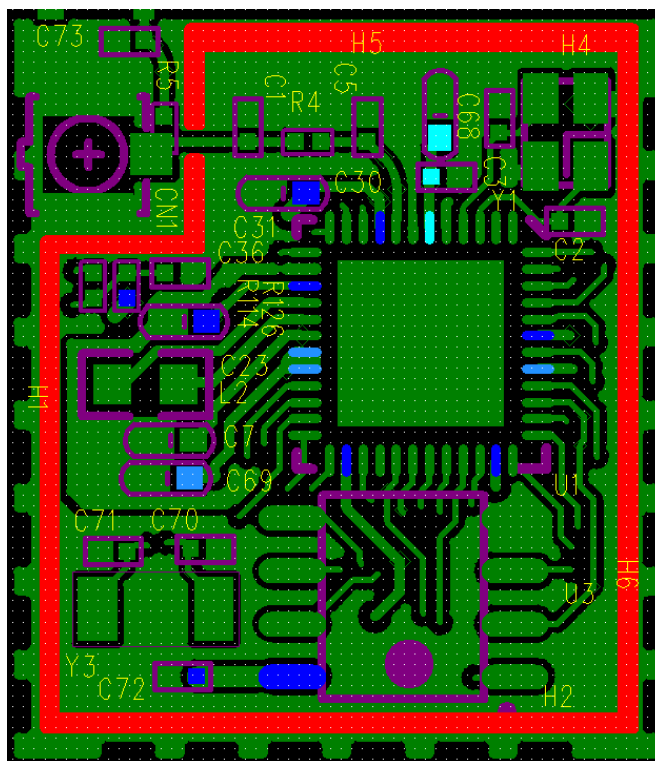


Figure 5. 红色外框为 Shielding cover(Shorted to PCB GND)

6. 电源走线和电源去耦 DC POWER TRACE LAYOUT AND DECOUPLING

用户依据需求控制芯片在各种操作模式，OPL1000 芯片内部高效能 DC-DC switching regulator 及 LDO 直流转换器，会相应调控电源模块，达到最低功耗目的。系统电源由外部电池电源自 VDD_BAT (pin 15) 输入加去耦电容，降低噪声，由芯片内 DC-DC switching regulator 直流转换器，分别于：

1. RF 电源系统：於 SMPS_RF (pin 18) 输出电压經由去耦电容輸入 DCDC_IN (pin 5) · 經 LDO 於 VDD_RF (pin 6) 加去耦电容供應 RF 所需電源。此外 VDD_PA (pin 9) 是 PA 功率放大器的主要電源，與 VDD_BAT 同電壓，需加去耦电容。

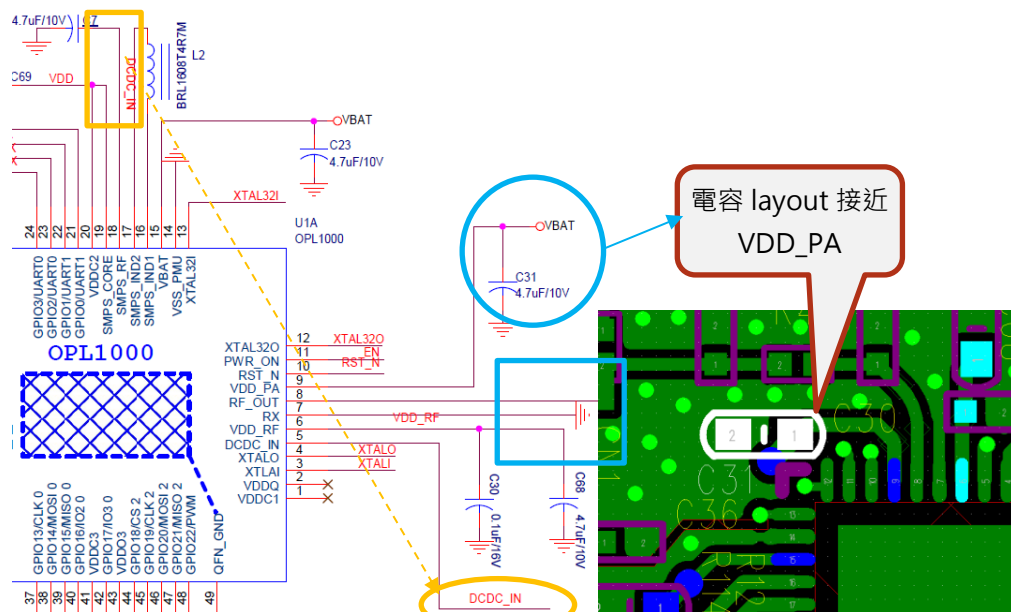


Figure 6. RF 电源电路 1

- 內核系統：於 DC-DC switching regulator: SMPS_CORE (pin 19) 與 VDDC2 (pin 20) 經由去耦電容相接至 VDDC3 (pin 41) 以降低噪聲。

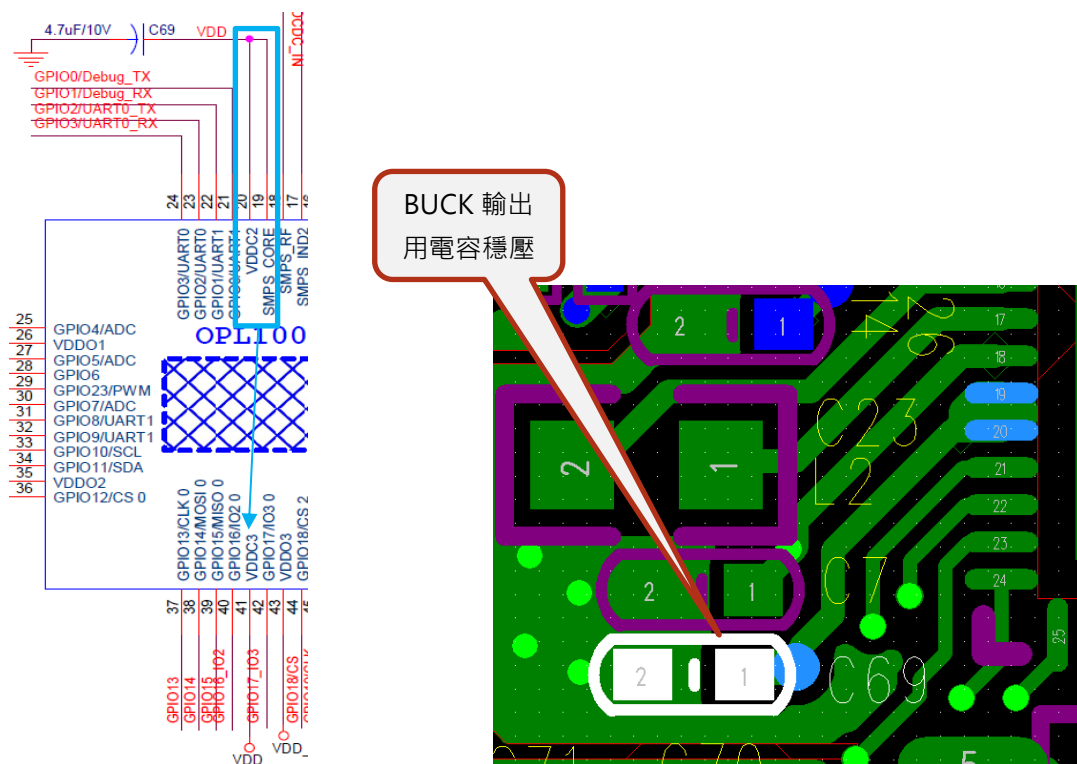


Figure 7. RF 电源电路 2

- VDDO (pin 26, pin 35, pin 43) 為 IO 介面使用電源，與 VDD_BAT 同電壓。
- Buck 直流轉換器透過 SMPS_IND1 (pin 16) 串接電感 L2 到 SMPS_IND2 (pin 17)，電感位置儘量靠近芯片，區域越小越好，DC-DC switching regulator 輸出電容與輸入電容的接地靠近(越短越好)，版圖請參考下圖。

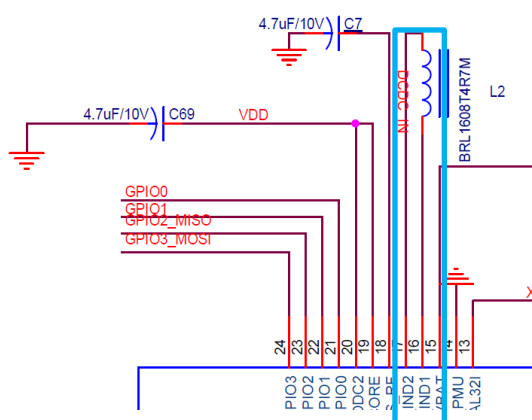


Figure 8. Buck 直流转换器电源电路

电感 L2 走线应加大宽度及最短路径。

电源电路建议使用较大的去耦电容，尽量靠近芯片，配置请避免过长接地回路，引起寄生电感，造成意外的反馈环路。RF 电源电路使用小的去耦电容，尽量靠近芯片，具体参考电路如下。

此电容的参考接地面为 VSS_BAT，在进行 Layout 布局尽量与 VBAT 的去耦电容接地面靠近并形成独立回路。

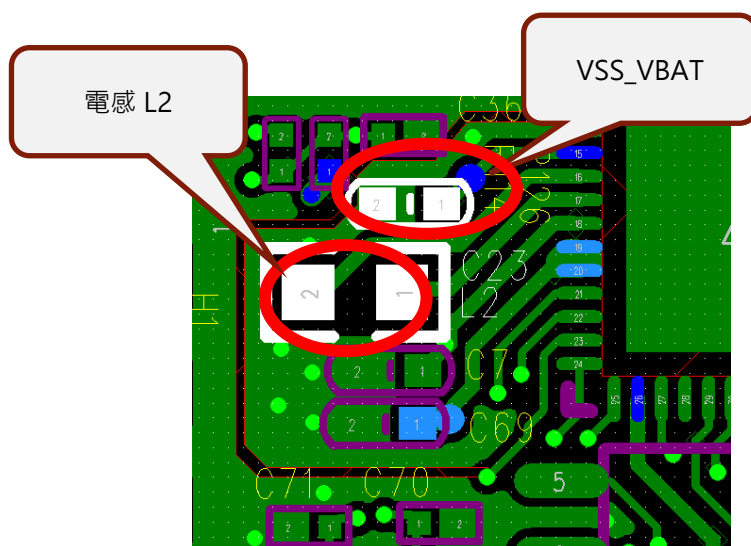


Figure 9. RF 电源电路 3

7. 晶振和闪存 CRYSTAL & FLASH

7.1. 晶振

芯片振荡回路支援如下: Internal RC OSC, 32.768 KHz 及 22 MHz, 误差值的选择将直接影响系统效能,
Crystal: 22MHZ 使用的电容 layout 走线越短越好, C2 及 C3 按不同厂牌的 Crystal (0 ppm) 来做产品规格优化。建议 Crystal 挑选规格如下:

- (1) 22 MHz → Frequency tolerance: $\pm 10\text{ppm}$ 、 $\text{ESR} \leq 60\text{ ohm}$ 、 $\text{DL} \leq 100\text{ uW}$ 、
Insulation Resistance $\geq 500\text{M ohm}$
- (2) 32.768 KHz → Frequency tolerance: $\pm 20\text{ppm}$ 、 $\text{ESR} \leq 70\text{K ohm}$ 、 $\text{DL}: 0.1\text{ uW}$

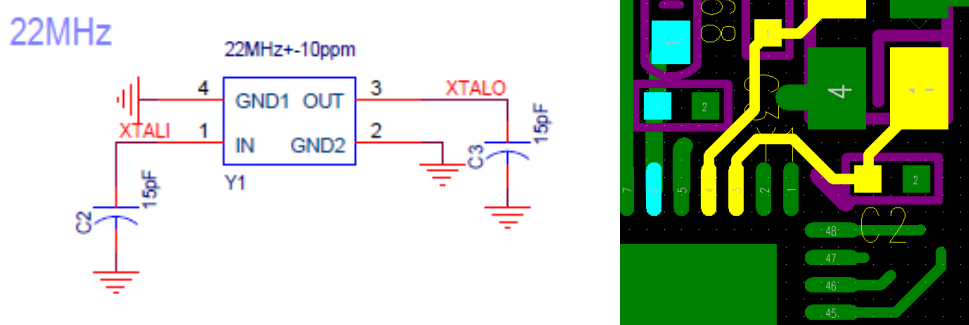


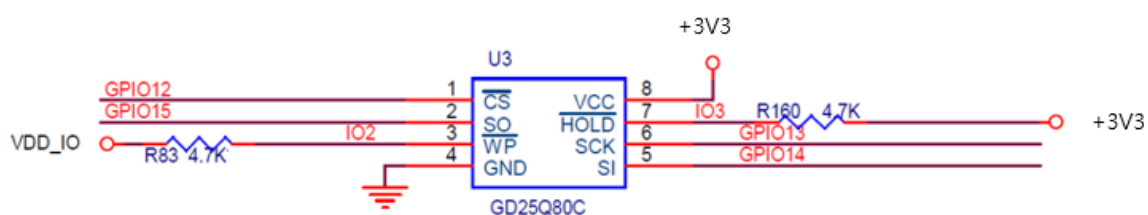
Figure 10. RF 晶振电路

7.2. Flash

支持 4-bit (single mode) & 6-bit (quad mode) flash 设计

Reference design schematic:

→ Single mode SPI



→ Quad mode SPI

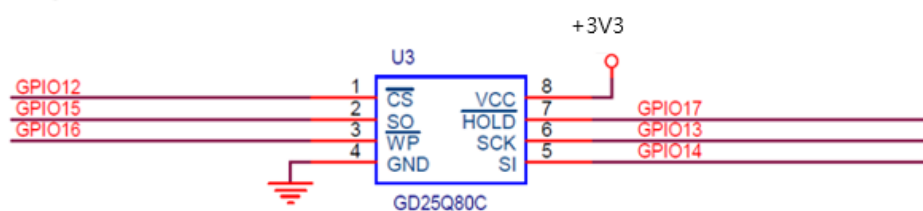


Figure 11. Flash 脚位连接

8. 开发底板设计 DEVELOPMENT BOARD DESIGN



Figure 12. 底板与子板实体图

OPL1000 IoT DevKit 提供 Micro USB 转串口快速开发板，客户可轻松使用 USB 快速评估及完成商品开发，提供全套开发服务，包括：可使用的 GPIO 管脚、flash 刻录用 UART_Prg_Tx 及 Rx 管脚。另提供 flash 刻录软件，GPIO、ADC、SPI、I2C 等可选用的功能如下表所示，底视图 (Bottom view)：

J2					ANT	J3					
ICE Mode	PWM	I2C	ADC	Pin Name		Pin No	Pin Name	ADC	SPI	UART	Flash Prg
				GND	Bottom View	pin 17	GND				
	Yes			GPIO22		pin 16	+3V				
				GND		pin 15	GND				
M3_CLK				GPIO21		pin 14	CHIP_EN				
M3_DAT				GPIO20		pin 13	RST_N				
M0_DAT				GPIO19		pin 12	GPIO0(REV)				UART_Prg_Tx
M0_CLK				GPIO18		pin 11	GPIO1(REV)				UART_Prg_Rx
		SDA	Yes	GPIO17		pin 10	GPIO2	Yes	MOSI	TxD	
		SCLK	Yes	GPIO16		pin 9	GPIO3	Yes	MISO	RxD	
				GPIO15		pin 8	GPIO4	Yes	CLK		
				GPIO14		pin 7	Ex_5V				
				GPIO13		pin 6	GND				
	Yes			GPIO12		pin 5	GPIO5	Yes	CS		
				GPIO11		pin 4	GPIO6	Yes			
				GPIO10		pin 3	GPIO23				
	Yes			GPIO9		pin 2	GPIO7	Yes	CS		
				GND	USB	pin 1	GPIO8	Yes			

Figure 13. 脚位配置底视图

注 1：Flash 刻录 UART_Prg 串口 Baud rate: 115200 bps, n, 8,1。

注 2：部分管脚为复用的，例如 GPIO2 可设置为一般 GPIO 或 ADC、SPI 或是 UART。

注 3：GPIO18~23 can support high drive current 12mA/16mA.

注 4：CHIP_EN 对应到 OPL1000 EN 管脚及 RST_N 对应到 OPL1000 RST_N 管脚。

9. 底板/子板参考电路 REFERENCE SCHEMATICS AND PCB LAYOUT

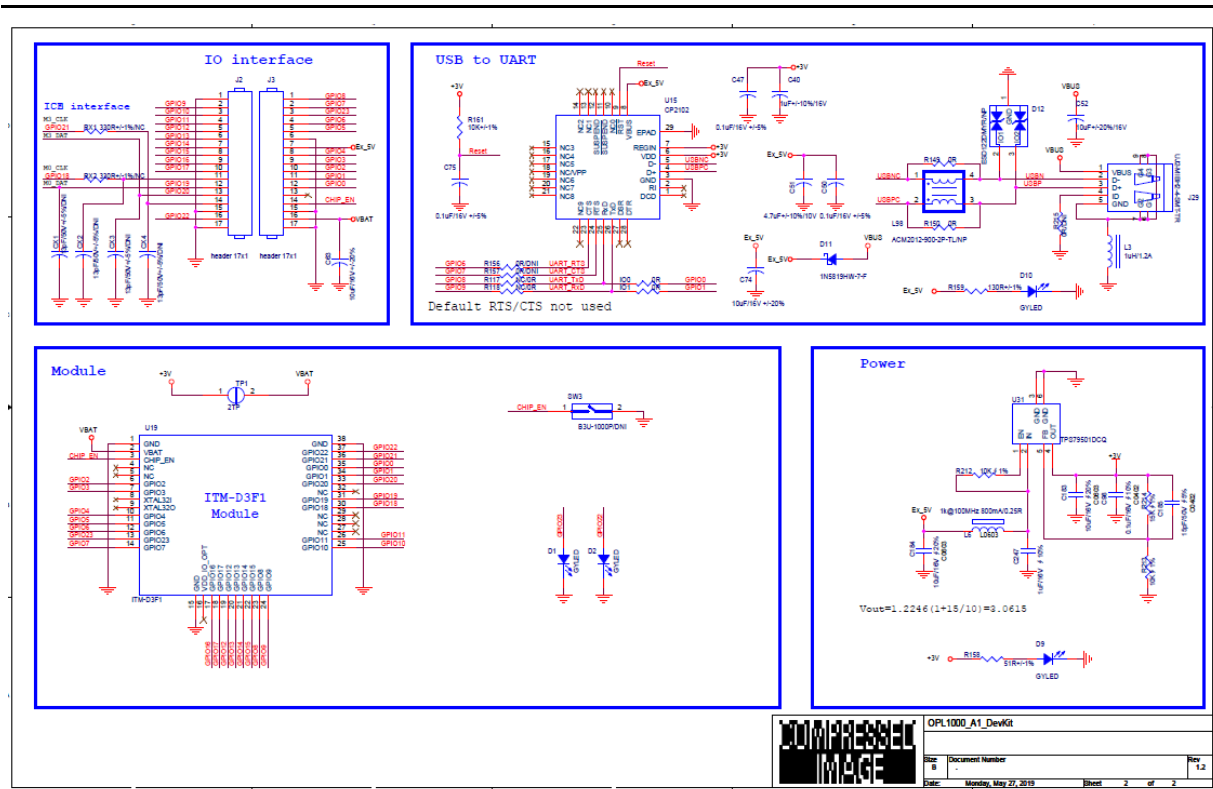


Figure 14. 底板参考电路

天線外露

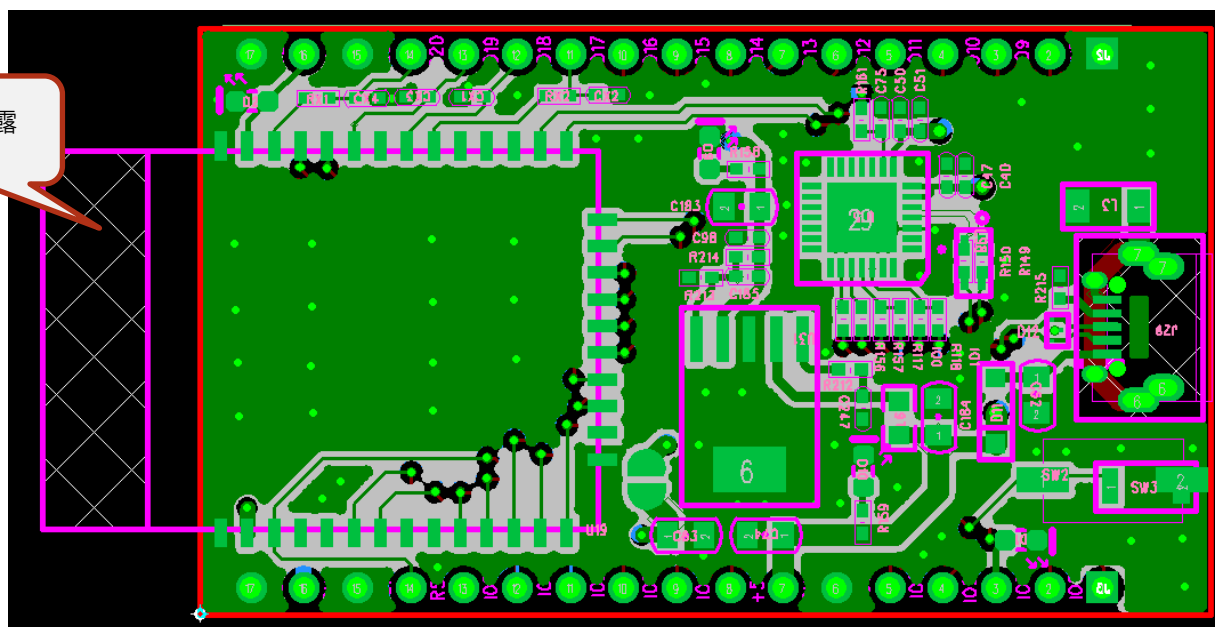


Figure 15.底板版图设计

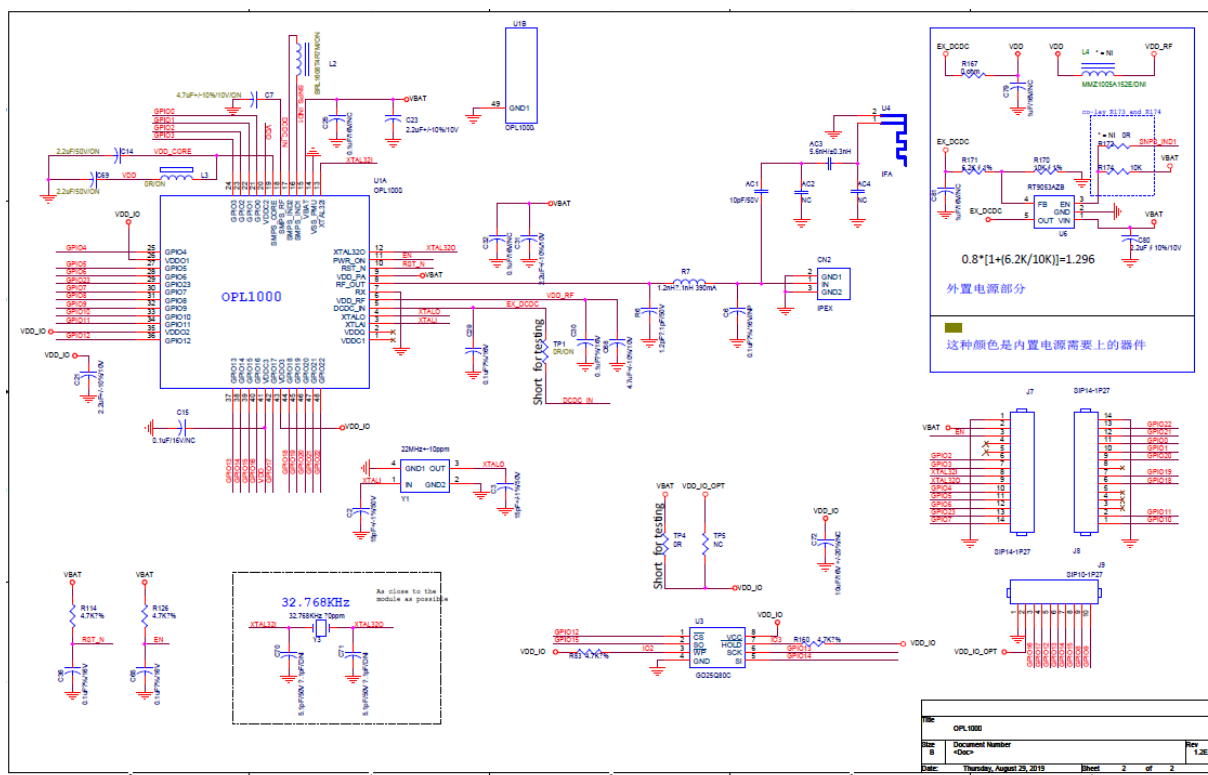


Figure 16. 子板参考电路

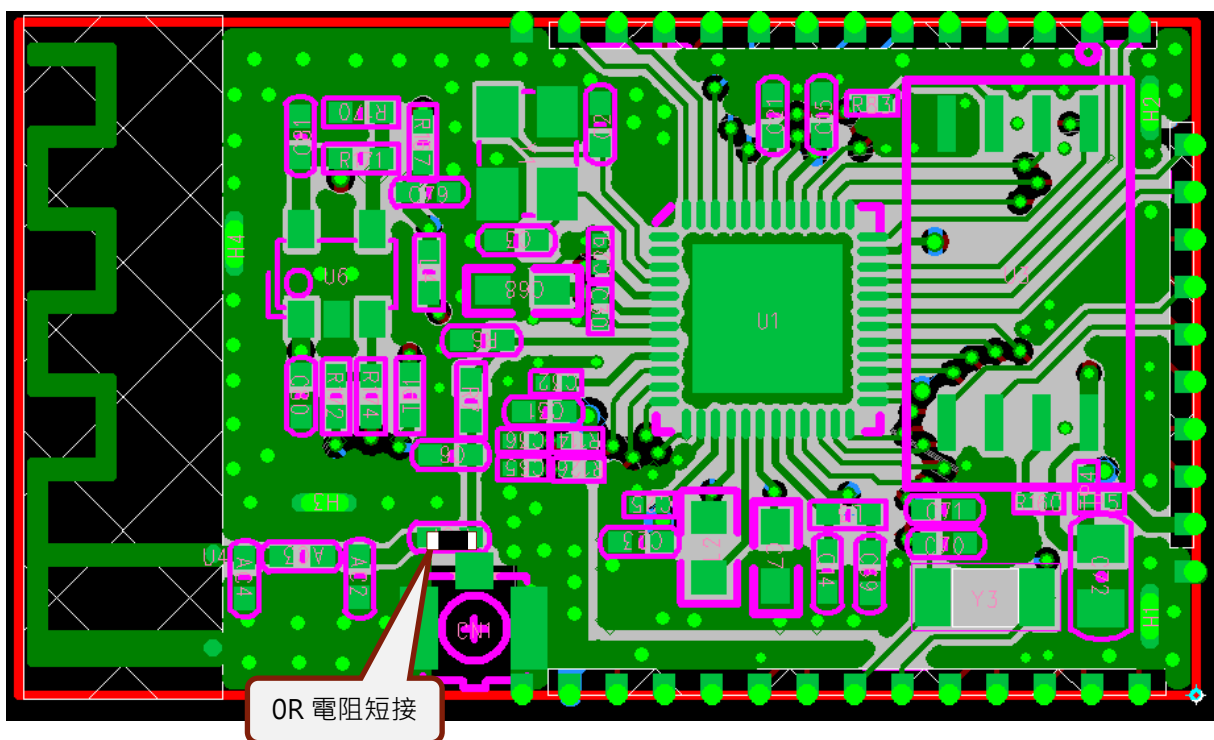


Figure 17. 子板版图设计

注: 子板于测试完成后, TP1 以 0R 电阻短接(Short) 将可直接使用低成本 PCB 天线。

10. 版图迭构设计 PCB LAYER STACK-UP

為了符合對 EMI 規範的需求，及最佳系統效能建議採用 4 層板設計，相關疊構如下表所示：

PCB 层	信号类型	设计重点
第一层 (顶层)	摆于器件及 RF 信号线及其它信号线	<ul style="list-style-type: none">● 与第二层的地有 50 欧姆阻抗需求。● RF 区域布置大量的接地过孔 (Via) 到第四层。● 电源去耦电容布置大量的接地过孔● 芯片 VSS (E-PAD) 位置请露铜不上漆，布置大量的接地过孔到第四层
第二层	主要地回路不走其它的信号线	
第三层	电源为主，可走其它的信号线	
第四层 (底层)	电源及其它的信号线	

CONTACT

sales@Opulinks.com