**2022秋季考试题型**

1. **单选。每小题1分，20小题，共20分。**
2. **填空。每空1分，共10分。**
3. **计算题。6小题，共40分**
4. **应用题。3小题，共30分**

**考试时间2022-12-27 9：00-11：00，地点A1302**

**第一章：**

**了解：1.1,1.4,1.5**

**掌握:1.2,1.3**

**第二章：**

**了解：2.3,2.4,2.6**

**重点掌握:2.1,2.2,2.5**

**第三章：**

**不考：3.4.2,3.6.5,3.6.6,3.8**

**了解：3.3.5-3.3.9,3.7.5**

**重点掌握:3.1,3.2,3.5,3.6,3.7.1,3.7.2**

**第四章：**

**不考：4.2.5,4.3.2,4.3.3,4.4.3,4.5.3,4.6**

**了解：4.1,4.3.2,4.5.1,4.5.2**

**重点掌握:4.2,4.4**

**第五章：**

**不考：5.3,5.5,5.7.2,5.7.3**

**重点掌握:5.1,5.2,5.4,5.6.1,5.6.2,5.7.1**

**第六章：**

**不考：6.1.4,6.3.2,6.5**

**了解：6.1,6.2,6.4**

**重点掌握:6.3.1**

**第七章：**

**不考：7.2.7,7.3,7.4, 7.5.4,7.6**

**了解：7.1**

**重点掌握:7.2.4,7.2.5,7.5.1**

**第八章：**

**不考：8.3.6,8.4.3,8.4.4,8.6**

**了解：8.5**

**重点掌握:8.1,8.3,8.4.1,8.4.2**

**第九章： （自学）**

**计算机组成复习要点**

**红色部分的知识点务必要掌握**

1、2进制、8进制，16进制，10进制的表示格式以及互相转换

2、原码、反码、补码、移码的表示格式以及数据表示范围。

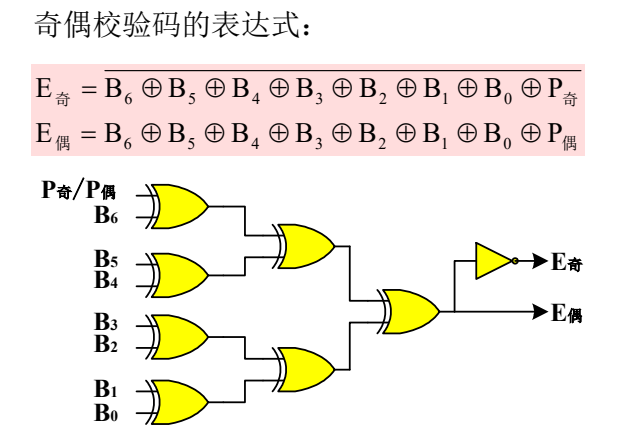
移码用于表示浮点数的阶码。数值部分与补码，符号位1表正数，0表负数。

3、IEEE754单精度、双精度机器数格式表示，真值与IEEE754机器数格式之间的转换。

4、ASCII编码、汉字编码、字模、奇偶校验码的基本知识。

ASCII码：美国标准信息交换码。

奇偶校验码：在有效信息位的前面或后面添加一位奇（偶）校验位就组成了奇偶校验码。奇校验位的取值应该使整个奇校验码中1的个数为奇数。



5、定点整数和定点小数的补码计算（加法和减法）。

补码加法：符号位作为数的一部分参与运算，符号位进位丢掉。且参加运算的操作数和运算结果均为补码形式表示。

已知一个负数的补码，求原码的操作就是对其再求补码。

有X的补码求-X的补码，称为对X求补：

6、补码计算加减运算判断是否溢出有哪些方法？变形补码法如何判断溢出？

溢出：运算结果超出机器的表数范围。

正溢：两正数相加大于可表示的最大正数。

负溢：两负数相加小于可表示的最小负数。

单符号位判溢：两操作数同号且和数符号与操作数符号不同。

双符号位（正为00，负为11）判溢：两符号位（前两位）的进位状态的异或为1则溢出。

变形补码法：用两个二进制位来表示符号位。

7、指数和尾数都用补码格式，求浮点数的加法和减法，并给出计算过程。

8、逻辑运算（与、或、非、异或、逻辑移位、算术移位）

逻辑运算特点：按位进行，各位结果互不牵连，无借位、进位、溢出等问题。

非：按位求反。

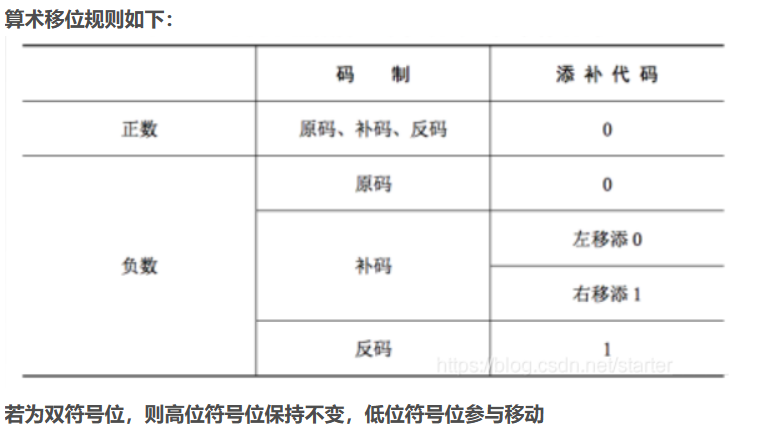
或：逻辑加，按位求或。

与：逻辑乘，按位求与。

异或：不同得1，相同得0。

逻辑移位：对象是无符号数，不考虑符号位，左移低位补0，右移高位补0。

算术移位：对象是有符号数，移位过程中符号位不变。



9、线性流水线周期确定、n个任务所需周期数及加速比计算

10、存储器有哪些分类方法？按存储材料、存取方式、读写功能、易失性、与CPU耦合度可分为几类？

**按存储材料：**半导体器件、磁性材料，光介质。

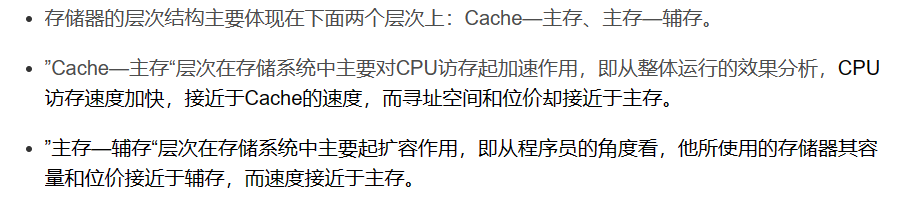
**按存取方式：**随机存取储存器（存取时间与存储单元的物理位置无关）、顺序存取储存器（磁盘磁带）、相联存储器（按内容访问如cache）。、

**按读写功能：**只读存储器（ROM）、读写（RAM）。（一般均隐含指随机存取）。

**按信息可保存性：**永久记忆的存储器（非易失性存储器，断电后还能保存信息，如辅存、ROM）、非永久记忆存储器（易失性存储器，断电后丢失信息，如主存中的RAM）。

**按与CPU耦合度：**主储存器（内存，存放系统当前正在执行的数据和程序，属于临时存储器）、辅助存储器（外存，为外部设备，存放暂时不用的数据和程序，属于永久存储器）。

11、什么是存储器分层结构？分几层？每层存放什么信息？



12、SRAM和DRAM具有什么特点？DRAM有哪些刷新方法？

**SRAM（静态RAM）：**

1.易失性存储器，CPU可以随机访问。

2.使用双稳态触发器表示01代码，结构负载功耗大。

3.电源不掉电的情况下，信息稳定保持，无需定时刷新。

4.存取速度快，集成度低，容量小，价格高。

5.常用作寄存器和高速缓冲存储器Cache。

**DRAM（动态RAM）：**

1.易失性存储器，CPU可随机访问。

2.结构简单，功耗小。

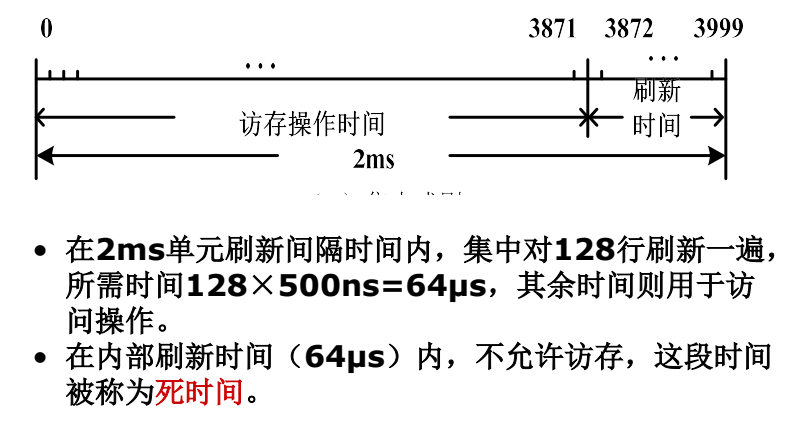
3.电源不掉电的情况下，信息也会丢失，因此需要不断刷新。

4.存取速度慢，集成度高，容量大，价格低。

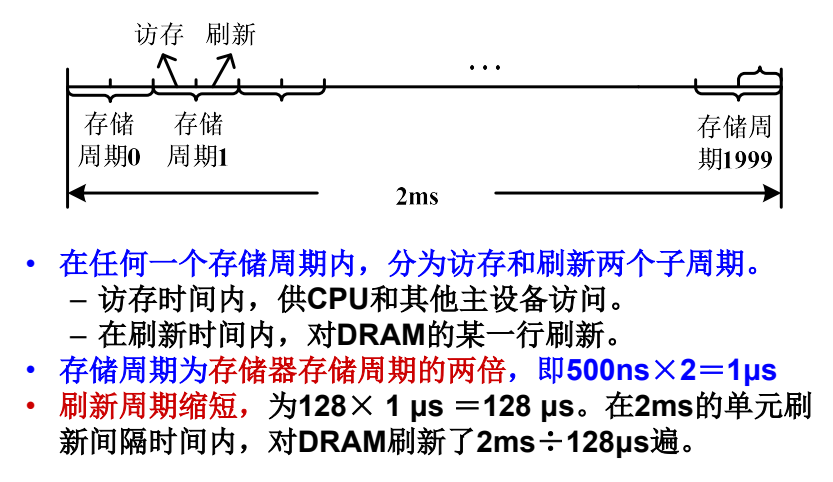
5.常用作内存储器（主存）。

**DRAM刷新方法：**

1.集中式刷新：

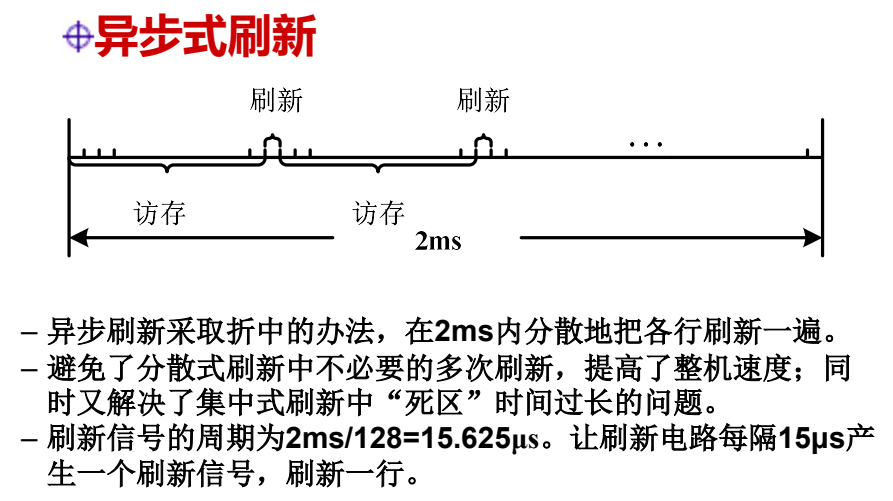


2.分散式刷新:



存储周期指两次独立访问存储器操作之间的最小间隔。

3.异步式刷新：



13、对于给定规格的SRAM芯片，会求其地址线、数据线要数和存储容量

14、半导体只读存储器（ROM）有哪些种类？各有何特点？

MROM：存储内容固定，信息制造时写入不可更改。

PROM：可以进行一次改写，编程后内容为永久性。

EPROM：可多次编程，以读为主可写可读。把已写入内容擦去后再改写。

E2PROM：随时可写入无需擦除原先内容。

15、会用给定的存储器芯片进行存储器扩展（包括字扩展、位扩展、字位同时扩展），会画扩展结构图并指出每个芯片的地址空间。

16、什么是双端口存储器、多体并行交叉存储器、相联存储器、Cache存储器、虚拟存储器、FPM-DRAM、CDRAM、SDRAM？顺序存储器与多体交叉存储器带宽计算。

双端口存储器：高速工作的存储器，同一个存储体左右两个端口各自有相互独立的读写控制电路，可以分别进行操作。

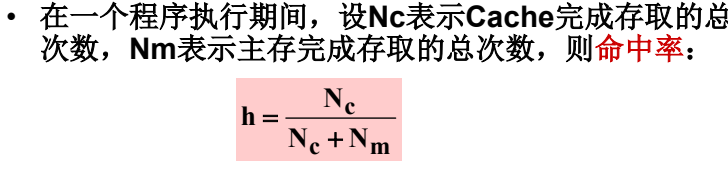
17、掌握时间并行和空间并性概念，知道计原中常用的技术属于哪类并行

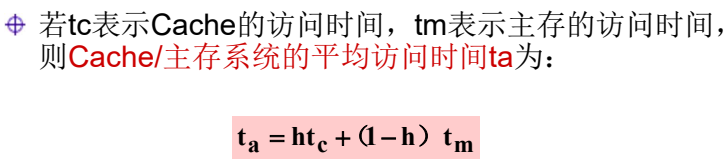
18、cache原理、目的、影响命中率因素，会计算cache的命中率、访问效率、平均访问时间

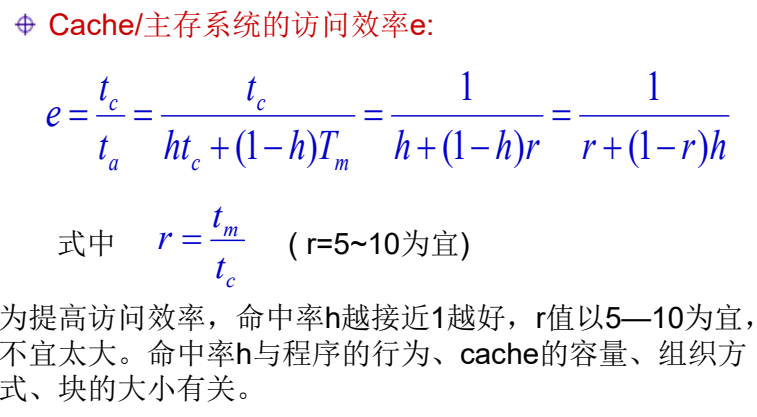
cache是介于CPU和主存之间的高速缓冲存储器。

目的：解决CPU与主存之间速度不匹配。

命中率h取决于程序的行为、cache的容量、组织方式、块的大小。







19、掌握cache全相联、直接相联、组相联主存地址格式及地址映射过程

直接相连映射：主存地址格式：主存区号+区内块号+块内偏移地址。

Cache地址格式：cache行号+行内偏移地址。

Cache标记tag：区号。

全相联映射：主存地址格式：主存块号+块内偏移地址。

Cache地址格式：cache行号+行内偏移地址。

Cache标记tag：主存块号。

组相联映射：主存地址格式：主存区号+区内块号+块内偏移地址。

Cache地址格式：cache组号+组内行号+行内偏移地址。

Cache标记tag：区号。

20、虚拟存储器及cache的异同：

同：

1.出发点相同：都为提高存储系统的性价比而构造的层次性存储体系。

2.原理相同：都利用了程序运行时的局部性原理把最近常用的信息块从相对慢速而大容量的存储器调入相对高速而小容量的存储器。

不同：

1. 目的不同:cache主要解决主存与CPU的速度差异问题，而虚存就主要解决存储容量的问题。
2. 数据通路不同：CPU与cache与主存之间均有直接访问的通路，cache不命中时可直接访问主存；而虚存的辅存与CPU之间不存在直接的数据通路。主存不命中时只能通过调页解决，CPU最终还是访问主存。
3. 透明性不同：cache管理完全由硬件完成，对系统程序和应用程序均透明，而虚存管理由软硬件共同完成，对系统程序不透明，对应用程序透明。
4. 未命中时损失不同：辅存存取时间是主存的上千倍，虚存未命中时系统性能的损失远大于cache未命中的损失。

21、页式虚拟存储器中虚地址长度、实地址长度、页表项数计算，掌握页表内容、快表作用、地址映射过程、掌握cache\主存\虚存整个访问过程

主存-辅存实现了虚拟存储系统，解决了主存容量不够的问题。

页式虚存：辅存和主存空间分为页，主存按页来分配的管理方式。页表在主存中。

段式虚存：程序按逻辑结构分段，主存按段来分配的存储管理方式。

段页式：程序分段，段内分页。

快表：把页表中最活跃的部分存放在高速存储器中，组成快表。这个专用于页表缓存的高速存储部件称为转换后援缓冲器（TLB）。

慢表：保存在主存中完整页表。

22、按地址码个数分类，指令可分为几类？各什么功能？

按功能分类：1.数据传送指令

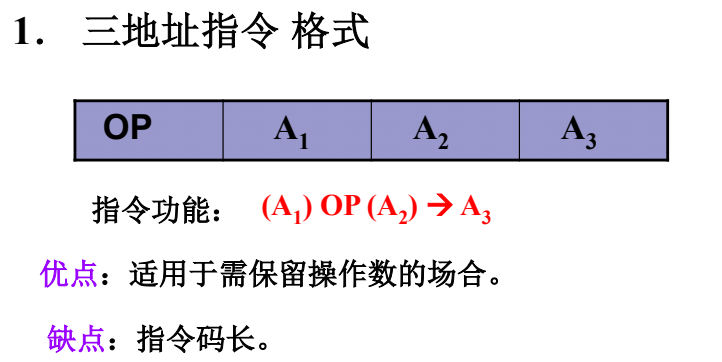
2.算术逻辑运算指令

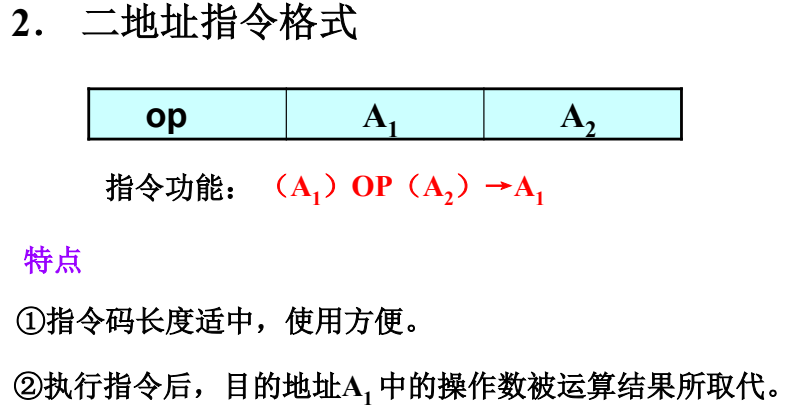
3.程序控制指令

4.I/O指令

5.其他指令：PSW置位复位、堆栈指令等

按地址码分类：



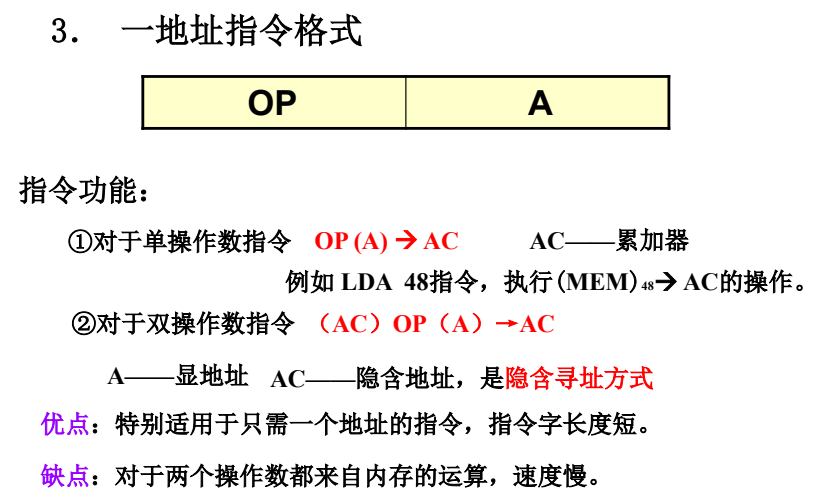


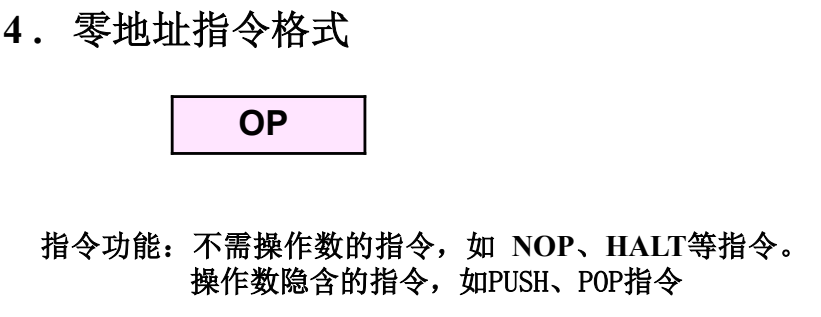
二地址指令按操作数来源分：

RR型指令：两操作数均来自寄存器的指令

SS型指令：两操作数均来自内存的指令。

RS型指令：分别来自寄存器和内存。





23、指令格式由哪两部分组成？操作码和地址码各有什么作用？指令字长和机器字长具有什么关系？

OP（操作码字段）和A（操作地址字段）。

OP：用于指示指令的操作性质及功能。

A：指示操作数或指令的地址。

指令字长一般取存储字长的整数倍，机器字长与指令字长无必然关系，都必须为1B的整数倍。

24、缩短指令长度有哪些方法？

1．用程序计数器保存指令。

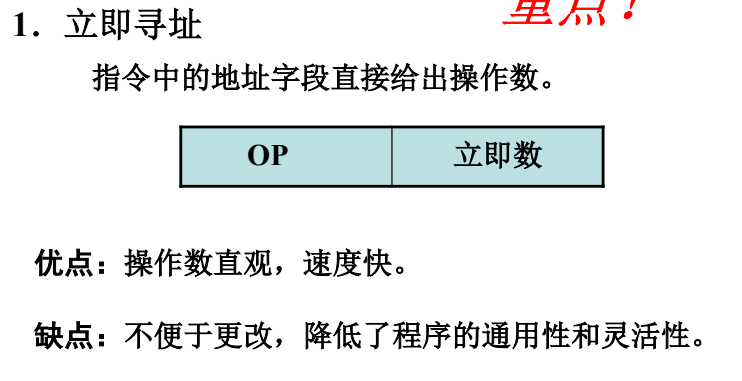
2．使目的地址与操作数之一的地址相同。

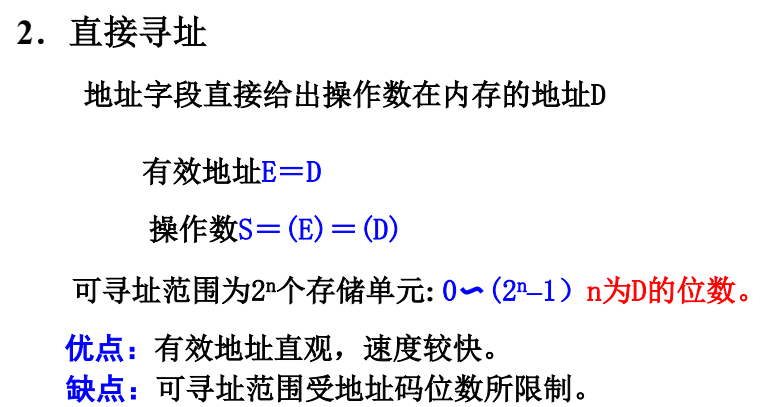
3. 使目的操作数地址隐含在指令操作码中

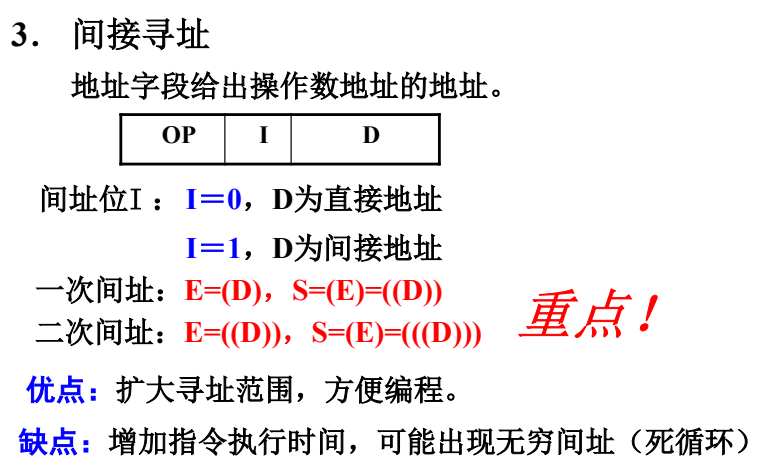
25、如何进行可变长操作码扩展？

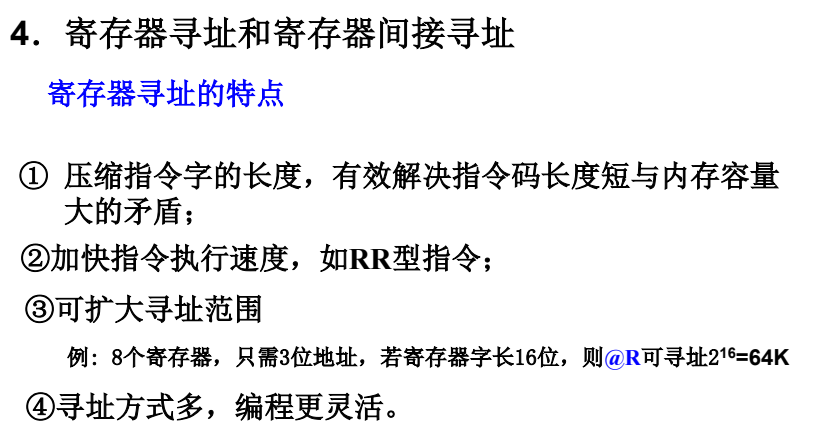
只取某几种操作码组合，剩下的作为扩展操作码标志，令下一个地址表示操作码。

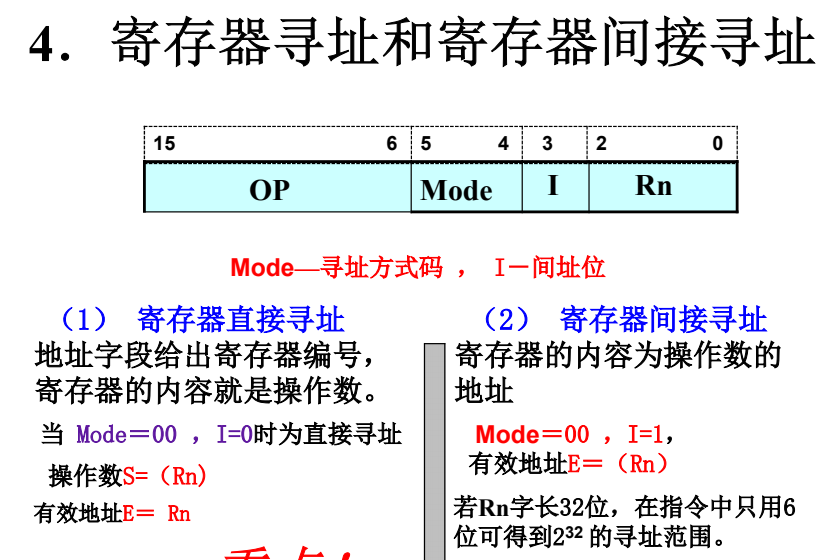
26、有哪些操作数寻址方式？每种方式是如何计算有效地址的？

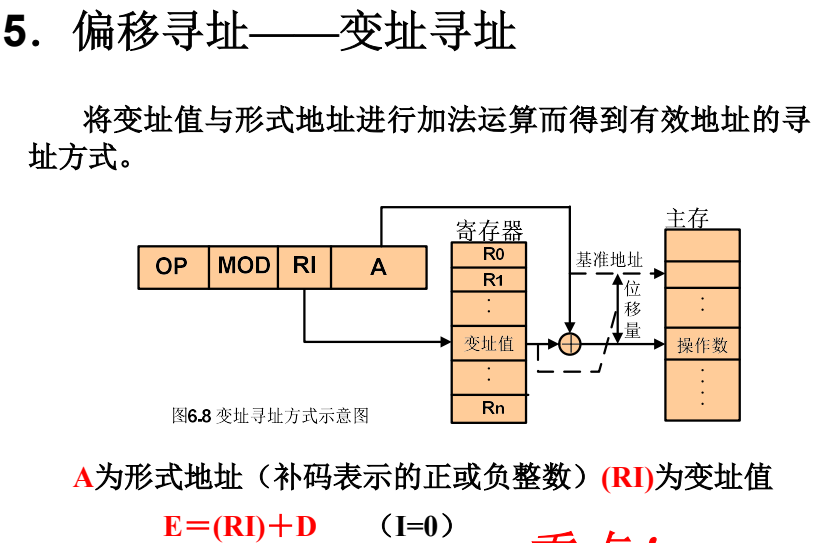


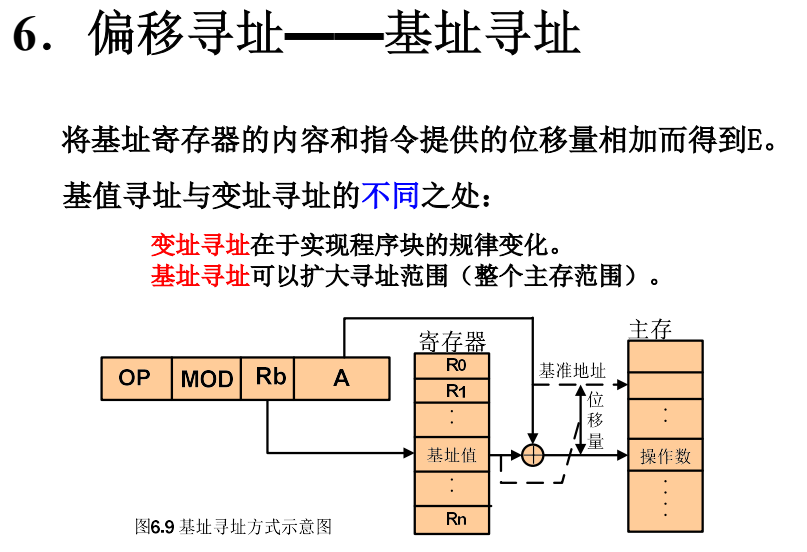


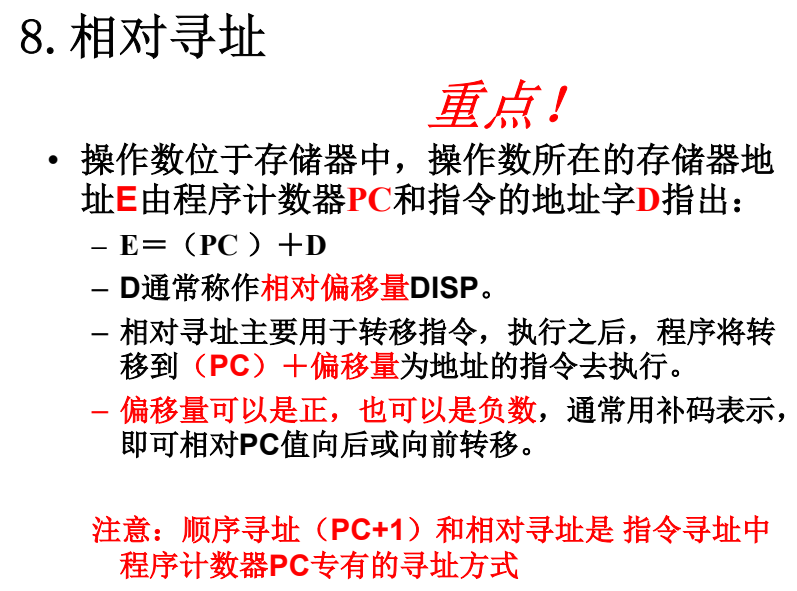


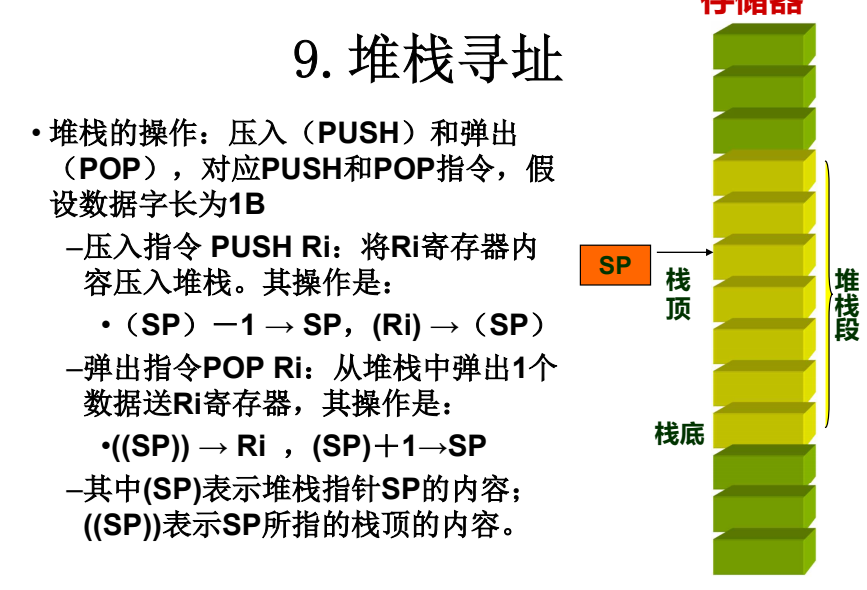












27、固定长操作码和扩展操作码指令条数计算

28、会根据指令格式分析指令特点

29、CISC和RISC是什么含义？RISC机器具有什么特点？

CISC：复杂指令系统计算机。

RISC：精简指令系统计算机。

RISC特点：1.有限的简单指令集，指令长度固定，指令格式和寻址方式种类少。

2.CPU配备大量的通用寄存器；只有存取数指令访问存储器，其余指令操作均在寄存器之间进行。

3.强调对指令流水线的优化。

30、CPU中通常有哪些寄存器？各有什么作用？

1.数据缓冲寄存器（DR）：暂时存放由内存读出的一条指令或一个数据字；

2.指令寄存器（IR）：存放当前执行的指令。

3.程序计数器（PC）：存放下一条要执行指令的地址。

4.地址寄存器（AR）：保存当前CPU所访问的内存单元的地址。

5.累加寄存器（AC）：暂时存放ALU运算的结果信息。使用多个AC，就变成通用寄存器堆结构。

6.状态条件寄存器（PSW）：保存由算术指令和逻辑指令运行或测试的结果。

31、时钟周期、机器周期、CPU周期、存储周期和指令周期的概念以及相互之间的关系。

指令周期：取出并完成一条指令所需的时间。

CPU周期（机器周期）：内存中读取一个指令字的最短时间，指令周期常用若干个CPU周期数来表示。

时钟周期（节拍脉冲、T周期）：CPU执行一个微操作命令的最小时间单位，由硬件的时钟频率决定。

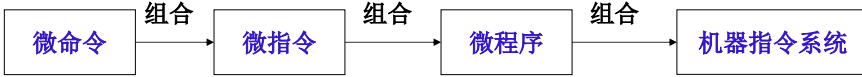
一个指令周期可能由若干个机器周期组成，一个机器周期的功能需要多个时钟周期完成。

32、CPU如何判断从内存中取出的是指令字还是数据字？

33、熟悉方框图语言设计指令周期的方法。对于给定的CPU结构图，会用方框图语言画出常见指令的执行流程（几个CPU周期？每个周期要完成的功能和发出哪些操作信号？）

34、指令、微指令、程序、微程序有什么关系？水平微指令和垂直微指令各有什么特点？

微指令：一个CPU周期中，一组实现一定操作功能的微命令的组合。



35、控制存储器容量计算（微指令字长、微指令条数）

36、水平微指令设计（控制字段、判别字段及下一地址字段位数）

37、并行性分类（时间、空间、时间+空间）及例子；流水线概念及分类；流水线中的3类相关（资源、数据、控制相关）及解决办法

38、掌握接口、端口、总线概念，接口的常用功能有哪些？3种集中式仲裁方法及特点，知道4种总线定时方法。

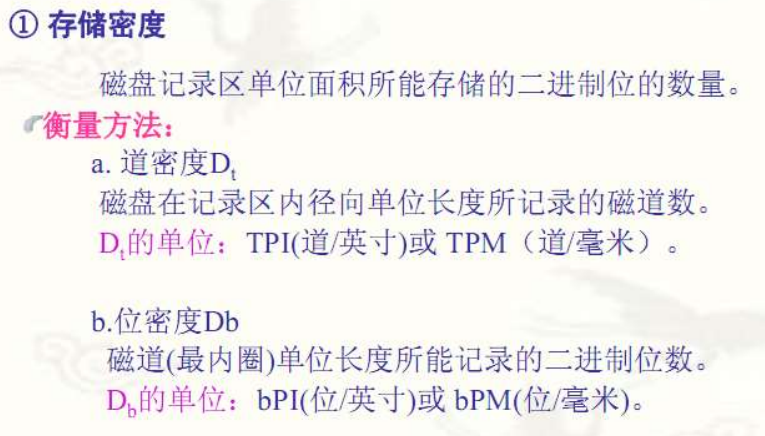
集中式仲裁：1.链式查询方式：设备优先级取决于设备与中央仲裁器的远近。

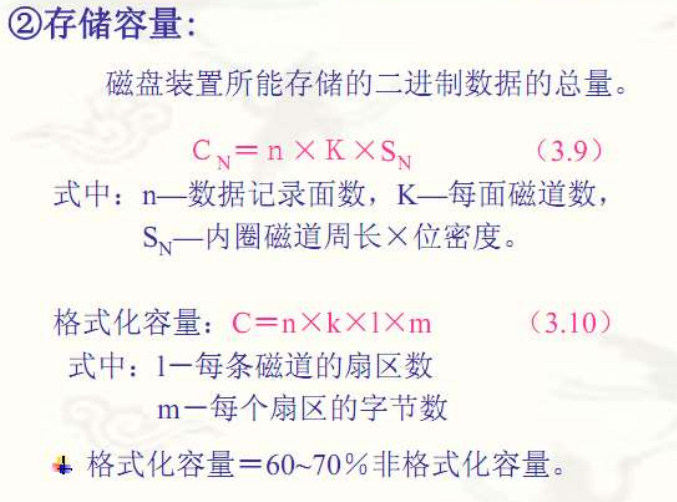
2.计数器定时查询方式：优先次序可以灵活变动。

3.独立请求方式：响应速度快，对优先次序控制灵活，但控制线数量多。

总线的定时：事件出现在总线上的时序关系。同步定时，异步定时

39、掌握磁盘存储格式、平均读写时间Ta计算、磁盘容量及数据传输率计算

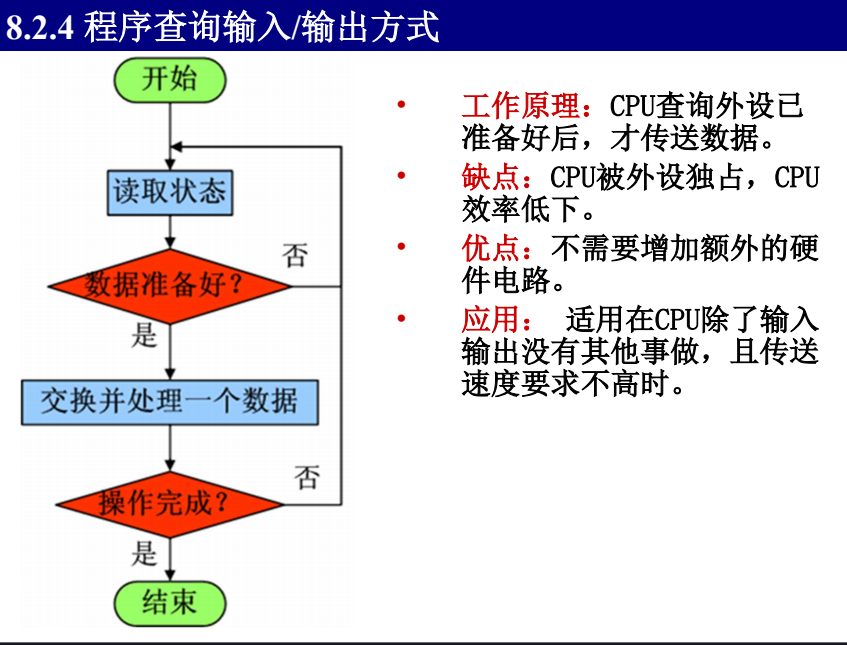




40、掌握VRAM的作用、容量以及数据传输率的计算

41、CPU与I/O接口之间数据传送方式有哪些？简要说明每种方式的传输过程。

程序查询方式：



程序中断方式：

DMA方式：

通道方式：

42、掌握中断、中断源、中断优先级、中断屏蔽、中断嵌套、中断向量、中断向量表等概念，CPU响应外部中断需要具备什么条件？处理中断时需要保护哪些信息？会根据中断处理顺序设置屏蔽字。

中断：当某种事件发生时，计算机暂停当前执行的程序，转向为该事件服务，服务完毕后返回原程序继续执行，这种功能称为中断。

中断源：在主机内部、外部，CPU内部、外部能够引发CPU发生中断的因素。

中断优先级：CPU响应中断的先后顺序。

INTR：中断请求触发器，=1为有请求。

MASK：中断屏蔽触发器，=1为被屏蔽。

响应中断的条件：1.CPU内部MASK=0。

2.外设有中断请求，INTR=1，保持中断请求信号。

3.外设（接口）的中断允许触发器为1。

4.CPU现行指令的最后一个状态周期结束（CPU执行完一条指令后）。

保护PC、PSW、寄存器。

43、什么DMA？掌握DMA3种传送方式（CPU停止访内、周期挪用、透明DMA），简要说明DMA的处理过程。

DMA方式是一种在I/O数据交换过程中完全由硬件（DMA控制器）实现外设与内存直接交换信息的工作方式。