**本科生期末试卷七**

一 **选择题**

1. 至今为止，计算机中的所有信息仍以二进制方式表示的理由是\_\_\_\_\_\_。

A．节约元件； B 运算速度快； C 物理器件的性能决定 ； D 信息处理方便；

1. 用32位字长（其中1位符号位）表示定点小数是，所能表示的数值范围是\_\_\_\_\_\_。

A [0，1 – 2-32] B [0，1 – 2-31] C [0，1 – 2-30] D [0，1]

1. 已知X为整数，且[X]补 = 10011011，则X的十进制数值是\_\_\_\_\_\_。

A +155 B –101 C –155 D +101

1. 主存储器是计算机系统的记忆设备，它主要用来\_\_\_\_\_\_。

A 存放数据 B 存放程序 C 存放数据和程序 D 存放微程序

1. 微型计算机系统中 ，操作系统保存在硬盘上，其主存储器应该采用\_\_\_\_\_\_。

A RAM B ROM C RAM和ROM D CCP

1. 指令系统采用不同寻址方式的目的是\_\_\_\_\_\_。

A 实现存贮程序和程序控制；

B 缩短指令长度，扩大寻址空间，提高编程灵活性；。

C 可直接访问外存；

D 提供扩展操作码的可能并降低指令译码的难度；

1. 在CPU中跟踪指令后继地址的寄存器是\_\_\_\_\_\_。

A 主存地址寄存器 B 程序计数器 C 指令寄存器 D 状态条件寄存器

1. 系统总线地址的功能是\_\_\_\_\_\_。

A 选择主存单元地址；

B 选择进行信息传输的设备；

C 选择外存地址；

D 指定主存和I / O设备接口电路的地址；

9.在常用的三种动态互联网络中，构造简单、价格较低、带宽较窄的是\_\_\_\_\_\_。

A. 总线网络 B. 多级网络 C.交叉开关网络

10．采用DMA方式传送数据时，每传送一个数据就要用一个\_\_\_\_\_\_时间。

A.指令周期 B.机器周期 C.存储周期 D.总线周期

**二、填空题**

1.指令格式中，地址码字段是通过A.\_\_\_\_\_\_来体现的，因为通过某种方式的变换，可以给

出 B.\_\_\_\_\_\_地址。常用的指令格式有零地址指令、单地址指令、C.\_\_\_\_\_\_三种.

2.双端口存储器和多模块交叉存储器属于A.\_\_\_\_\_\_存储器结构.前者采用B.\_\_\_\_\_\_技术,后

者采用C.\_\_\_\_\_\_技术.

3.硬布线控制器的基本思想是:某一微操作控制信号是A.\_\_\_\_\_\_译码输出,B.\_\_\_\_\_\_信号和

C.\_\_\_\_\_\_信号的逻辑函数.

4.当代流行的标准总线追求与A.\_\_\_\_\_\_、B.\_\_\_\_\_\_、C.\_\_\_\_\_\_无关的开发标准。

5. 互连网络是由A\_\_\_\_\_\_元件按照一定的 B\_\_\_\_\_\_结构和 C\_\_\_\_\_\_方式构成网络。

**三．**求证：[x]补 - [y]补 = [x]补 +[-y]补

**四．**CPU执行一段程序时，cache完成存取的次数为5000次，主存完成存取的次数为200次。已知cache存取周期为40ns，主存存取周期为160ns。求：

1．Cache 命中率H。

2．Cache/主存系统的访问效率e。

3．平均访问时间Ta。

**五．**指令格式如下所示，OP为操作码字段，试分析指令格式的特点。

OP 源寄存器 基值寄存器

位移量（16位）

15 10 7 4 3 0

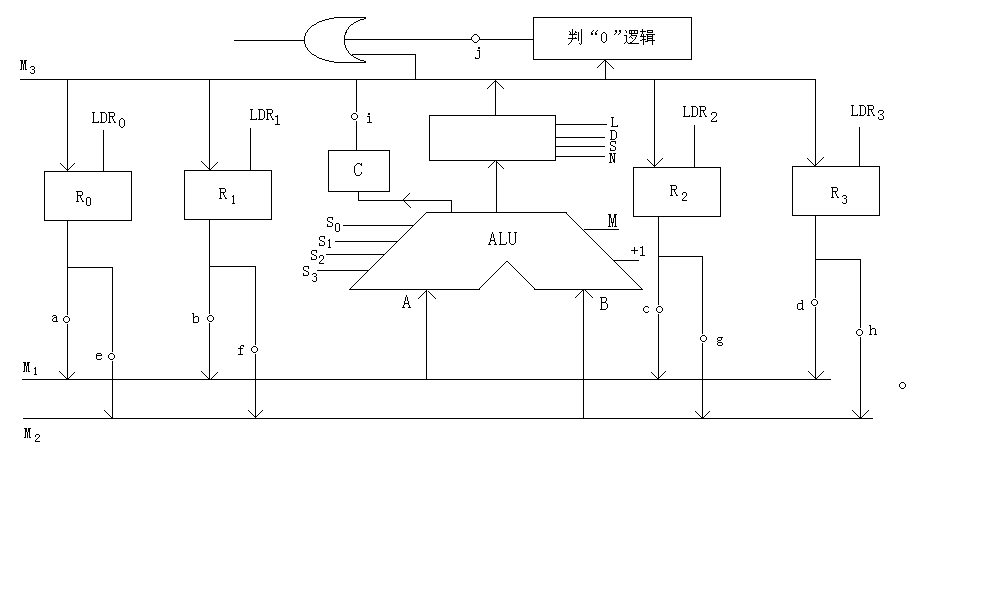
**六．**某机运算器框图如图1所示，其中ALU由通用函数发生器组成，M1—M3为多路开关，采用微程序控制，若用微指令对该运算器要求的所有控制信号进行微指令编码的格式设计，列出各控制字段的编码表。

图1

**七.**PCI总线周期类型可指定多少种总线命令？实际给出多少种？请说明存储器读 / 写总线周期的功能。

**八．**试分析图2所示写电流波形属于何种记录方式。

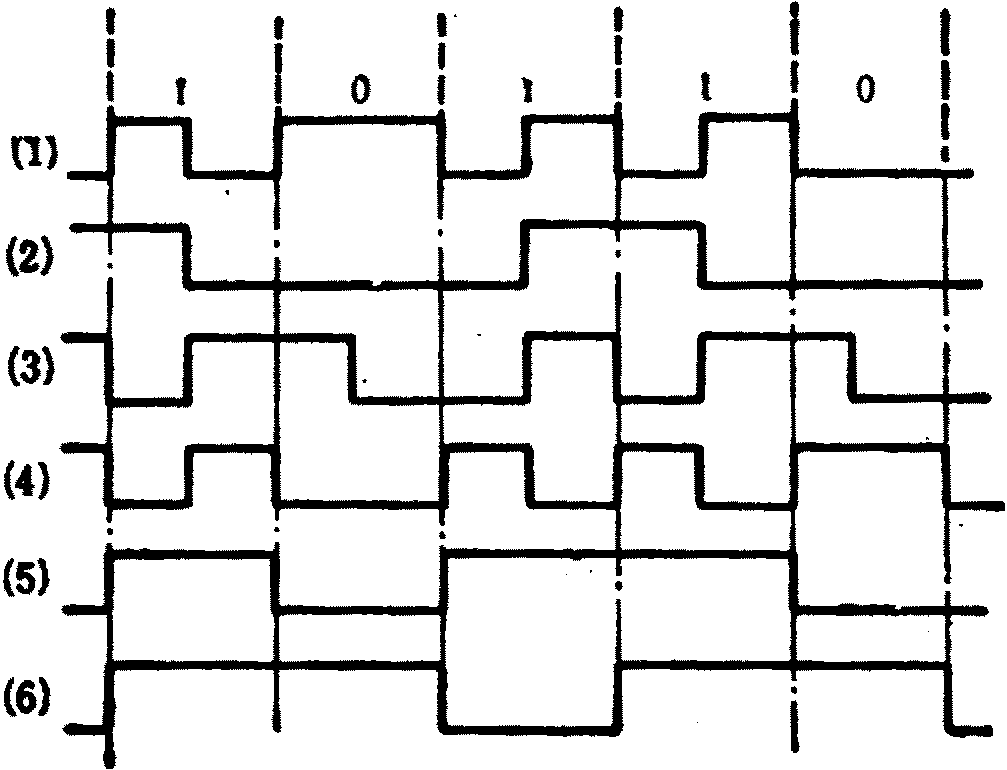


图2

**九．**1）画出三级立方体互连网络连接图，输入输出都是处理机。

2）若级控信号为K0 K1 K2＝100，输入4号处理机与输出几号处理机相连。

**十．**机动题

**本科生期末试卷八**

一．**选择题**

1．某寄存器中的值有时是地址，因此只有计算机的\_\_\_\_\_\_才能识别它。

A 译码器 B 判断程序 C 指令 D 时序信号

2．用16位字长（其中1位符号位）表示定点整数时，所能表示的数值范围是\_\_\_\_\_\_。

A [ 0，216 – 1 ] B [ 0，215 – 1 ] C [ 0，214 – 1 ] D [0，215 ]

3．在定点运算器中，无论采用双符号位还是单符号位，必须有\_\_\_\_\_\_，它一般用\_\_\_\_\_\_来

实现。

A 译码电路， 与非门 ；

B 编码电路， 或非门 ；

C 溢出判断电路 ，异或门 ；

D 移位电路， 与或非门 ；

4．某SRAM芯片，其容量为512×8位，包括电源端和接地端，该芯片引出线的最小数目

应为\_\_\_\_\_\_。

A 23 B 25 C 50 D 19

5．以下四种类型的半导体存储器中，以传输同样多的字为比较条件，则读出数据传输率最

高的是\_\_\_\_\_\_。

A DRAM B SRAM C 闪速存储器 D EPROM

6．指令的寻址方式有顺序和跳跃两种方式，采用跳跃寻址方式，可以实现\_\_\_\_\_\_。

A 堆栈寻址 ；

B 程序的条件转移 ；

C 程序的无条件转移 ；

D 程序的条件转移或无条件转移 ；

7．异步控制常用于\_\_\_\_\_\_作为其主要控制方式。

A 在单总线结构计算机中访问主存与外围设备时 ；

B 微型机的CPU中 ；

C 硬布线控制器中 ；

D 微程序控制器中 ；

8．向量处理机采用流水方式计算，因此以下三种向量处理方法中不宜采用的方法是\_\_\_\_\_\_。

A. 横向处理 B. 纵向处理 C. 纵横处理

9．磁盘驱动器向盘片磁层记录数据时采用\_\_\_\_\_\_方式写入。

A 并行 B 串行 C 并行—串行 D 串行—并行

10．IEEE1394所以能实现数据传送的实时性，是因为\_\_\_\_\_\_。

A 除异步传送外，还提供等步传送方式 ；

B 提高了时钟频率 ；

C 除优先权仲裁外，还提供均等仲裁，紧急仲裁两种总线仲裁方式 ；

二．**填空题**

1. RISC CPU是克服CISC机器缺点的基础上发展起来的，它具有的三个基本要素是：（1）

一个有限的A.\_\_\_\_\_\_；（2） CPU配备大量的B.\_\_\_\_\_\_；（3） 强调C.\_\_\_\_\_\_的优化。

1. 总线仲裁部件通过采用A.\_\_\_\_\_\_策略或B.\_\_\_\_\_\_策略，选择其中一个主设备作为总线的下一次主方，接管C.\_\_\_\_\_\_。

3.重写型光盘分A.\_\_\_\_\_\_和B.\_\_\_\_\_\_两种，用户可对这类光盘进行C.\_\_\_\_\_\_信息。

4．多个用户公享主存时，系统应提供A.\_\_\_\_\_\_。通常采用的方法是B.\_\_\_\_\_\_保护和C.\_\_\_\_\_\_

保护，并用硬件来实现。

5．静态互连网络是处理单元间有着A\_\_\_\_\_\_ 连接的一类网络，在程序执行期间，这种 B\_\_\_\_\_\_的链接保持不变。

**三．**设[x]补=x0.x1x2…xn，求证：

0, 1> x ≥ 0

[x]补=2x0+x，其中x0=

1 , 0 > x > -1

**四．**如图1表示用快表（页表）的虚实地址转换条件，快表放在相联存贮

器中，其容量为8个存贮单元，问：

（1）当CPU按虚地址1去访问主存时主存的实地址码是多少？

（2）当CPU按虚地址2去访问主存时主存的实地址码是多少？

（3）当CPU按虚地址3去访问主存时主存的实地址码是多少？

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 页号 | 该页在主存中的起始地址 | 虚拟地址 页号 页内地址 | | | |
| 33  25  7  6  4  15  5  30 | 42000  38000  96000  60000  40000  80000  50000  70000 | 1  2  3 | 15 | 0324 |
|  | |
| 7 | 0128 |
|  | |
| 48 | 0516 |
|  | |

图1

1. 某微机的指令格式如下所示：

15 10 9 8 7 0

|  |  |  |
| --- | --- | --- |
| 操作码 | X | D |

D: 位移量

X:寻址特征位

X=00：直接寻址；

X=01：用变址寄存器X1进行变址；

X=10：用变址寄存器X2进行变址；

X=11：相对寻址

设（PC）=1234 H,( X1)=0037H,( X2)=1122H(H代表十六进制数)，请确定下列指令的有效地址。

①4420H ②2244H ③1322H ④3521H ⑤6723H

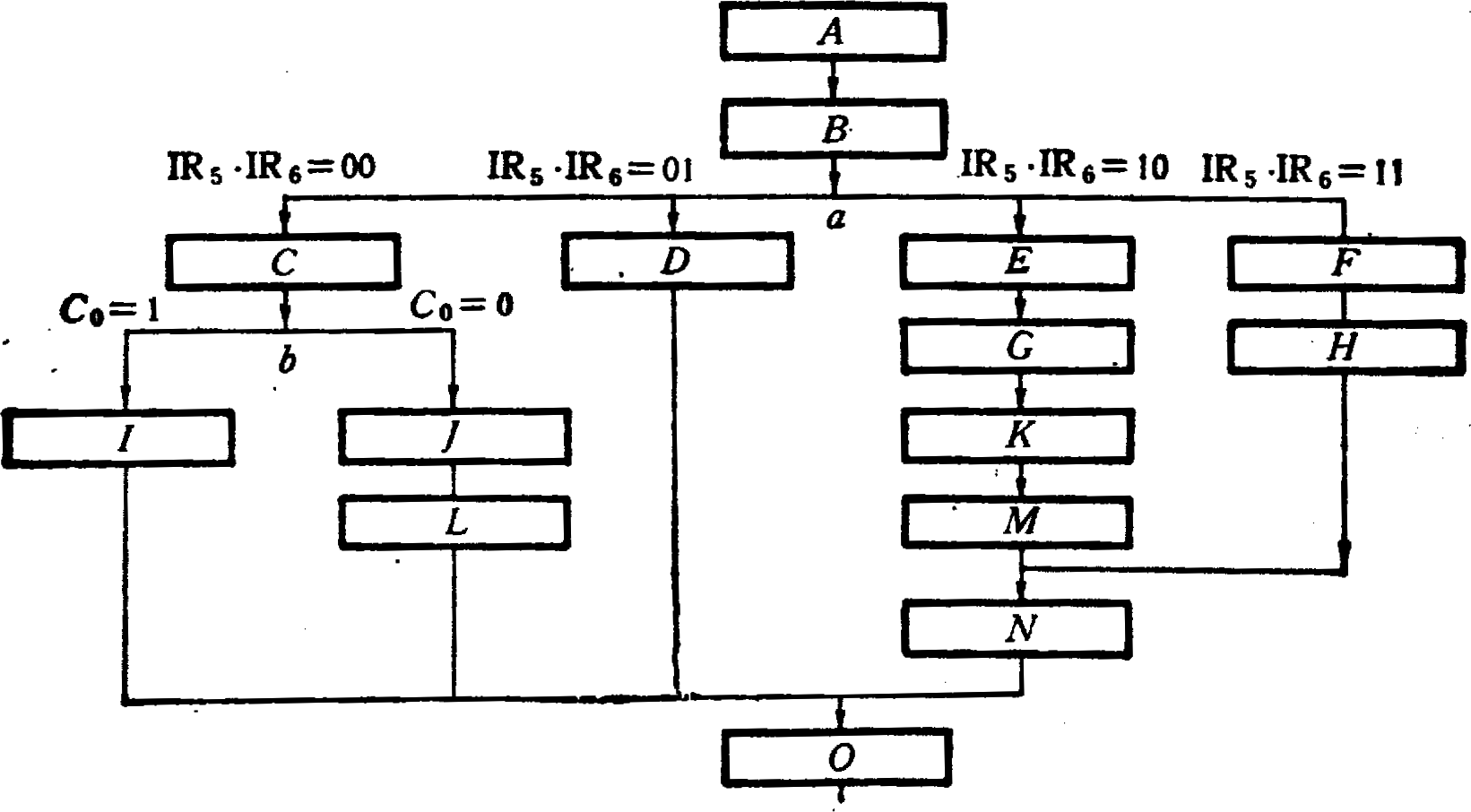
1. 图2给出了微程序控制的部分微指令序列，图中每一框代表一条微指令。分支点a由指令寄存器IR5 ，IR6两位决定，分支点b由条件码标志c决定。现采用断定方式实现微程序的程序控制，已知微地址寄存器长度为8位，要求：
2. 设计实现该微指令序列的微指令字顺序控制字段的格式。
3. 画出微地址转移逻辑图。

图2

1. 某磁盘存贮器转速为3000转 / 分，共有4个记录面，每毫米5道，每道记录信息为12288字节，最小磁道直径为230mm，共有275道。问：
2. 磁盘存贮器的容量是多少？
3. 最高位密度与最低位密度是多少？
4. 磁盘数据传输率是多少？
5. 平均等待时间是多少？
6. 给出一个磁盘地址格式方案。
7. 画出程序中断方式基本接口示意图，简要说明IM, IR ,EI , RD, BS五个触发器的作用。
8. 如图所示，8个处理机访问8个存储器，通过三级立方体互连网络连接，采用级控方式。其中所有交换开关均为二功能（级控仪号为“0”时直通，为“1”时交换）。若级控信号为：①K0 K1 K2＝100 ②K0 K1 K2＝111，请列表说明两种情况下，对应8个处理机而实际连通的8个存储器的排列次序。



三级立方体互连网络

十 机动题