

AGSTU**Teknisk rapport**

Författare Menyar Hees	Uppgift VGA-prototyp		
Menyar.hees@gmail.com	Kontrollerad	Version 1	Fil Menyar_Hees_vga_controller

AGSTU

VGA-kontroller

Validering av VGA-kontroller och VGA-prototyp

Menyar Hees**2024-12-06**

Sammanfattning: Den här rapporten beskriver processen för utveckling, verifiering och validering av en VGA-kontroller. Arbetet innefattar skapandet av en prototyp på FPGA, konstruktion av VHDL-kod, simulering med ModelSim och fysiska tester på DE10-Lite-kortet. Tyngdpunkten ligger på att följa VGA-protokollet och säkerställa korrekt funktionalitet genom testbänkar och verifiering av färgåtergivning.

Innehållsförteckning

Kravspecifikation.....	3
VGA-interfacet på kortet.....	5
Signalbeskrivning.....	5
Funktionalitet.....	5
VGA-protokollet.....	6
Horisontellt svep.....	6
Vertikalt svep.....	6
Testprotokoll.....	7
Verifieringstest (ModelSim).....	7
Valideringstest (FPGA).....	7
Konstruktionsbeskrivning.....	8
System arkitektur.....	8
Delsystem.....	8
Klockdelning.....	8
RGB-signaler.....	8
Verifiering.....	9
Testbänk.....	9
Modelsim.....	9
Resultat.....	9
Validering.....	11
Bilder av resultatet.....	11
Resultat av testprotokoll för validering.....	12
Resultat.....	13
Bilaga.....	14
VHDL-fil.....	14
Do-fil.....	14
Testbänk.....	14

Kravspecifikation

Tabell 1. Kravspecifikation från kund.

Krav id	Beskrivning	Utfört Ja/Nej
Konstruktionskrav		
		Ja
2a	Kravspecifikationen är att konstruera en VGA-kontroller, kommentera koden, verifiera med testbänk (före valideringen) och validera koden på DE10-Lite-kortet.	Ja
2b	VGA-protokollet ska följas och dela 50 MHz klockan i en process för att få 25 MHz.	Ja
2c	Antal bitar för färgerna är fritt att välja. Frivilligt att göras generisk.	Ja
Testprotokoll		
3	Testfall: VGA-protokollets styrsignaler testas med ModelSim. Följande signaler ska verifieras: VGA_HS och VGA_VS. Se bilaga. Validering på FPGA kortet: Testfall 1: Rita en röd fyrkant i övre vänster hörn när KEY(0) trycks ned Testfall 2: Rita en grön fyrkant i nedre vänster hörn när KEY(1) trycks ned Testfall 3: Rita en blå fyrkant i nedre höger hörn när KEY(2) trycks ned Dessa färger ska överlappa varandra och de ska blandas i mitten av skärmen. Se figur 14 i bilaga D.	Ja
VHDL-kod		
4	Filhuvud, indenterad kod	Ja
Verifierings-/Valideringskrav		
5a	Verifiera med ModelSim.	Ja
5b	Validera på DE1-kortet. Fyll i testprotokollet.	Ja
6	1) Verifiering, Eget kapitel. <ol style="list-style-type: none"> Testbänken, Teststimuli (som bygger på testprotokollet för programmet) Bilder på resultatet från simuleringen med ModelSim (se bilaga C för exempel) Ifyllt testprotokoll för verifiering 2) Validering, beskriv resultatet med ett foto. <ol style="list-style-type: none"> Ifyllt testprotokoll för validering (ej samma som verifiering) 	Ja
Leveranskrav		
		Ja

VGA-interfacet

VGA-gränssnittet på DE10-Lite-kortet används för att ansluta kortet till en skärm via en VGA-kabel. Gränssnittet följer VGA-standarden och innehåller signaler för synkronisering samt överföring av färgdata. Nedan beskrivs de centrala delarna av VGA-gränssnittet på DE10-Lite:

Synkroniseringssignal

- **VGA_HS** (Horizontal Sync): Genererar en puls för att synkronisera början av en ny rad. Pulsen definierar det horisontella rasterintervallet.
- **VGA_VS** (Vertical Sync): Genererar en puls för att synkronisera början av en ny bildruta. Pulsen definierar det vertikala rasterintervallet.

Färgsignaler

- **VGA_R[3:0]**: Fyra bitar för röd färgkomponent (nivån av rött i RGB).
- **VGA_G[3:0]**: Fyra bitar för grön färgkomponent (nivån av grönt i RGB).
- **VGA_B[3:0]**: Fyra bitar för blå färgkomponent (nivån av blått i RGB).
Dessa färgsignaler används för att generera en 12-bitars färgpalett som visas på skärmen..

Funktion och Timing

VGA-signalerna följer ett specifikt timingmönster:

- **Horisontell timing**: Anger längden på en rad inklusive aktiv displaytid, horisontell sync-puls, och vilotid.
- **Vertikal timing**: Anger längden på en bildruta inklusive aktiv displaytid, vertikal sync-puls, och vilotid.

Beskrivning av VGA-protokollet

VGA-protokollet används för att styra bildskärmar genom horisontella och vertikala synkroniseringssignalerna (VGA_HS och VGA_VS) samt RGB-signaler. Protokollet delar upp en bildruta i pixlar, rader och bildramar baserat på följande komponenter:

Horisontell synkronisering (VGA_HS)

- **Synkroniseras varje rad.**
- **Består av fyra delar**: Visningsområde, Framre porch, 480 linjer: Synliga data.

Vertikal synkronisering (VGA_VS)

- Synkronisera varje bildruta (ram).
- Består av samma fyra delar som den horisontella synkroniseringen men i förhållande till hela bildrutor.

Pulsdiagram för VGA_HS och VGA_VS

Tidsdiagram i relation till horisontella och vertikala räknare (x_counter och y_counter):

1. VGA_HS (Horisontell synk)

- **Visningsområde** (x_counter: 0–639): RGB-data skickas för att rita pixlar.
- **Framre porch** (x_counter: 640–655): Ingen bilddata, en kort paus.
- **Synkpuls** (x_counter: 656–751): VGA_HS sätts till **låg** ('0').
- **Bakre porch** (x_counter: 752–799): Ingen bilddata, en paus innan nästa rad.

2. VGA_VS (Vertikal synk)

- **Visningsområde** (y_counter: 0–479): Alla rader i bildrutan visas.
- **Framre porch** (y_counter: 480–489): Ingen bilddata, en paus.
- **Synkpuls** (y_counter: 490–491): VGA_VS sätts till **låg** ('0').
- **Bakre porch** (y_counter: 492–524): Ingen bilddata innan nästa bildruta.

Testprotokoll

- **Räknarvärdet:** Simulera upp till hela räckvidden för både x_counter och y_counter.
- **Analysverktyg:** Använd ModelSim för att observera **VGA_HS** och **VGA_VS** i relation till räknarnas värden i pulsdiagrammet. Se nästa tabell.

Table 1. Testfall för ett testprotokoll som testas i Modilsim

Testfall	Beskrivning	Förutsättningar	Förväntat resultat	Status
1	kontrollera att VGA_HS får korrekt signalnivå vid olika värden av x_counter	Räknarvärdet från 0 till 799 under simulering	- VGA_HS = '1' för x_counter 0–655 och 752–799 - VGA_HS = '0' för x_counter 656–751	Ok
2	Kontrollera att VGA_VS får korrekt	Räknarvärdet från 0 till 524	- VGA_VS = '1' för y_counter 0–489 och 492–524	Ok

	signalnivå vid olika värden av y_counter	under simulering	- VGA_VS = '0' för y_counter 490–491	
--	--	---------------------	--	--

Valideringstest (FPGA)

Testfall 1: Rita en röd fyrkant i övre vänstra hörnet när KEY(0) trycks ned. Se nästa figur.



Figure 1. Testfall 1

Testfall 2: Rita en grön fyrkant i nedre vänstra hörnet när KEY(1) trycks ned. Se nästa figur.



Figure 2. Testfall 2

Testfall 3: Rita en blå fyrkant i nedre högra hörnet när KEY(2) trycks ned. Se nästa figur.



Konstruktionsbeskrivning

Systemsarkitektur

Systemet består av tre huvudsakliga processer:

- **Klockdelare:** Genererar en 25 MHz klocksignal från den inkommande 50 MHz klockan.
- **Räknare:** Hanterar de horisontella och vertikala räknarna som används för att generera VGA-signaler.
- **Metastabilitetshantering:** Stabilisering av ingångssignalerna genom att använda D-vippor för att undvika metastabilitet.Klockdelning

Delsystem

- **Klockdelning**
Klocksignalen delas upp i en process som inverterar klockans tillstånd vid varje stigande flank av den ursprungliga 50 MHz klockan för att skapa en 25 MHz klocka.
- **RGB-signaler**
RGB-signalerna styrs av de nedtryckta knapparna och representerar färgerna enligt följande:
 - **Röd:** KEY(0)
 - **Grön:** KEY(1)
 - **Blå:** KEY(2)

Verifiering

Testbänk

Testbänken är utformad för att simulera VGA-kontrollens funktionalitet. Den innehåller signaler för klocka, återställning och teststimuli (KEY-signaler), samt observerar utgångarna VGA_HS, VGA_VS och RGB-signaler (VGA_R, VGA_G, VGA_B). Simuleringen genomfördes i ModelSim för att verifiera att klockdelning, räknare och färgsignaler fungerar som förväntat.

Modelsim

ModelSim användes för att simulera VGA-kontrollern. Under simuleringen analyserades räknarna **x_counter** och **y_counter** för att säkerställa att de räknar korrekt och återställs enligt VGA-timing. Synkroniseringssignalerna **VGA_HS** och **VGA_VS** kontrollerades för att bekräfta att de följer de angivna specifikationerna. RGB-signalerna testades genom att aktivera de respektive knapparna och observera simuleringens vågformer.

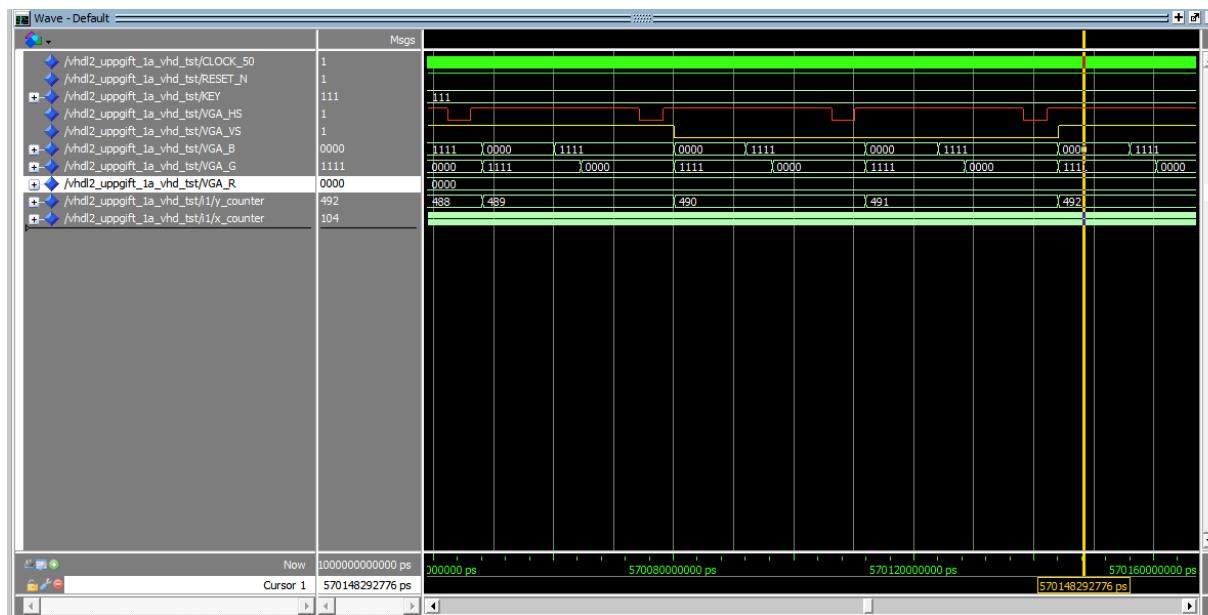


Figure 3. Plusdiagramet visar HS och VS

