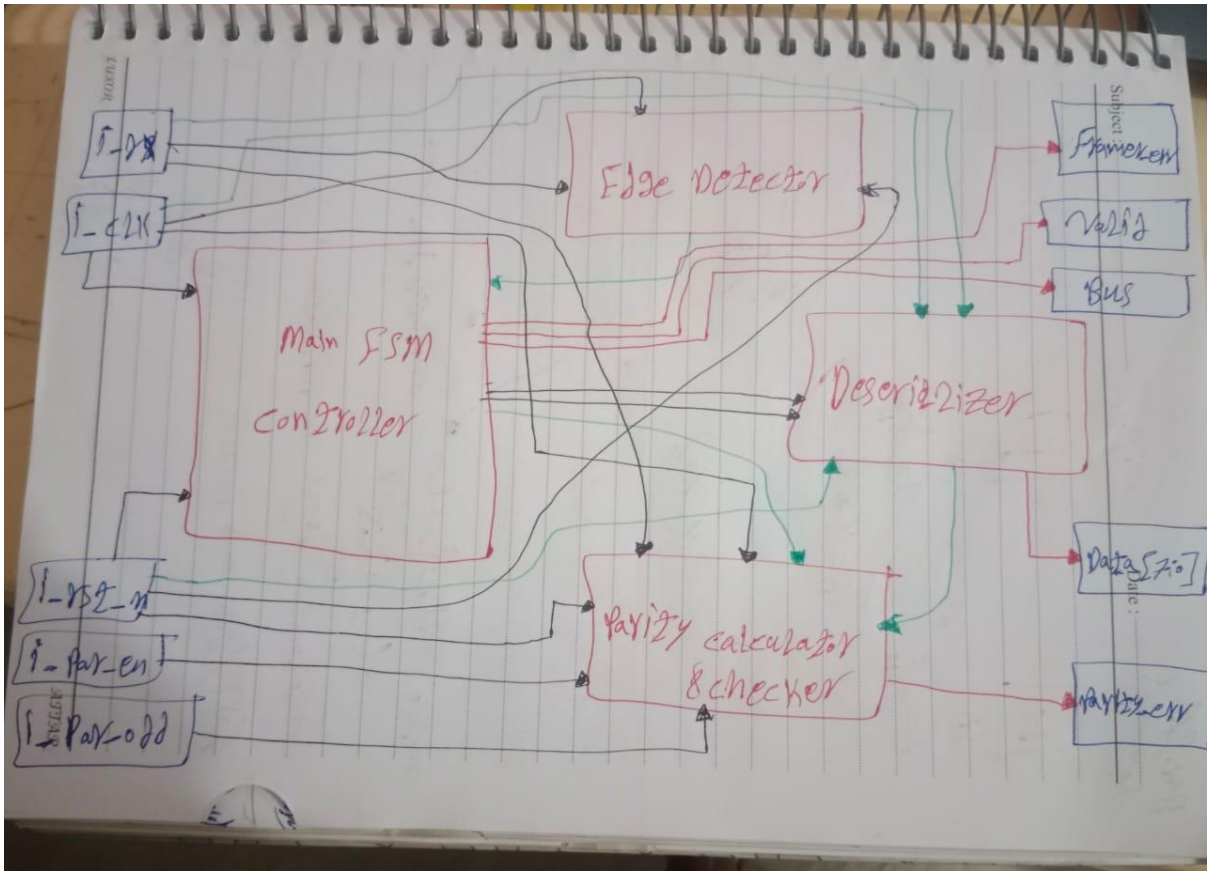
UART TX& RX

Block digram _



TX

يتكون من 4 مكونات اساسيه هي controler دخلوه كلوك وهو المسوال عن عرض valid , bucy , framer_err و تاني حاجه desrilizerوهو بيحول الداتا الي جايه من المرسل من serial to parreal

اما بنسبه لل edge detector فهو بيشوف تغير الاشاره الي جايه من i_rx

هل الاشاره, rising edge ولا falling edge

اخر حاجه ال parity controler & cheker وهو بيعمل calculaterو بيتشك

لو فيهpart_err

Coding controller

IDLE, تعتمد وحدة التحكم على خمس حالات رئيسية، وهي:
تبدأ عملية الاستقبال **START, DATA, PARITY,** و**STOP**.
حيث تكون الوحدة في وضع الاستعداد لاستقبال إطار **IDLE**، في حالة تنتقل وحدة التحكم إلى `start_pulse` جديد. عند وصول إشارة حالة **START** وتبدأ عملية التزامن مع توقيت البتات.

Parity Calculator & Checker

- تمثل قيمة الـ `expected_parity` Parity التي **نتوقعها** بناءً على البيانات ونوع الـ Parity.
- عند تفعيل `check_en` تتم مقارنة الـ Parity المتوقعة مع الـ `expected_parity` Parity المستقبلة `i_parity_bit`.
- إذا كانت القيمتان مختلفتين، يتم تفعيل `o_parity_err` للإشارة إلى وجود **Parity Error**.
- إذا كان `i_par_en = 0`، يتم تعطيل فحص الـ Parity ويظل `o_parity_err = 0`.

deserlizer

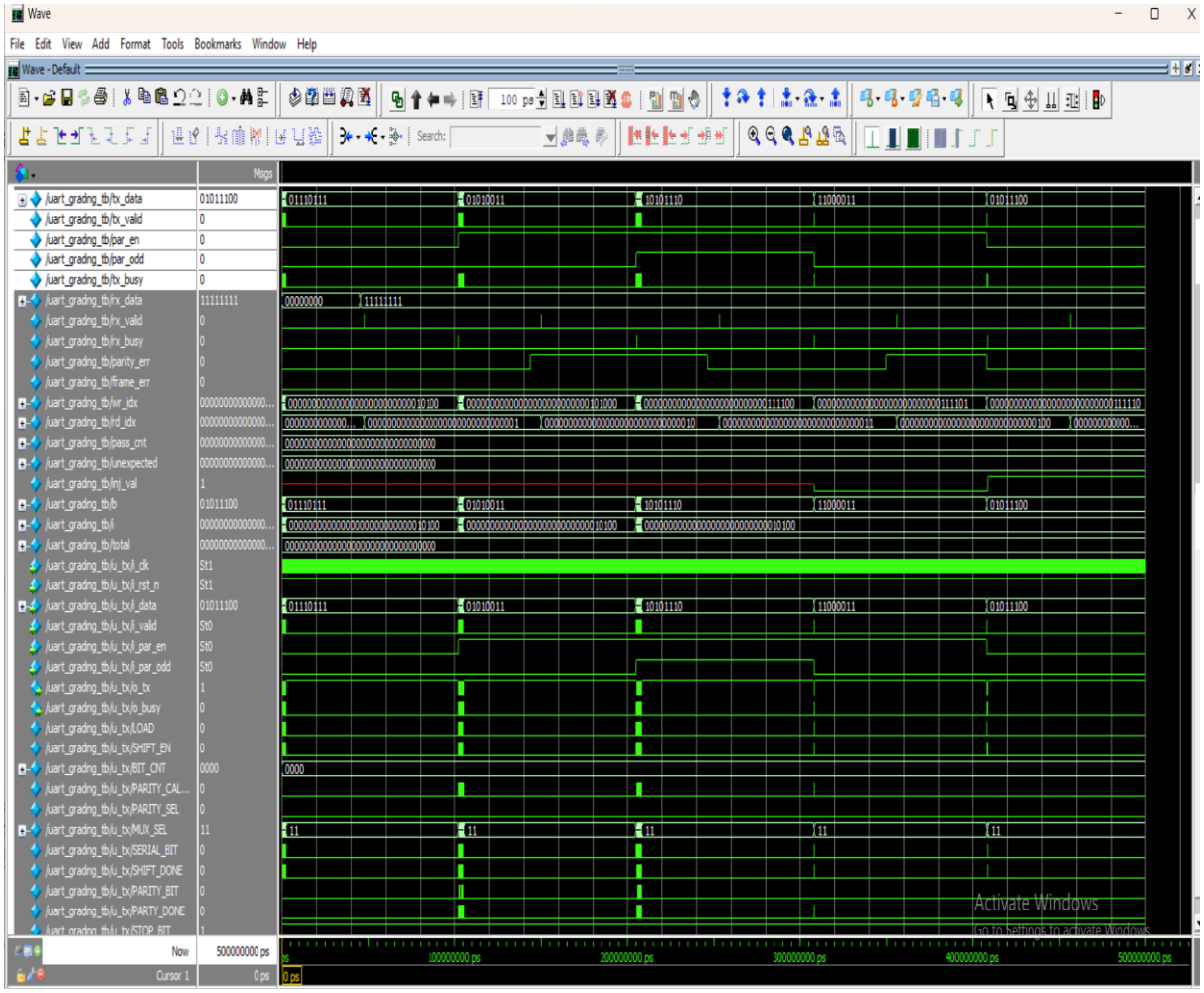
- يحتوي الموديول على `shift_reg` باسم **Shift Register** بشكل تسلسلي. `i_rx` لاستقبال البتات القادمة من

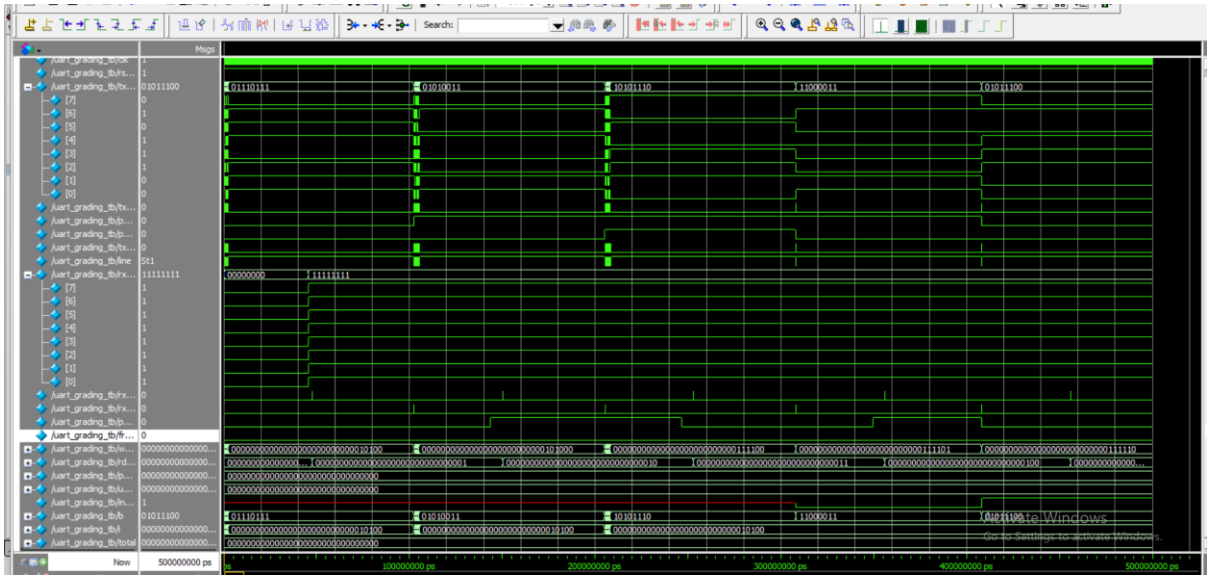
- يتم إدخال البت الجديدة إلى الـ `shift_en`، عند تفعيل Shift Register وإزاحة البتات السابقة.
- لنقل `load_en` بعد استقبال جميع بتات البيانات، يتم تفعيل البيانات من `shift_reg` إلى `out_reg`.
- يتم إخراج البيانات المستقبلة من خلال `o_data` و`parallel_data`.
- يتم تصفير سجلات البيانات Reset عند تفعيل الـ.

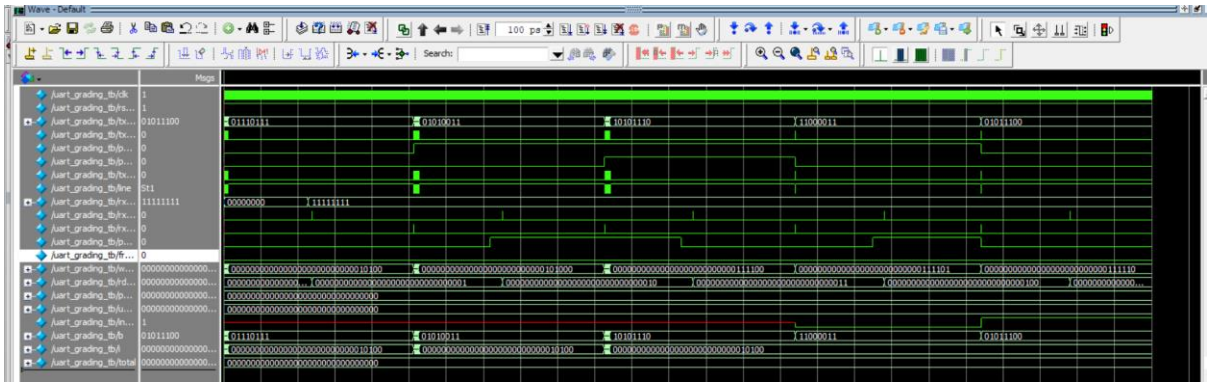
Edge detector

- يتم استخدام `sync_1` و`sync_2` لعمل **Synchronization** لإشارة `i_rx` مع الـ Clock، مما يساعد على تقليل مشاكل الـ Clock Domain Crossing.
- يتم استخدام `i_rx_d1` للاحتفاظ بالقيمة السابقة للإشارة المتزامنة.
- عندما تنتقل الإشارة من 1 إلى 0، يتم اكتشاف الـ **Falling Edge**.
- والذي `start_pulse`، عند اكتشاف هذا الانتقال يتم تفعيل بدء استقبال **UART RX Controller** يُستخدم لإبلاغ وحدة إطار جديد.

Smulation


Wave
File Edit View Add Format Tools Bookmarks Window Help
Wave - Default
/uart_grading_tb/tx_data
/uart_grading_tb/tx_valid
/uart_grading_tb/par_en
/uart_grading_tb/par_odd
/uart_grading_tb/tx_busy
/uart_grading_tb/rx_data
/uart_grading_tb/rx_valid
/uart_grading_tb/rx_busy
/uart_grading_tb/parity_err
/uart_grading_tb/frame_err
/uart_grading_tb/wr_idx
/uart_grading_tb/rd_idx
/uart_grading_tb/pass_cnt
/uart_grading_tb/unexpected
/uart_grading_tb/inj_val
/uart_grading_tb/b
/uart_grading_tb/l
/uart_grading_tb/total
/uart_grading_tb/u_tx/i_clk
/uart_grading_tb/u_tx/i_rst_n
/uart_grading_tb/u_tx/i_data
/uart_grading_tb/u_tx/i_valid
/uart_grading_tb/u_tx/i_par_en
/uart_grading_tb/u_tx/i_par_odd
/uart_grading_tb/u_tx/o_tx
/uart_grading_tb/u_tx/o_busy
/uart_grading_tb/u_tx/LOAD
/uart_grading_tb/u_tx/SHIFT_EN
/uart_grading_tb/u_tx/BIT_CNT
/uart_grading_tb/u_tx/PARITY_CAL...
/uart_grading_tb/u_tx/PARITY_SEL
/uart_grading_tb/u_tx/MUX_SEL
/uart_grading_tb/u_tx/SERIAL_BIT
/uart_grading_tb/u_tx/SHIFT_DONE
/uart_grading_tb/u_tx/PARITY_BIT
/uart_grading_tb/u_tx/PARITY_DONE
Now
500000000 ps
Cursor 1
0 ps
100000000 ps
200000000 ps
300000000 ps
400000000 ps
500000000 ps
Activate Windows


Msgs
/uart_grading_tb/clk 1
/uart_grading_tb/rs... 1
/uart_grading_tb/tx... 01011100
01110111
01010011
10101110
11000011
01011100
/uart_grading_tb/line St1
/uart_grading_tb/rx... 11111111
00000000
11111111
/uart_grading_tb/fr... 0
/uart_grading_tb/b 01011100
/uart_grading_tb/l
/uart_grading_tb/total
Now 500000000 ps
100000000 ps
200000000 ps
300000000 ps
400000000 ps
500000000 ps


Wave - Default
Msgs
/uart_grading_tb/clk 1
/uart_grading_tb/rs... 1
/uart_grading_tb/tx... 01011100
01110111
01010011
10101110
11000011
01011100
/uart_grading_tb/line St1
/uart_grading_tb/rx... 11111111
00000000
11111111
/uart_grading_tb/fr... 0
/uart_grading_tb/b 01011100
/uart_grading_tb/l
/uart_grading_tb/total