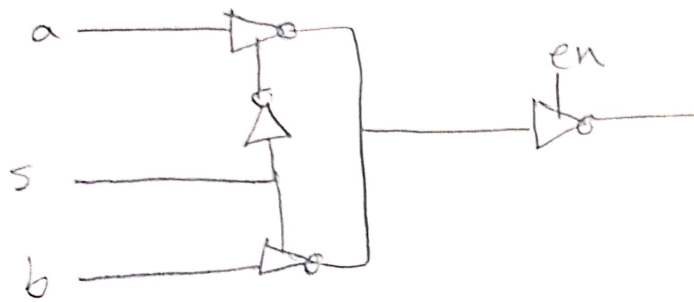


810199392

CA4

سید پورزاد

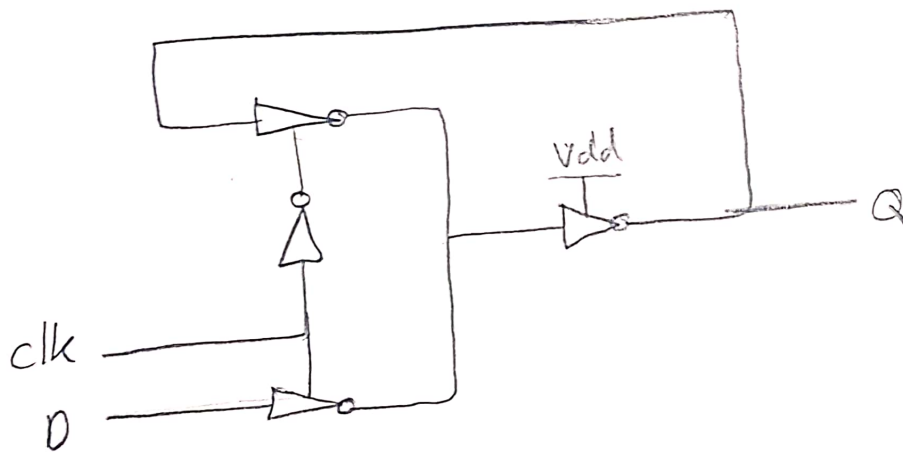
①



← CA2 مالتی پلکسر Multiplexer 2-1-1

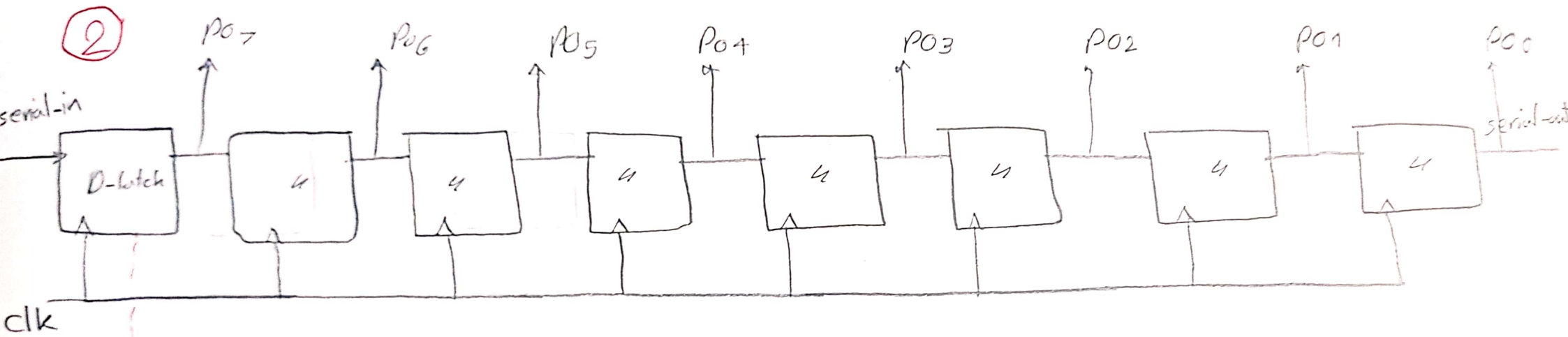
notif1 # (14, 18, 16) , not # (7, 9)

b) D-latch:



d)

موارد گفته شده در Test bench وجود دارد.



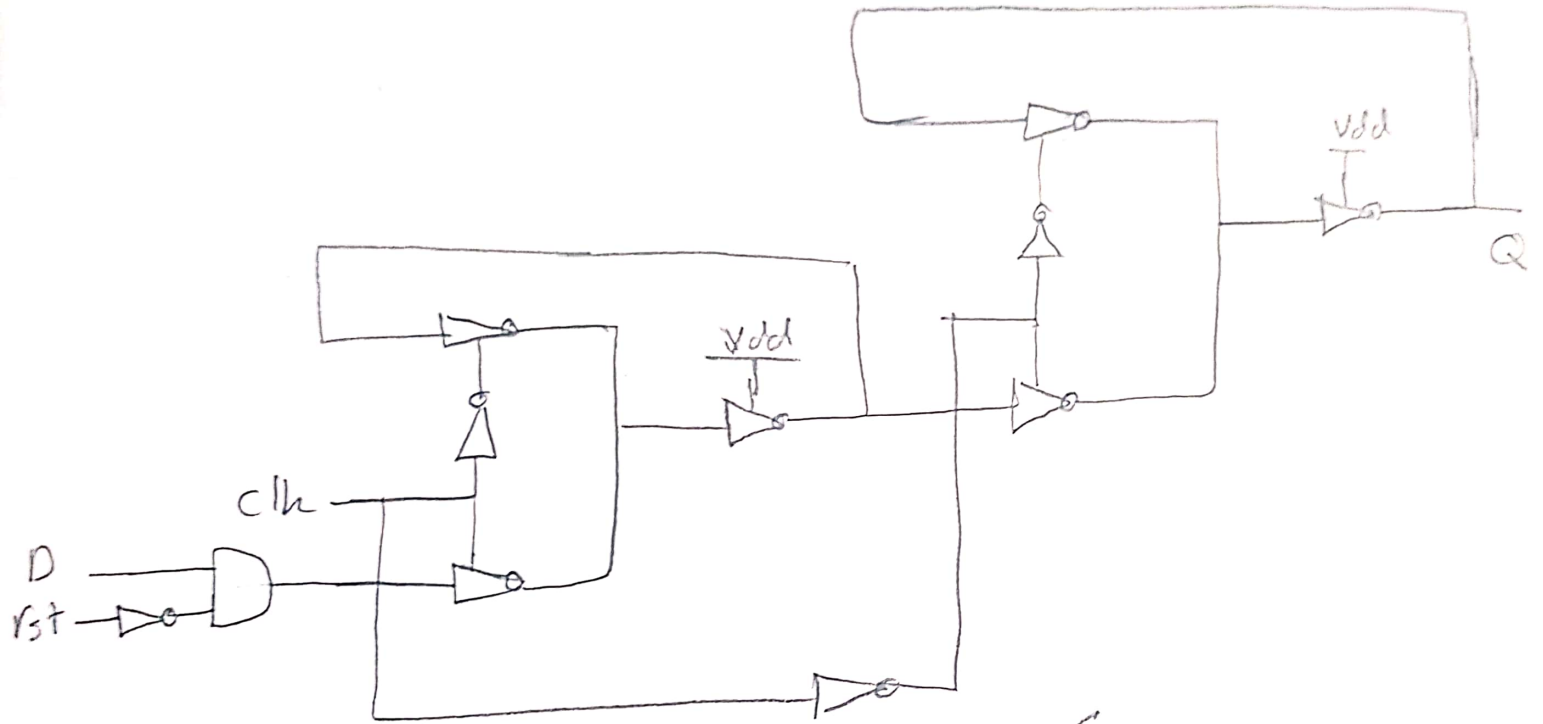
هر کدام مانند سوال یک

D-latch

ط) وقتی در simulator می‌کنیم مشاهده می‌کنیم هنگامی که clk یک بار می‌بارد و serial-in می‌تواند وارد شود توقفی وجود ندارد و باید دیدی می‌توانی یکی یکی عدد از serial-in وارد می‌شوند مثلاً اگر serial-in 1 باشد و برای مدت 100 ns یک بار باشد هر چند ثانیه می‌توانی یک بار وارد می‌شود تا وقتی که clk عدد شود برای حل این مشکل می‌توانیم از D-flip-flop استفاده کنیم.

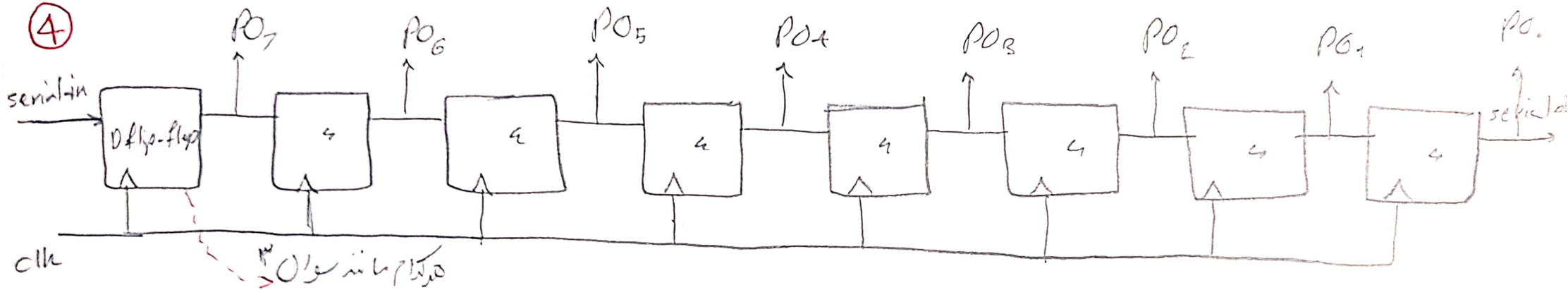
ب)

3

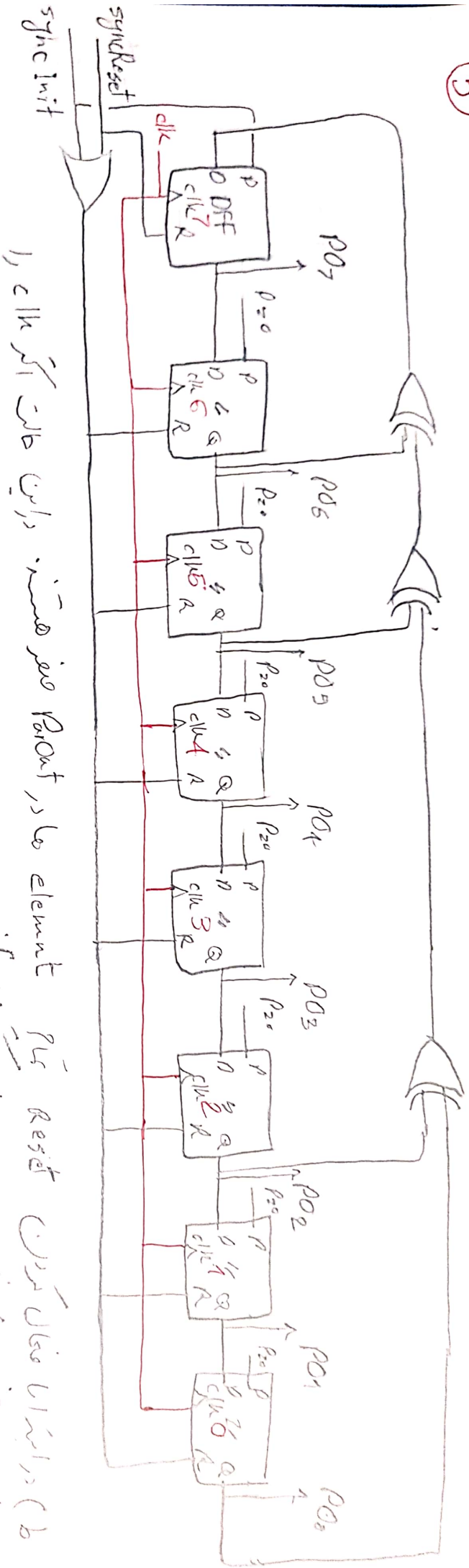


ک) ستاره می کنیم که به درستی کار می کند و ثبت سوال 1) D-flip-flop می دی
پیشوند ثبت به D-latch دارد ..

④



(a) با عوض کردن D flip-flop به جای D-latch تغییراتی را مشاهده می‌کنیم. در سوال ۳ که از D-latch استفاده کردیم مشاهده کردیم که تا وقتی که clk یکدست بود D به خروجی راه پیدا می‌کرد و یکی یکی اضافه می‌شد و باعث این مشکل می‌شد که بیست و نه بار از تعداد آن که می‌خواستیم کیفیت صورت گیرد. در این سوال که از D flip-flop استفاده کرده ایم دیگر این اتفاق نمی‌افتد. دلیل آن این است که ساختار D flip-flop به گونه‌ای باشد که وقتی clk یکدست شود D تا سینه‌های راه می‌رود و منتظر می‌ماند که clk صفر شود و سپس D تا انتهای راه می‌رود. در نتیجه باید clk pulse یک بیت کیفیت می‌کند.



ط) در این ایا فعال کردن Reset برای element ها در Parat ضرر هسته. در این حالت اگر clk را برنیم هیچ تغییر رخ نمی دهد و همانگونه می ماند.

ج) بعد از آن با استفاده از $syncInit$ و $parat$ را به صورت 1000000 در می آوریم. در این مرحله وقتی clk را می زنیم صدی عناصر به ریست دارند. بیت جدیدی به وارد می شود از XOR گرفتن PO_2 و PO_5 و PO_6 و PO_7 می باشد. بیت در مرور زمان بهر بار clk از این بیت ها تغییر می کند. PO_2 و PO_5 و PO_6 و PO_7 را به صورت PO_2 و PO_5 و PO_6 و PO_7 می باشد. PO_2 و PO_5 و PO_6 و PO_7 را به صورت PO_2 و PO_5 و PO_6 و PO_7 می باشد. PO_2 و PO_5 و PO_6 و PO_7 را به صورت PO_2 و PO_5 و PO_6 و PO_7 می باشد.