|  |
| --- |
| 浙江大学嵌入式系统研究中心 |
| 同步授时及数据传输节点硬件详细设计 |
| V1.0.0 |
|  |
| **林振伟** |
| **2017-03-07** |

目录

[1. 简要概述 4](#_Toc476665378)

[1.1. 背景介绍 4](#_Toc476665379)

[1.2. 功能描述 4](#_Toc476665380)

[1.3. 运行环境说明 5](#_Toc476665381)

[1.4. 需求性能指标 5](#_Toc476665382)

[1.5. 功耗统计 6](#_Toc476665383)

[2. 关键器件 8](#_Toc476665384)

[3. 详细说明 11](#_Toc476665385)

[3.1. 主板功能单元划分和业务描述 11](#_Toc476665386)

[3.1.1. **单元组成** 11](#_Toc476665387)

[3.1.2. **主处理器描述** 11](#_Toc476665388)

[3.1.3. **电源模块说明** 16](#_Toc476665389)

[3.1.4. **单元配合描述** 17](#_Toc476665390)

[3.1.5. **时钟分配** 19](#_Toc476665391)

[3.1.6. **复位设计** 19](#_Toc476665392)

[3.2. 副板功能单元划分和业务描述 20](#_Toc476665393)

[4. 对外接口 22](#_Toc476665394)

**同步授时及数据传输节点硬件详细设计报告**

**关键词：** smartfusion，LVDS

**摘 要：**本文主要描述了单通道系统同步授时及数据传输（Time Service&Data Rate Node以下简称TSDR节点）节点硬件详细设计。TSDR节点以Smartfusion2系列FPGA为核心，将同步时钟转发给数模转换元进行同步采样，数模转换元和直流传感器采样数据通过RS485方式发送给TSDR节点，TSDR节点进行整理后通过高速串行LVDS总线将数据上传，上传链路采用双环路备份。系统模块板宽要求≤16mm，要求尽可能低功耗，小型化。

**缩略语清单：**

|  |  |  |
| --- | --- | --- |
| **缩略语** | **英文全名** | **中文解释** |
|  |  |  |
|  |  |  |
|  |  |  |

# 简要概述

## 1.1背景介绍

* 设备包含的单板硬件正式名称和版本号：xxxxxxxxx。
* TSDR节点框图如下，做简要说明：



图表 1 系统总体架构示意图

## 1.2功能描述

TSDR节点模块以Smartfusion2系列M2S050 FCS325为核心，将同步时钟转发给数模转换元进行同步采样，数模转换元和直流传感器采样数据通过RS485方式发送给数据TSDR节点，TSDR节点进行整理后通过高速串行LVDS总线将数据上传，上传链路采用双环路备份。

## 1.3运行环境说明

产品环境规格温度为：0～65℃，不作降额要求，所有器件的温升不能超过器件的最高规格温度；降额规格温度为55℃，在降额规格温度下，所有器件的降额必须满足我司现有的降额规范。

贮存温度：-40℃～+70℃。

工作湿度：10%～90%非凝露。

贮存湿度：5%～95%非凝露。

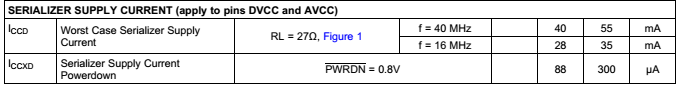
海拔高度：-60m～4000m。

## 1.4需求性能指标

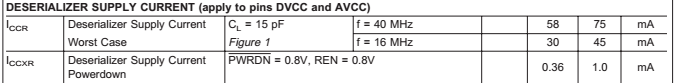
## 1.5功耗统计

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | 数字电源（mA） | | | | |
| 芯片型号 | 数量 | +3.3V | +1.8V | +1.5V | +1.2V | +1.0V |
| M2S050 | 1 | 29.34 | 41.09 |  | 416.38 |  |
| DS92LV1021A | 2 | 80 |  |  |  |  |
| DS92LV1212A | 2 | 115.76 |  |  |  |  |
| CLC001 | 2 | 169.70 |  |  |  |  |
| LMH0074 | 2 | 125.45 |  |  |  |  |
| MAX3362 | 2 | 4 |  |  |  |  |
| N25Q128A13ESE40F | 1 | 20 |  |  |  |  |
| MT46H16M32LFBF | 1 |  | 70 |  |  |  |
| 总计 |  | 537.44 | 111.09 |  | 416.38 |  |

图表 2 功耗统计



DS92LV1021A



DS92LV1212A



图表 3 电源供电框架

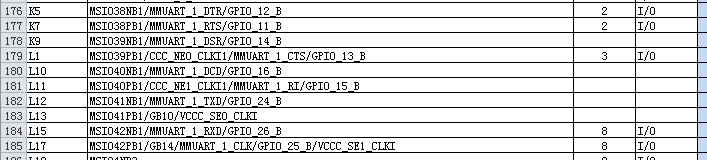
1. **关键器件**

关键器件包括actel公司Smartfusio FPGA M2S050，TI公司的串行器DS92LV1021A，解串器DS92LV1212A，驱动芯片CLC001，均衡器LMH0074以及LVDS收发器DS25BR100组成。

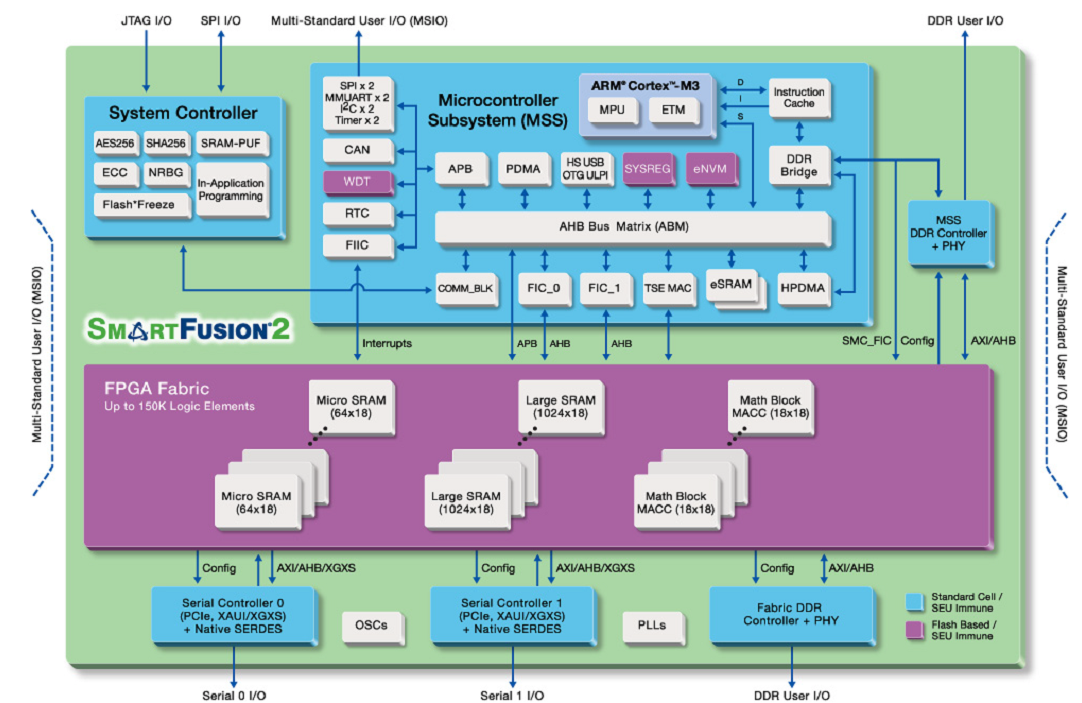
## 2.1 Smartfusion2 M2S050

SmartFusion2系列是Microsemi公司的高性能SoC处理器，是一款专为满足当今嵌入式应用、低功耗、高可靠性要求的处理器。M2S050-FCS325的主要外围接口包括：

* 2个I2C接口；
* 1个DDR2/3(LPDDR兼容)控制器；
* 1个调试JTAG口。
* 2个串行外围设备接口（一个SPI Flash，一个SPI外设），
* 1个通用异步收发口（UART）。(FCS\_325封装只找到一个)

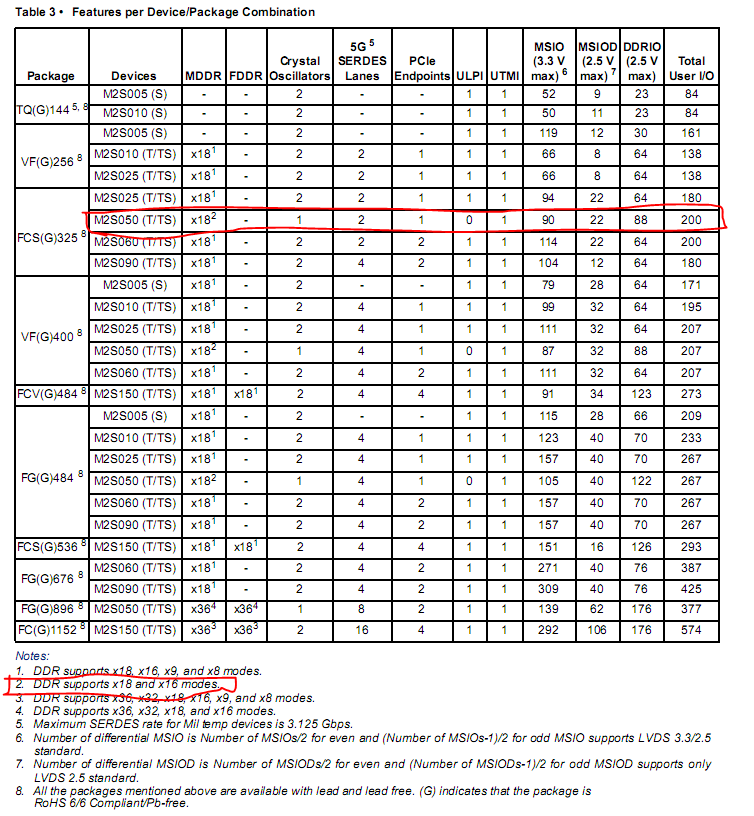


SmartFusion2系列的结构图如图表4所示：



图表4 SmartFusion2结构图

* High Temperature Operation to 125°C
* IEEE 1149.1 (JTAG) Compliant and At-Speed BIST Test Mode
* Clock Recovery from PLL Lock to Random Data Patterns
* Ensured Transition Every Data Transfer Cycle
* Chipset (Tx + Rx) Power Consumption < 60 mW (Typ) @ 80 MHz
* 800 Mbps Serial Bus LVDS Data Rate (at 80 MHz Clock)
* **10-bit Parallel Interface for 1 Byte Data Plus 2 Control Bits**
* **Synchronization Mode and LOCK Indicator**
* **Programmable Edge Trigger on Clock**
* **High Impedance on Receiver Inputs When Power is Off**
* **Bus LVDS Serial Output Rated for 27**Ω **Load**
* **Small 49-Lead NFBGA Package**
* **DDR**



DDR可扩位数

## 2.2 DS92LV1021A

• Specified Transition Every Data Transfer Cycle

• Single Differential Pair Eliminates Multi-Channel Skew

• Flow-Through Pin out for Easy PCB Layout

• 400 Mbps Serial Bus LVDS Bandwidth (at 40MHz Clock)

• 10-bit Parallel Interface for 1 Byte Data Plus 2 Control Bits

• Programmable Edge Trigger on Clock

• Bus LVDS Serial Output Rated for 27Ω Load

• Small 28-Lead SSOP Package-DB

## 2.3 DS92LV1212A

• Clock recovery without SYNC patterns-random lock

• Guaranteed transition every data transfer cycle

• Chipset (Tx+Rx) power consumption < 300mW(typ) @ 40MHz

• Single differential pair eliminates multi-channel skew

• 400Mbps serial Bus LVDS bandwidth(at 40MHz clock)

• 10-bit parallel interface for 1 byte data plus 2 control bits or UTOPIAI Interface

• Synchronization mode and LOCK indicator

• Flow-through pin out for easy PCB layout

• High impedance on receiver inputs when power is off

• Programmable edge trigger on clock

• Footprint compatible with DS92LV1210

• Small 28-lead SSOP package-MSA

## 2.4 CLC001

• Adjustable output amplitude

• Differential input and output

• Accepts LVPECL or LVDS inputs wings

• Low power dissipation

• Single+3.3Vsupply

## 2.5 LMH0074

• SMPTE 259M and SMPTE 344M Compliant

• Supports DVB-ASI at 270 Mbps

• Data Rates: 125 Mbps to 540 Mbps

• Equalizes up to 400 Meters of Belden 1694A at 270 Mbps

• Manual Bypass and Output Mute with a Programmable Threshold

• Single-Ended or Differential Input

• 50Ω Differential Outputs

• Single 3.3V Supply Operation

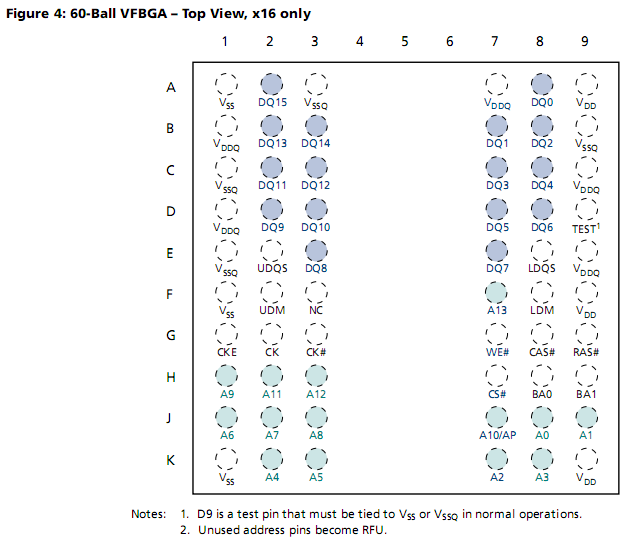
• Industrial Temperature Range: −40°C to +85°C

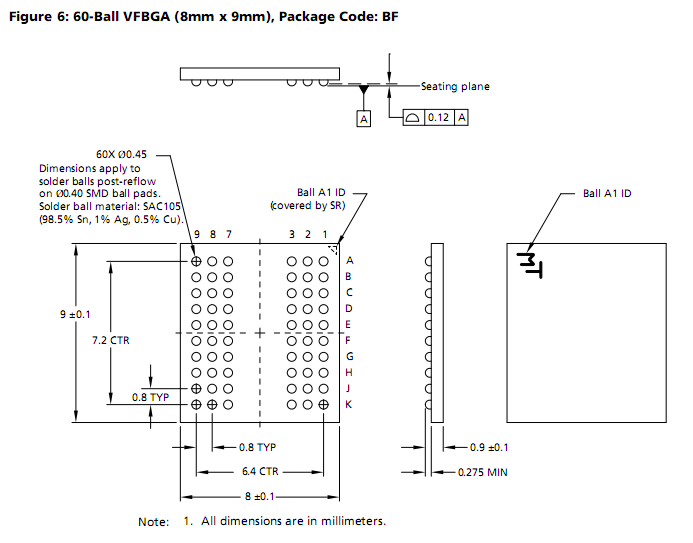
• 208mW Typical Power Consumption with 3.3V Supply

• Footprint Compatible with the LMH0044 and the GS9074A

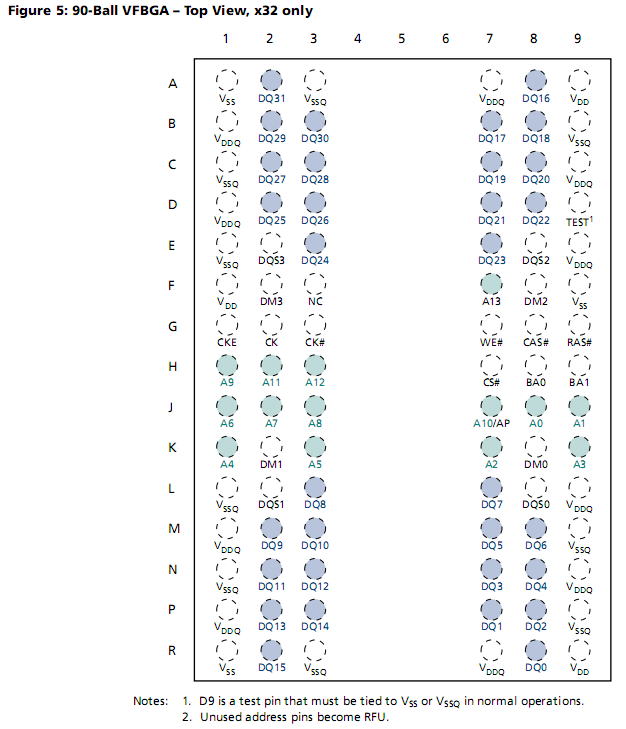
## 2.6 MT46H32M16LFBF

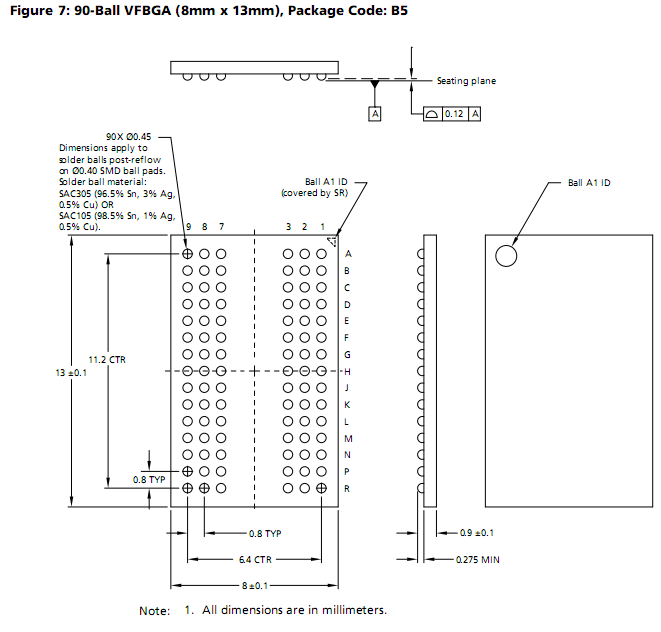
The 512Mb Mobile low-power DDR SDRAM is a high-speed CMOS, dynamic random-access memory containing 536,870,912 bits. It is internally configured as a quad-bank DRAM. Each of the x16’s 134,217,728-bit banks is organized as 8192 rows by 1024 col-umns by 16 bits. Each of the x32’s 134,217,728-bit banks is organized as 8192 rows by 512 columns by 32 bits. In the reduced page-size (LG) option, each of the x32’s 134,217,728- bit banks are organized as 16,384 rows by 256 columns by 32 bits.





图表 5 16位DDR封装





图表6 32位DDR封装

1. **详细说明**

## 3.1模块功能单元划分和业务描述

模块的功能框图和信号流向如下所示：

图表 7 主板功能框图

TSDR节点包括1块Smartfusion 处理器 M2S050 FCS325以及串行器DS92LV1021A、解串器DS92LV1212A、驱动芯片CLC001，均衡器LMH0074和外围设备等。主要实现接收前端模块数据并对其进行整理和上传。模块通过485接收来自前端模块数据。TSDR节点之间的数据发送通过10位总线并行数据发出，通过两种方式进行传输：一种方式是串行器解析为差分信号，并通过驱动芯片提升长线传输的驱动能力；接受模块由均衡器接收传输过来的差分信号，发送至解串器恢复成并行数据，输入到FPGA中进行处理。另一种方式是通过FPGA的SERDES模块将差分信号直接通过驱动器发送，均衡接收的方式进行传输，中间通信的介质为光信号，带宽可达1Gbps以上。

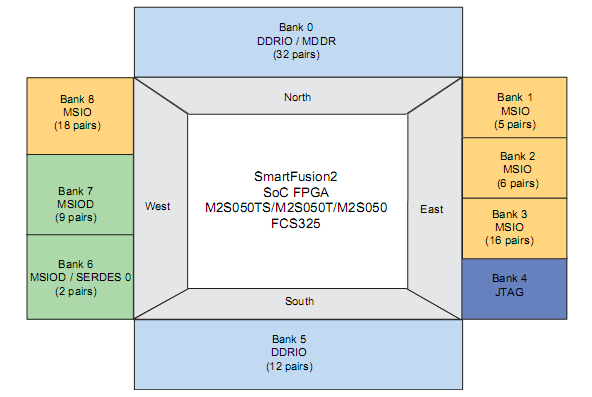
## 3.2单元组成

主板主要由Smartfusion2 FPGA M2S050 FCS325及外围设备组成，外围设备包括，SPI FLASH，DDR，晶振，SP809，JTAG，RS485时钟接收芯片和电源模块等。

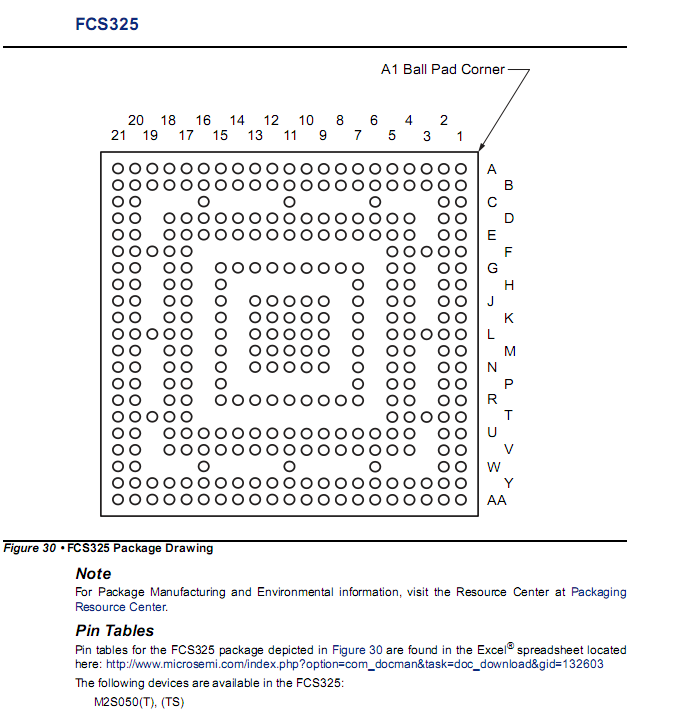
## 3.3主处理器描述

### 3.3.1处理器单元功能描述

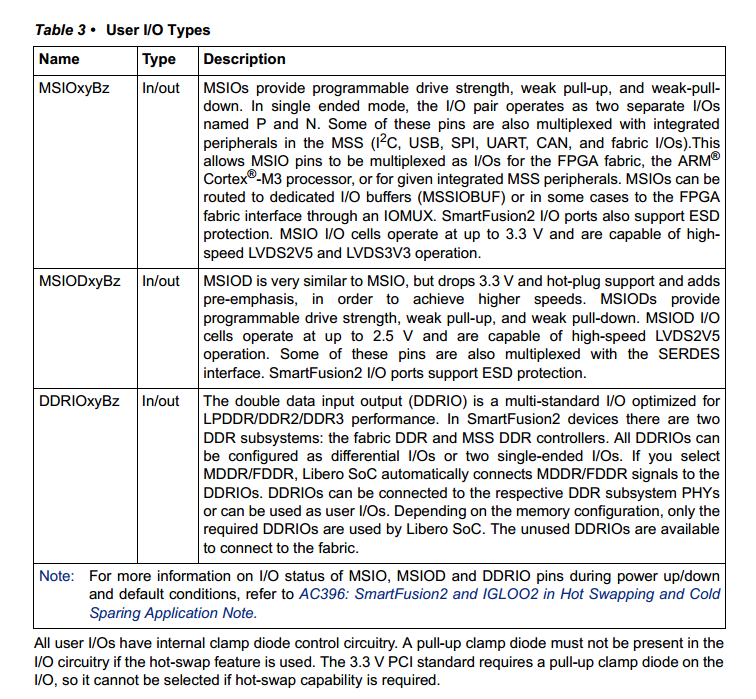
处理器单元包括Smartfusion2 FPGA M2S050及其周边电路，其主要的功能是通过对前端采集数据进行接收、整理和上传。



图表8 单元结构图



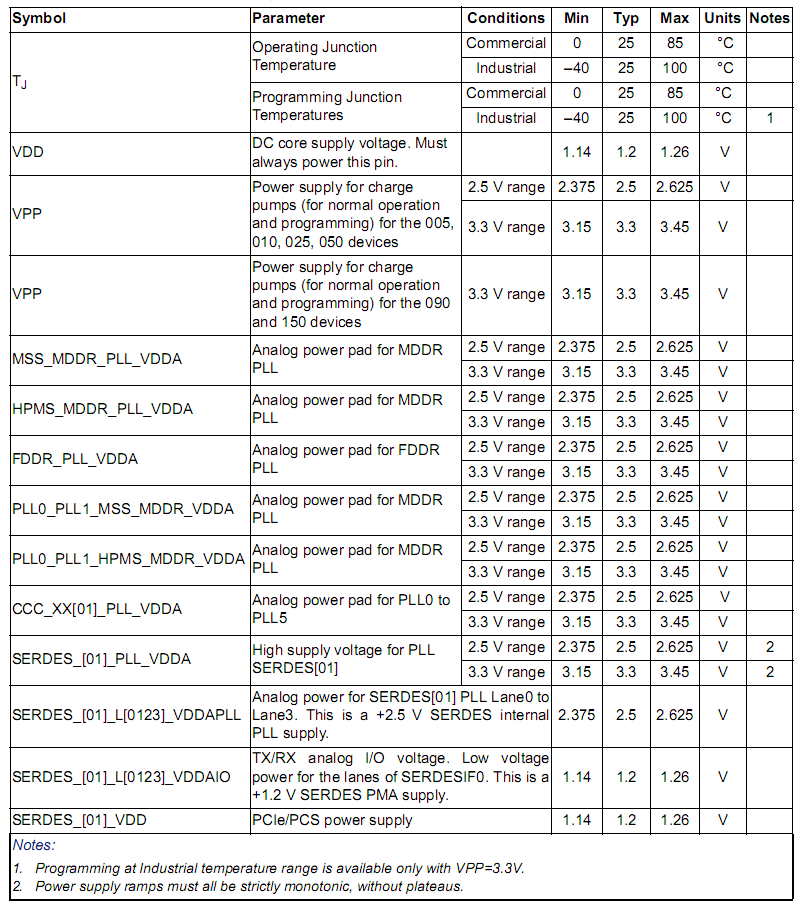
图表9 FCS325封装

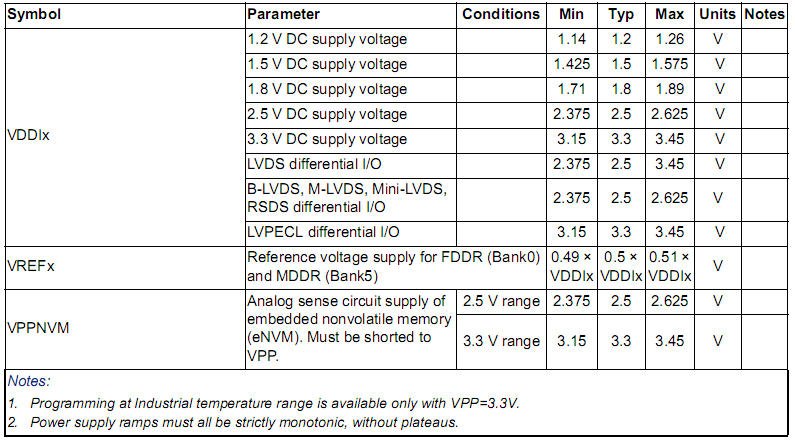


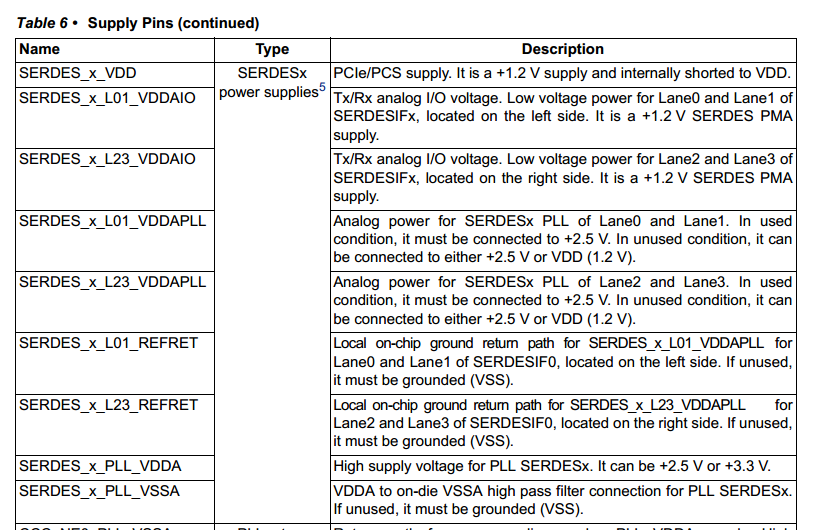
图表10 IO类型

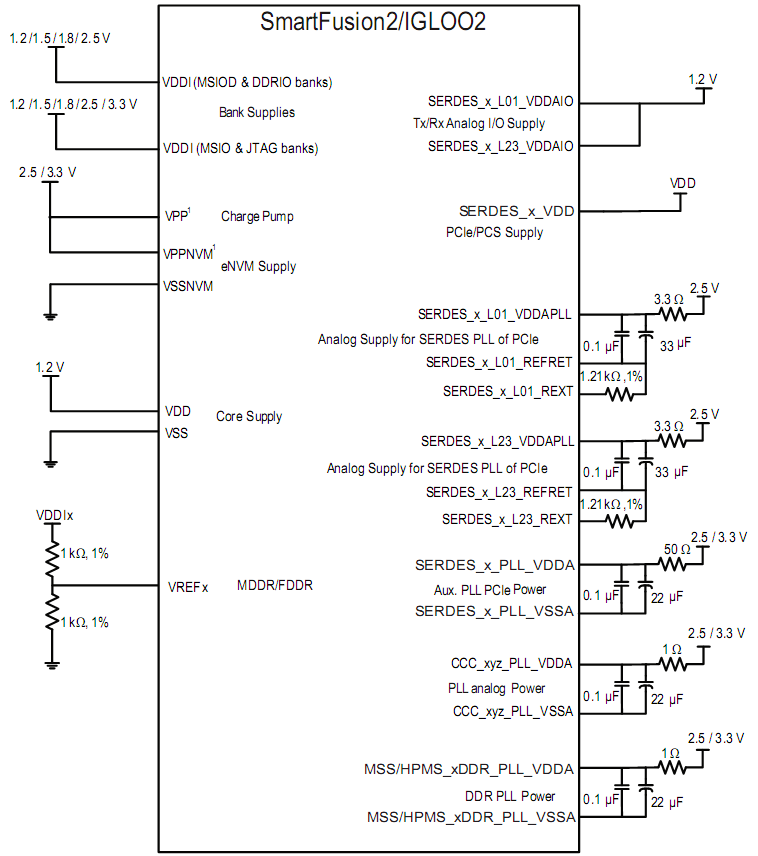
### 3.3.2处理器单元实现方式

* 处理器单元电压





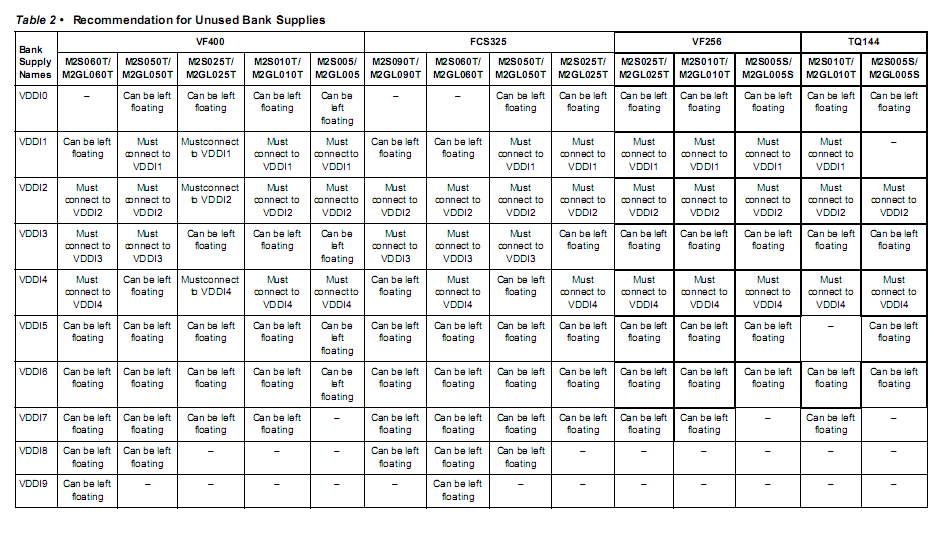


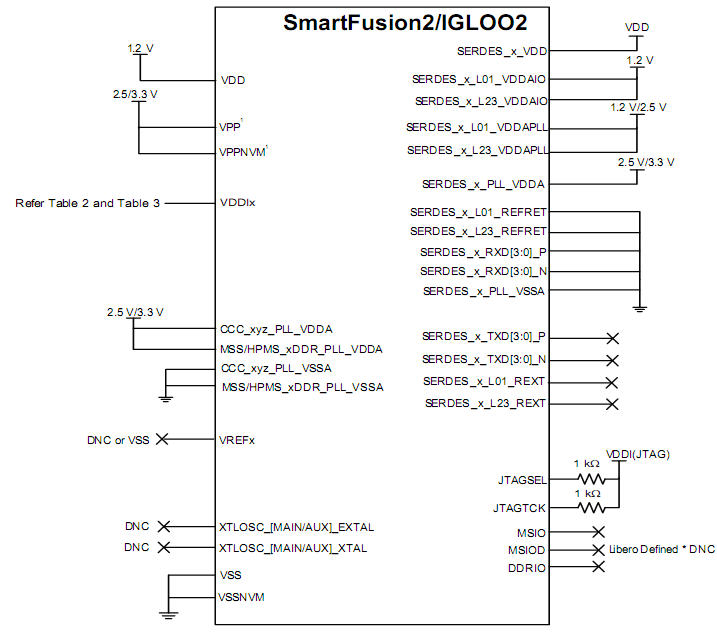


图表 11 处理器电压分配

电源上电没有严格的顺序要求，保证同时上电（预留PG控制Enable电阻）。当电源上电时，系统Power\_on reset有四种选择：50us，1ms，10ms，100ms。每种选择代表VDD和VPP上电的最大上升时间。

* Unused Bank Supplies





图表 12 Unused pin configurations

* 处理器时钟设计

SmartFusion2外部时钟可以用3.3V LVTTL电平，频率50MHz，精度要求为+/- 50ppm。

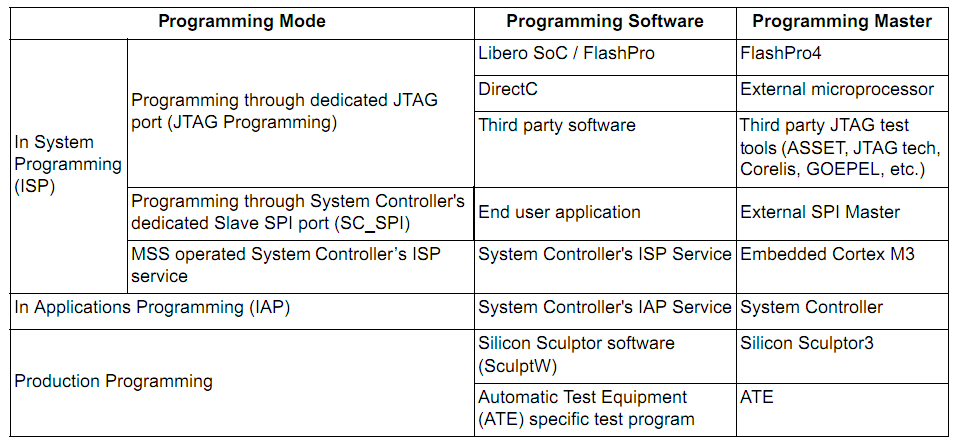
* UART接口设计

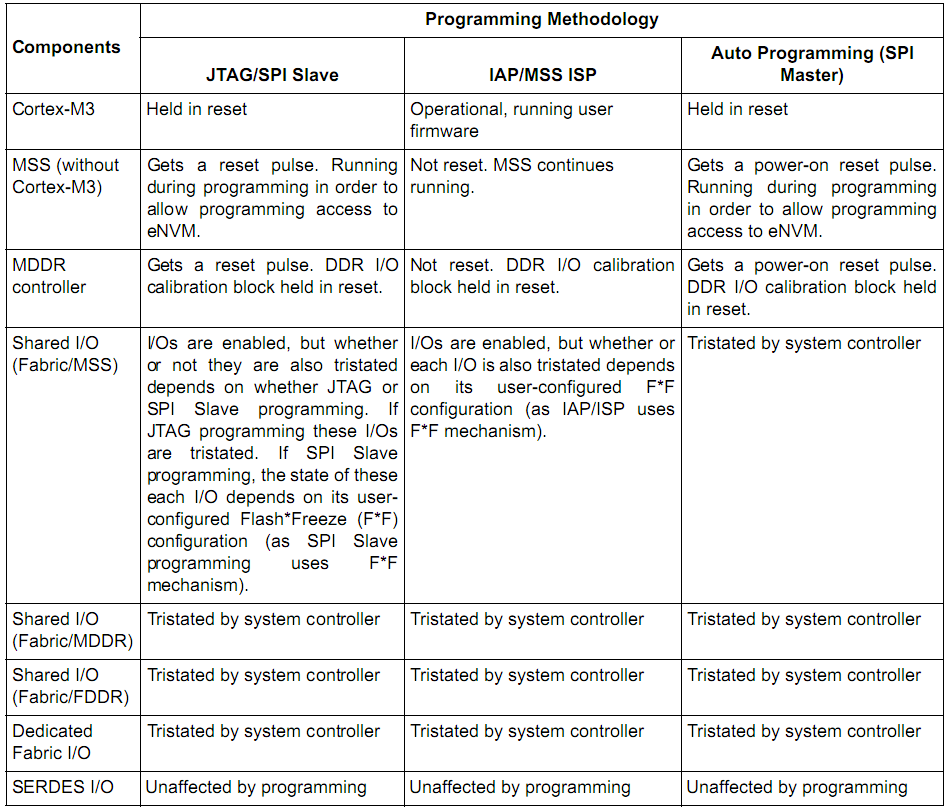
SmartFusion2有2个UART端口，扩展一个通过20Zif插件引出一个RS232串口，用于调试。

* JTAG接口设计

SmartFusion2有1个JTAG端口，通过JTAGSEL来选择连接ARM还是FPGA,扩展一个通过20Zif插件引出一个JTAG口，用于下载程序和调试。

SmartFusion2的programming mode有三种：IAP，ISP，Production Programming





图表13 programming mode

* FPGA接口分配

SmartFusion2 M2S050 FCS325的IO资源如下表所示

|  |  |  |  |
| --- | --- | --- | --- |
| IO | MSIOD(2.5V MAX) | MSIO(3.3V MAX) | DDRIO(2.5V MAX) |
| 数量 | 22 | 90 | 88 |
| 对应BANK | BANK6&BANK7 | BANK1,2,3,8 | BANK0，5 |

图表14 IO资源

FPGA总共需要拉出的IO口线如下：

|  |  |  |
| --- | --- | --- |
| MISO3.3V | 输入输出 | 作用 |
| **485时钟** |  |  |
| MCLKOUT | O | 485时钟输出 |
| TX\_EN\_485 | O | 485使能 |
| 1.536MHz | I | 时钟输入 |
| **模数转换元模块上传数据** |  |  |
| 485\_ctrl | O | 485收使能控制 |
| sdata | I/O | 模数转换元模块上传数据 |
| **串行器\*2** |  |  |
| Dout[0:9] | O | DS92LV1021串行器 并行数据输入 |
| TCLKR/FN | O | DS92LV1021串行器 时钟上升沿、下降沿选择 |
| TCLK | O | DS92LV1021串行器 时钟输入选择（决定传输速率） |
| SYNC | O | DS92LV1021串行器 同步信号 |
| **解串器\*2** |  |  |
| Din[0:9] | I | DS92LV1212解串器 并行数据输出 |
| RCLK | I | DS92LV1212解串器 利用参考时钟恢复出的时钟 |
| RCLKR/FN | O | DS92LV1212解串器 时钟上升沿、下降沿选择 |
| LOCK\_N | I | DS92LV1212解串器 从数据恢复出时钟给予锁定信号 |
| REFCLK | O | DS92LV1212解串器 提供参考时钟 |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

图表 15 GPIO分配表

### 3.3.3周边电路设计

1、FPGA通过GPIO口拓展方案电路结构图如下图所示：



图表16 串行器与解串器方案

由FPGA的GPIO口各外接2片串行器DS92LV1021A和2片解串器DS92LV1212A，其均支持10bit并行数据与FPGA进行交互。串行器DS92LV1021A将并行数据转成差分串行数据，并通过CLC001芯片进行信号驱动，发送LVDS数据至后端的均衡器。另一方面，均衡器LMH0074接收LVDS信号，并以差分信号形式输入至解串器DS92LV1212A中恢复成并行数据，交互给FPGA内部进行处理。接收与发送的数据处理由FPGA本身处理。在DS92LV1021A上，有控制串行器与解串器同步信号脚，分别为SYNC1和SYNC2，分别对应于FPGA工作同步和DS92LV1212A工作同步。串行器与解串器部分功耗如下：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | 数字电源（mA） | | | | |
| 芯片型号 | 数量 | +3.3V | +1.8V | +1.5V | +1.2V | +1.0V |
| DS92LV1021A | 2 | 80 |  |  |  |  |
| DS92LV1212A | 2 | 115.76 |  |  |  |  |
| CLC001 | 2 | 169.70 |  |  |  |  |
| LMH0074 | 2 | 125.45 |  |  |  |  |

2、FPGA的SERDES模块之间通信结构图如下：

 SmartFusion FPGA通过SERDES模块直接给出差分信号，由CLC001作驱动进行LVDS长距离传输，接收部分通过均衡器LMH0074接收LVDS信号，以差分形式直接给到SERDES模块。

### 3.3.4电源模块说明

* 设计需求

没有顺序要求。电源早于复位有效前最少1ms稳定，整个上电100ms内完成。

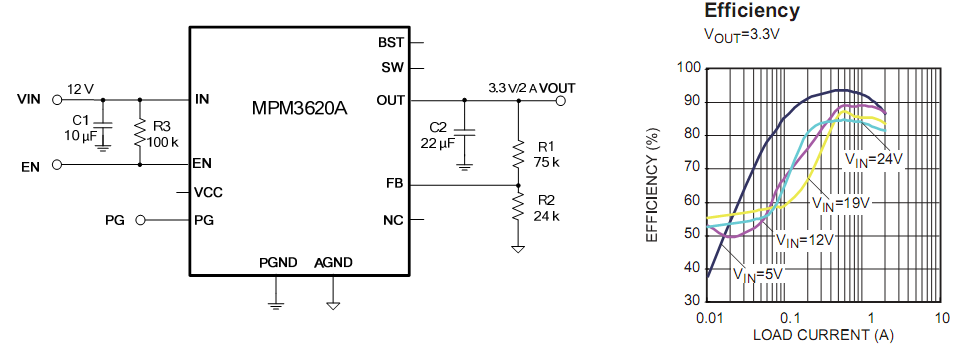
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | 数字电源（mA） | | | | |
| 芯片型号 | 数量 | +3.3V | +1.8V | +1.5V | +1.2V | +1.0V |
| M2S050 | 1 | 29.34 | 41.09 |  | 416.38 |  |
| DS92LV1021A | 2 | 80 |  |  |  |  |
| DS92LV1212A | 2 | 115.76 |  |  |  |  |
| CLC001 | 2 | 169.70 |  |  |  |  |
| LMH0074 | 2 | 125.45 |  |  |  |  |
| MAX3362 | 2 | 4 |  |  |  |  |
| N25Q128A13ESE40F | 1 | 20 |  |  |  |  |
| MT46H32M16LFBF | 1 |  | 70 |  |  |  |
| 总计 |  | 544.29 | 111.09 |  | 416.38 |  |

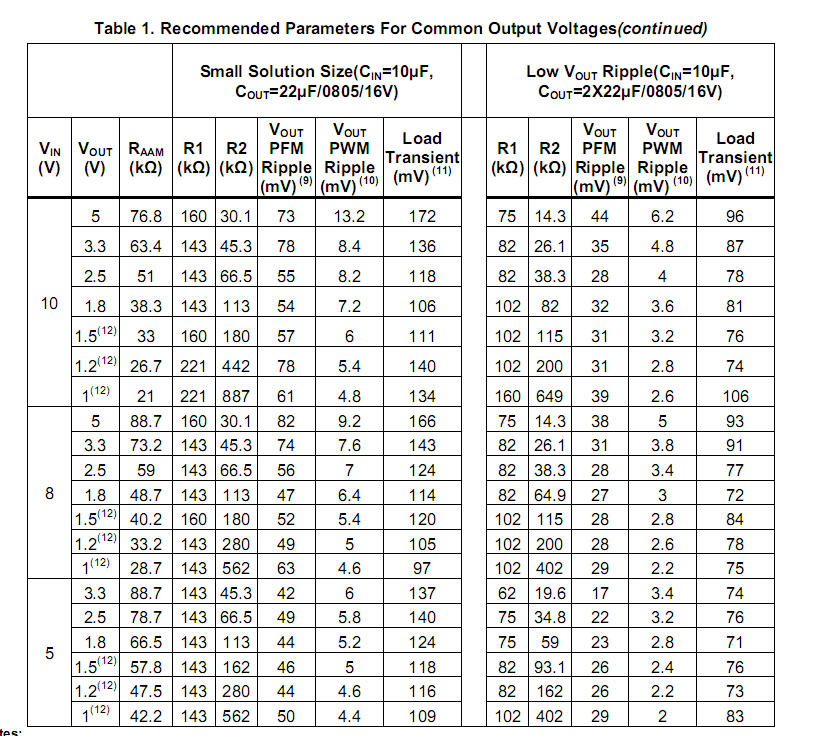
图表 17 单板功耗表

图表 18供电架构框图

* MPM3620A电源芯片特性：

1. 输入电压范围：4.5V-24V
2. 输出电流：2A
3. 内部集成电感，带PG脚
4. 内部集成VCC和Bootstrap 电容
5. 输出可调整：0.8V
6. 封装QFN20：3mm x5mm x1.6mm





图表19 MPM3620A电源典型应图

### 3.3.5时钟分配

本系统各芯片采用的时钟见下表。

|  |  |  |  |
| --- | --- | --- | --- |
| 芯片名称 | 参考时钟频率 | 描述 | PPM |
| SmartFusion2 | 50MHz | 参考时钟，3.3V LVTTL | 50 |
| SmartFusion2（FPGA） | 1.536MHz | 同步时钟1，差分时钟 | 50 |

图表 20 系统时钟列表



图表 21 系统时钟分配图

### 3.3.6复位设计

系统内的复位口线情况如下表所示

|  |  |  |
| --- | --- | --- |
| 复位源 | 复位电平 | 器件 |
| 上电复位，SP809 | 低电平复位 | SmartFusion2 |
| LPDDR |
|  |
| 上电复位，SmartFusion2 | 低电平复位 |  |
|  |

图表 22 系统复位列表

1. **对外接口**

白头宽度小于16mm，高度小于9mm。  
TSDR节点接口说明，左侧插座共12根：数字电源4根，LVDS传输线8根。

|  |  |  |
| --- | --- | --- |
| 信号线序号 | 信号名称 | 说明 |
| 1，2 | V+IN (数字正电源输入) |  |
| 3，4 | LVDS传输线1发正发负 | 双绞 |
| 5，6 | LVDS传输线2发正发负 | 双绞 |
| 7，8 | GND (数字地输入) | 双绞 |
| 9，10 | LVDS传输线1收正收负 | 双绞 |
| 11，12 | LVDS传输线2收正收负 | 双绞 |

图表 23 TSDR节点左侧接口说明

TSDR节点接口说明，右侧插座共12根：

|  |  |  |
| --- | --- | --- |
| 信号线序号 | 信号名称 | 说明 |
| 1，2 | 模数转换元时钟信号正负 | 双绞 |
| 3，4 | 水声数据正负 | 双绞 |
| 5，6 | 非声传感器通道数据 | 双绞 |
| 7，8 | NC |  |
| 9，10 | NC |  |
| 11，12 | 非声传感器通道数据 | 双绞 |

图表 24 TSDR节点右侧接口说明