# 4 系统总体设计

海洋油气勘探水声探测系统采集传输子系统基于LS1024A处理器为核心的硬件平台，主要由主端处理器模块和从端FPGA模块两部分，主端处理器模块承担了大部分系统功能，包括声学数据采集、数据处理、数据编码和数据存储，从端FPGA模块主要负责接收主端处理器整理好的声学数据并将其按照标签号发送出去，以及将从上一级节点发送过来的数据包转发至下一级节点。主端处理器与从端FPGA之间通过PCIe实现数据的传输，共同实现采集传输系统的数据采集、处理、编码、存储、发送和转发功能。本章将从系统的硬件结构和软件结构两个方面对系统进行总体设计。

## 4.1 硬件总体结构

水声探测采集传输子系统是基于NXP公司推出的LS1024A处理器设计，其硬件系统总体设计框架如下图所示：

图4.1：采集传输子系统硬件总体设计框架

数据采集传输系统节点主要实现接收前端模块数据并对其按照自定义协议进行整理和上传。节点以NXP公司推出的高性能嵌入式处理器LS1024A为核心。LS1024A利用ARM的高能效核心技术和飞思卡尔的低功耗设计流程，是目前同类产品中功耗最低的嵌入式处理器，集成了两个ARM Cortex A9内核器件，单内核主频达到1.2GHz，共可提供高达6000 DMIPS的处理性能；

系统扩展128Mb SPI Flash闪存存放系统的启动镜像和512Mb DDR3内存作为系统的运行内存；通过Xilinx公司的Artix-7系列FPGA设计基于FPGA的启动配置模块控制系统启动；通过RS485接口接收采集的数字声波数据；通过PCIe x1接口实现与FPGA的数据通信；通过GPIO口进行中断响应，实现与FPGA的异步通信；通过MAX232设计RS232串行通信接口用于系统调试；通过外接50M晶振结合内部PLL锁相环产生系统时钟；通过JTAG口用于烧写处理器程序。

FPGA外接串行器DS92LV1021A、解串器DS92LV1212A、驱动芯片CLC001，均衡器LMH0074。发送模块由串行器和驱动芯片组成，串行器将并行数据解析为差分信号，并通过驱动芯片提升长线传输的驱动能力；接收模块由均衡器和解串器组成，传输进来的差分信号经过均衡器均衡后发送至解串器恢复成并行数据，输入到FPGA中进行处理。

## 4.2 软件总体结构

海洋油气勘探水声探测系统软件为尽可能的降低系统功耗，自主设计boot引导程序启动，整个软件系统的模块结构如图4.2所示：

图4.2：采集传输子系统软件总体设计框架

如图4.2所示，采集传输系统软件层级结构主要可划分为四层，包括最底层Boot启动模块，第二层系统初始化模块，第三层驱动层和顶层应用层。其中驱动层包括PCIe驱动、串口驱动和网络驱动，顶层应用层按功能可划分为命令接收模块、命令处理模块、数据采集与发送模块和诊断模块。各模块/驱动的功能及设计决策如下：

Boot启动单元描述见表1：

表1 BOOT启动模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | BOOT启动模块 | **标识** | JD\_BOOT |
| **用途** | 引导程序启动，初始化节点DDR等硬件环境。 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 可进行代码在线更新，根据情况选择从哪份代码运行 | | 需将代码备份在flash中，保证掉电不丢失。 | |

系统初始化模块描述见表2：

表2 系统初始化模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 系统初始化模块 | **标识** | JD\_CS |
| **用途** | 进行节点的参数配置，网络配置，注册中断处理函数等 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 进行节点ID及IP等参数配置 | | 将各参数保存在flash中，保证掉电参数仍有效 | |

串口驱动模块描述见表3：

表3 串口驱动模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 串口驱动模块 | **标识** | JD\_CKQD |
| **用途** | 串口驱动是为了实现处理器对AD数据的接收（RS485）以及后期的调试（RS232） | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 实现处理器对AD数据的接收（RS485），实现串口打印功能（RS232） | | 串口波特率为9600 | |

PCIe驱动模块描述见表4：

表4 PCIe驱动模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | PCIe驱动模块 | **标识** | JD\_PCIe |
| **用途** | 实现处理器与FPGA之间的高速数据传输 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 能够响应GPIO中断，更具中断实现处理器与FPGA之间的高速数据传输 | | 根据中断标识分别向FPGA双口RAM发送数据 | |

网络驱动模块描述见表5：

表5 网络驱动模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 网络驱动模块 | **标识** | JD\_WLQD |
| **用途** | 实现自定义协议的网络通信 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 以太网网络层以上协议不改的前提下自定义数据链路层协议，实现网络通信，传输速率至少达到300Mbps以上 | | 以太网网络层以上协议不改动 | |

命令接收模块描述见表6：

表6 命令接收模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | BOOT启动单元 | **标识** | JD\_MLJS |
| **用途** | 接收传输链路上传的命令，判断命令是否发往本节点，命令是否有效，如果有效则将命令散转到命令处理过程中。 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 进行命令是否发往本节点及是否是有效命令的判断 | | 命令的接收处理及回应需在1秒内 | |

命令处理模块描述见表7：

表7 命令处理模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 命令处理模块 | **标识** | JD\_MLCL |
| **用途** | 针对不同的命令，进行相应的处理，并发送回应。 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 针对不同命令，进行不同处理，发送回应。 | | 命令的接收处理及回应需在1秒内 | |

数据采集与发送模块描述见表8：

表8 数据采集与发送模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 数据采集与发送模块 | **标识** | JD\_CJFS |
| **用途** | 将水声数据通过RS4855搬运到处理器中，响应外部中断，将数据进行打包后通过PCIe接口发送到FPGA，最终由FPGA传输至数据汇聚系统 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 将AD采样到的数据或自检数据通过传输链路发送到数据汇聚系统 | | 以2ms一个节拍发送数据包 | |

诊断模块描述见表9：

表9 诊断模块

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 诊断模块 | **标识** | JD\_ZD |
| **用途** | 根据上位机命令实现节点内串口（RS232,RS485）、网络、处理器与SPI Flash、处理器与DDR以及处理器与FPGA共五个方面的通信检测； | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 根据上位机命令实现节点内接口、芯片以及网络通信情况的测试，并反馈给上位机 | | 可单个节点测也可多个一起测 | |

### 4.2.1 节点外部接口设计

节点与节点间通过自定义协议进行命令和数据的传输；

### 4.2.2 节点模块划分

数据接收模块，数据整理模块，数据发送模块，命令管理模块。。。

### 4.2.3 节点模块间接口设计

设计不同命令进行模块间交互

## 4.3 本章小结