分类号 密级

UDC注1

**硕士专业学位论文**

**基于ARM的海洋石油探测数据传输系统**

**软件设计**

（题名和副题名）

**陈祖现**

（作者姓名）

**指导教师姓名**

**学 位 类 别 工程硕士**

**学 科 名 称 电子信息技术及仪器**

**研 究 方 向 嵌入式系统**

**论文提交时间 2017.12**

注1：注明《国际十进分类法UDC》的类号。

**声 明**

本学位论文是我在导师的指导下取得的研究成果，尽我所知，在本学位论文中，除了加以标注和致谢的部分外，不包含其他人已经发表或公布过的研究成果，也不包含我为获得任何教育机构的学位或学历而使用过的材料。与我一同工作的同事对本学位论文做出的贡献均已在论文中作了明确的说明。

研究生签名： 年 月 日

**学位论文使用授权声明**

浙江大学有权保存本学位论文的电子和纸质文档，可以借阅或上网公布本学位论文的部分或全部内容，可以向有关部门或机构送交并授权其保存、借阅或上网公布本学位论文的部分或全部内容。对于保密论文，按保密的有关规定和程序处理。

研究生签名： 年 月 日

# 致 谢

# 摘 要

**关键词：**海洋石油探测，ARM NXP，PCIe，数据传输，高速差分信号

# Abstract

II

**Key word:**

# 目 次

[致 谢 I](#_Toc500074295)

[摘 要 II](#_Toc500074296)

[Abstract III](#_Toc500074297)

[目 次 4](#_Toc500074298)

[1 绪论 6](#_Toc500074299)

[1.1课题背景与意义 6](#_Toc500074300)

[1.2海洋油气地震勘探简介 7](#_Toc500074301)

[1.3国内外相关技术研究现状 8](#_Toc500074302)

[1.3.1国外研究现状 8](#_Toc500074303)

[1.3.2国内研究现状 9](#_Toc500074304)

[1.4课题研究内容 9](#_Toc500074305)

[1.5本文组织结构 10](#_Toc500074306)

[2相关技术介绍 12](#_Toc500074307)

[2.1嵌入式CPU 12](#_Toc500074308)

[2.1.l嵌入式处理器概述 12](#_Toc500074309)

[2.1.2 Layerscape系列处理器 13](#_Toc500074310)

[2.1.3 Layerscape LS1024A处理器 16](#_Toc500074311)

[2.2 PCIe和DMA 18](#_Toc500074312)

[2.3多核并行编程技术 19](#_Toc500074313)

[2.4闪存技术 21](#_Toc500074314)

[2.5本章小结 21](#_Toc500074315)

[3 系统总体结构 22](#_Toc500074316)

[3.1 系统指标 22](#_Toc500074317)

[3.1.1 系统目标 22](#_Toc500074318)

[3.1.2 总体指标 22](#_Toc500074319)

[3.2 系统整体结构 23](#_Toc500074320)

[3.2.1 船上系统 24](#_Toc500074321)

[3.2.2 网关系统 25](#_Toc500074322)

[3.2.3 数据采集系统 25](#_Toc500074323)

[3.3 本章小结 29](#_Toc500074324)

[4 系统总体设计 30](#_Toc500074325)

[4.1 系统硬件设计 30](#_Toc500074326)

[4.2 系统软件设计 30](#_Toc500074327)

[4.2.1 节点外部接口设计 30](#_Toc500074328)

[4.2.2 节点模块划分 30](#_Toc500074329)

[4.2.3 节点模块间接口设计 30](#_Toc500074330)

[4.3 本章小结 30](#_Toc500074331)

[5 数据采集系统软件详细设计 31](#_Toc500074332)

[5.1 重要数据结构 31](#_Toc500074333)

[5.2 主要处理流程 31](#_Toc500074334)

[5.2.1 主线程流程 31](#_Toc500074335)

[5.2.2 命令交互流程 31](#_Toc500074336)

[5.2.3 数据交互流程 31](#_Toc500074337)

[5.3 驱动设计（重点介绍） 31](#_Toc500074338)

[5.3.1 自定义协议 31](#_Toc500074339)

[5.3.2 NXP与FPGA交互设计 31](#_Toc500074340)

[5.4 本章小结 31](#_Toc500074341)

[6 系统测试与结果 32](#_Toc500074342)

[6.1 测试环境 32](#_Toc500074343)

[6.2 测试内容与结果 32](#_Toc500074344)

[6.2.1 高速数据传输 32](#_Toc500074345)

[6.2.2 采集处理显示 32](#_Toc500074346)

[6.3 本章小结 32](#_Toc500074347)

[7 总结和展望 33](#_Toc500074348)

[7.1 总结 33](#_Toc500074349)

[7.2 展望 33](#_Toc500074350)

[参考文献 34](#_Toc500074351)

[附 录 35](#_Toc500074352)

# 1 绪论

## 1.1课题背景与意义

随着现代化工业的迅速发展，能源已经成为现代化发展不可或缺的一部分，而石油在能源中又占领着举足轻重的地位。伴随着我国经济的高速发展，对石油的需求也越来越大，石油需求的缺口已经逐渐影响到我国常规能源结构的战略安全。为了缓解石油能源的紧缺，我国在积极寻找国外石油资源的同时，也加大了国内石油的勘测和开发。据统计[]，自2000-2017年全世界新增加的油气中有70%以上来自海洋。另外，在深海区域中发现的油气占全世界新增能源的50%以上，这充分说明深海区域内的油气储藏量已经成为当下能源的主要承载者。

中国具有十分广阔的海域，也具有十分丰富的海洋油气资源储藏量，潜力巨大。在我国南海区域，有着被称为第二个波斯湾的海洋油气积聚区，与波斯湾，欧洲北海和墨西哥湾并称为世界四大海洋油气积聚区。然而，截至目前，主要的海洋油气勘测技术及设备依旧掌握在外国人手中，进口国外的海洋油气勘测设备需要支付高昂的费用。因此，研究具有自主知识产权的海洋油气勘测技术，生产具有自主知识产权的海洋油气勘测设备，打破国外海洋油气勘测技术垄断，实现我国在深海油气勘测技术领域的跨越式发展，具有重大意义。

迄今为止，人们发现的能在水中传播的能量主要是电磁波和声波，由于电磁波在水下衰减十分厉害，而声波根据频率的不同在水中远距离变化很大，例如自然地震产生的声波传输距离为100-5000km级别。因此，水声探测技术在海洋勘测技术领域中占有着非常重要的地位。地震勘探技术是水声探测技术的一种典型应用，也是目前海洋油气勘探的主流技术。海洋地震勘测设备主要由空气枪，拖曳线缆系统，电子控制系统组成。空气枪作为人工震源向海底发送声波，拖曳线缆系统种含有多个水听器及声波数据采集传输模块，电子控制系统负责拖曳线缆中水听器接收的声波数据的汇聚与记录。大型的海洋地震勘测设备中有数百个水听器，拖缆线阵的长度也是达到了数十千米。如何实现水听器数据的同步采集与传输是海洋地震勘测技术的关键。

所以在海洋油气勘测如此严峻的形势下，开发设计成熟、稳定、低成本的海洋地震勘测数据同步采集传输系统具有非常重要的工程价值。本文利用驱动编程技术，设计并开发了基于PowerPC处理器的嵌入式数据汇聚模块以及基于NXPARM处理器的嵌入式同步数据采集传输模块，实现了海洋地震勘测设备多路水听器数据同步采集传输功能。系统可靠，成本低，为实现大规模海洋油气勘测提供了可靠的解决方案，具有非常高的使用价值。

## 1.2海洋油气地震勘探简介

海上地震勘探与陆地地震勘探，原理和方法相同，但由于海洋这一特殊勘探环境，因此海上地震勘探与陆地上还是有所区别，主要表现在定位导航系统、震源激发和对地震波的接收方法方面。海上的定位系统必须选择精确度较高的导航定位系统。就目前而言，主要是采用是卫星导航定位（GPS）、激光定位和水下声纳定位等。现在海上地震勘探的导航定位系统已发展成为一整套的专门技术可随时确定航船及其拖着的震源和检波器的精确位置，极大地提高了海上地震采集的定位精度，改进了地震采集的质量。

在海上地震勘探中，地震波的激发方式和陆地上的也有所差别，主要采用非炸药震源，包括空气枪震源、蒸汽枪震源、电火花震源等，其中空气枪震源占95%以上。

海上地震勘探的地震波接收方式也与陆地上的不一样，一般采用一艘作业船拖着长拖缆（也叫等浮电缆）在海上航行，接受地震波的传感器按一定排列方分布在拖缆中，拖缆在水中由船拖曳前行，拖缆上固定一定数量的水鸟装置（来控制拖缆深度），前行时通过水鸟翼角与海水相互作用来控制拖缆深度。目前，已经发展形成了一套完整的水下拖缆地震波数据采集系统。

在海上进行地震勘探作业时，地震勘探船拖曳着等浮电缆和震源系统以一恒速沿预先设定的测线前行，根据测线上分布的炮点放炮（两个相邻炮点的位置称作炮间距），由于船速恒定，因此放炮时间也是等间隔的。由于海上不像陆地上受各种地形和地上各种障碍物限制，所有在海上进行地震勘探时，地震测线可以均匀分布，作业过程可以连续无间断进行。用于接收来自水下等浮电缆釆集到地震数据的设备放置在地震船上，地震船上还设有卫星导航定位系统，用来对地震船进行定位，导航定位系统和水下拖缆上的定位控制系统共同完成对等浮电缆中各地震数据采集通道进行精确定位，此外，震源系统可以在同一条船上也可以在不同的船上。

海上地震勘探与陆地地震勘探相比，还具有勘探效率高，勘探成本低和地震数掘信噪比高等优点。

同陆上地震勘探一样，海上地震勘探也主要分为地震资料的采集、处理和解释三大环节。地震资料的采集就是地震波的激发，地震波模拟信号接受，对地震波模拟信号放大、滤波和数字化，数字化后的地震波数据汇聚，最终记录到磁带上;地震资料的处理就是把磁带或其它介质记录下来的地震数据进行一系列的数据转换和处理，最终形成地质剖面图；地震资料解释是地震勘探的最后一步，根据得到的地震剖面图等图像信息确定地质结构，分析油气资源的蕴藏情况，一般由富有经验的地质专家进行。

海上地震勘探一般采用地震勘探船拖曳震源和等浮拖缆的方式进行，如图

给出海上地震波反射法勘探图

## 1.3国内外相关技术研究现状

地震勘探技术是在波动理论逐步建立的基础上逐步发展起来的，反射波地震法始于1913年，但由于在仪器制造方面的困难，反射波法直到1927年才真正得到工业应用。海洋地震勘探始于1944年，1949年首次采用等浮电缆，80年代出现遥测地震仪，90年代出现海底电缆。随着地震勘探技术以数字化为主要标志的迅速发展，地震勘探仪器向遥测遥控、高釆样率、超多道发展；发展非炸药震源，更高的覆盖次数观测，发展高分辨率勘探、三维勘探等等，以解决复杂构造、深层构造、地层岩性圈闭等问题。

### 1.3.1国外研究现状

目前，全球地震勘探仪器的发展处于24位遥测地震仪和全数字遥测地震仪的过渡期，经过几十年的发展，基本形成了以法国Schlumberger公司、serce1公司、美国ION公司、HTI公司为主体，其他公司依据自身优势与条件不断寻求生存空间和发展机遇的市场格局。

法国Schlumberger公司开发出的“Q-Marine”海上采集系统是世界上最先进的海上地震勘测仪器。该系统可以同时拖曳多达20根等浮电缆，每根长12km，带有4000多个水下检波器，并在检波器灵敏度和定位准确度、可调整拖缆、强化震源控制和点检波器采集等方面取得改进，能够提供质量无可比拟的海上地震数据。

法国SERCEL公司是全球领先的地震勘探设备供应商之一，提供了以SEAL为命名的勘探设备，主要包括由拖缆数据采集系统、数字包、通信接口组成的海上系统和电源模块、控制模块组成的船上系统。拖缆是水听器线列阵组成的，缆体直径小子50mm，移动存储方便，系统组成灵活度高。该公司目前最新的海洋地震勘探设备型号是Seal428。

美国ION公司（原美国I/O公司），在1990年左右只能生产勘探系统辅助设备，如今已成为世界第二大勘探设备供应商。ION公司率先使用了高性能的基于MEMs的全数字检波器，也就是当代第六代地震仪的核心技术。ION公司的成功与其尖端的技术和多元化的产品性能是分不开的。该公司的设备用途广泛，可于石油勘探、环境监测等多个方面。

美国HTI公司提供的油藏勘探的整体解决方案以SeaMUX命名，采用22AWG双绞线作为拖缆电源及信号线，而且拖缆具有双向连接接口，安装调试极为方便。此外，加拿大的Geo-X公司，美国的FairField公司等几家公司也提供相关产品。表1-1列出了部分国外公司的产品及相关的产品特点。

表1-1部分国外公司产品

|  |  |  |  |
| --- | --- | --- | --- |
| 公司 | 产品型号 | 最大通道数 | 产品特点 |
| Schlumberger | Q-Marine | 80,000（多缆） | 精确度高 |
| SERCEL | Sentinel | 1260 | 拖缆直径小于50mm、系统灵活度高 |
| ION | DigiSTREAMER | 19,200（多缆） | 系统智能化程度高 |
| HTI | SealMUX | 960 | 拖缆双向链接 |

### 1.3.2国内研究现状

从60年代起，我国海上石油地震勘探工作从无到有并迅速发展。1962年在海南岛以南浅水地带开始海上地震勘探，1964年转移到渤海，从60年代后期起，在南海、北部湾、东海和珠江口等海域也相继开展了地震工作。在1973年下半年，引进了一台适合海上作业的SN338B型数字地震仪，同时还引进了等浮地震电缆。这是我国第一套海上地震数据采集设备。1999年，引进美国Fairfied公司最新研制的BOX采集系统。这是一套使用24位模数转換器、并且总道数达到1800道的水上地震数据采集系统。

进入新世纪之后，随者国家对海洋开发的重视，国内越来越多的科研单位院校开始进行油气勘探设备——拖曳阵声纳系统的相关研究。相比传统压电式水听器，光纤式水听器具有的动态灵敏度高，动态范围大等优点，因此对更容易探测到微弱信号。在检波方面，清华大学的廖延彪教授使用PGC光纤干涉型水听器实现海样地震信号的检波；国防科技大学的胡永明使用渡波提高光纤水听器抗混叠能力四。在数据采集和传输方面，中科大的宋克柱使用型ADC和流水线结构优化了声纳数据的远距离釆集和传输；天津大学的段发阶教师仔细分析了声纳信号的特点，使用低噪声的差分放大电路和中等传输速度的LVDS方式，实现了较高分辨率的声呐数掘采集与传输。在阵列波束形成方而，西北工业大学的马良远使用二价锥规划方法实现了范数约束Capon波東形成器对角加载量的一种求解方法。除此之外，国内也有众多科研单位和企业对声呐技术进行了研究，取得了可喜的成果。但是，总的来说，我国还处于海洋声呐技术研究的初步阶段，缺少自主的具有实用性的海洋声纳探测系统，是我国海洋声纳勘探技术发展的现状。

## 1.4课题研究内容

本文基于ARMNXP处理器平台，设计节点模块负责海底声纳数据的采集传输。在以太网的基础上自主研发通信协议，并编写利用PCIe接口与FPGA实现通信的驱动程序，最终实现数据的稳定高速传输。

## 1.5本文组织结构

# 2相关技术介绍

本论文研发的。。。

## 2.1嵌入式CPU

嵌入式CPU是嵌入式系统的核心部件，掘不完全统计，全世界嵌入式处理器的品种已有上千种之多。随着工业、医疗卫生、国防等各部门对智能控制需求的不断增长，同时也对嵌入式处理器的运算速度、可扩充能力、系统可靠性、功耗和集成度等方面提出了更高的要求，为了适应各方面的需求，嵌入式微处理器体系结构也经历了一个从CISC到RISC和Compact RISC：从4位、8位、16位、32位到64位；寻址空间从64kB到16MB甚至更大；处理速度从0。lMIPS到2000MIPS；常用封装从8个引脚到144个引脚的过程。处理器的功耗也有了明显降低；集成度进一步提高。

### 2.1.1 嵌入式处理器概述

嵌入式系统的处理器可以分为下面几类：嵌入式微处理器（Embedded Microprocessor Unit，EMPU），嵌入式微控制器（Microcontroller Unit，MCU）式DSP处理器（Embedded Digital Signal Processor，EDSP），嵌入式片上系统（System on Chip）。

嵌入式微处理器的基础是通用计算机中的CPU，它一般装配在专门设计的电路板上，只保留与嵌入式应用有关的母板功能，但是电路板上必须包括ROM、RAM、总线接口、各种外设等器件。嵌入式微处理器目前主要有Am186/88、PowerPC、MIPS、ARM系列等。

嵌入式微处理器一般具备一下4个特点：

1、对实时多任务有很强的支持能力，能完成多任务并且有较短的中断响应时间，从而使内部的代码和实时内核的执行时间减少到最低限度；

2、具有功能很强的存储区保护功能。这是由于嵌入式系统的软件结构已模块化，而为了避免在软件模块之间出现错误的交叉作用，需要设计强大的存储区保护功能，同时也有利于软件诊断；

3、可扩展的处理器结的，以便能最迅速地开发出满足应用的最高性能的嵌入式微处理器；

4、嵌入式微处理器必须功耗很低，尤其是用于便携式的无线及移动的计算和通信设备中靠电池供电的嵌入式系统更是如此，如需要功耗只有mW甚至uW级；

嵌入式微控制器又称単片机，也就是在一块芯片中集成了整个计算机系统。嵌入式微控制器一般以某种微控制器内核作为核心，芯片内部集成ROM/EPROM、EEPROM、Flash、RAM、总线、总线逻辑、定时/计数器、Watch Dog、I/O口、脉宽调制输出、A/D、D/A等各种必要功能和外设。微控制器出于比微处理器体积小、功耗和成本低、可靠性高，因而是目前嵌入式工业的主流，品种和数量都很多。其中，比较有代表性的通用系列有805l，P51XA，MCS-251，，MCS-96/196/296，MC68HC05/11/12/16，C166/167等。另外还有半通用系列如：支持USB接口的MCU8XC930/931，CS40，C541；支持CAN-Bus、LCD的众多专用MCU和兼容系列。

DSP处理器对系统结构和指令进行了特殊设计，使其适合于执行DSP算法，编译效率较高，指令执行速度也快。DSP应用正由在通用单片机中以普通指令实现DSP功能，发展到采用嵌入式DSP处理器。嵌入式DSP处理器的长处在于能够进行向量运算、指针线形寻址等运算量较大的数掘处理。比较有代表性的产品是Motorola的DSP56000系列，Texas Instruments的TMS320系列，以及Philips的基于可重置嵌入式DSP结构制造的低成本、低功耗的R.E.A. LDSP处理器。

而所谓的片上系统（SoC）则是在一个硅片上实现一个更为复杂的系统。各种处理器内核将作为SoC设计公司的标准库，成为VLSI设计中一种标准的器件，用标准的VHDL语言描述，存储在器件库中。SoC可以分为通用和专用两类。通用系列包括Siemens的TriCore，Motorola的M-Core，某些ARM系列器件等。而专用的SoC专用于某个或者果类系统中，不为一般用户所知。比如Philips的SmartXA，它将XA単片机内核和支持超过2048位复杂RSA算法的CCU単元制作在一块硅片上，形成一个可以加载JAVA或C语言的专用的片上系统。

当前，嵌入式系统处理器的发展趋势主要采用32位嵌入式CPU其主流系统有ARM（包括Intel公司的strongARM和XScale）、MIPS和SH三大系列。

### 2.1.2 Layerscape系列处理器

Layerscape架构是QorIQ LS系列片上系统（SoC）的底层系统架构。从一开始便旨在充分利用新的开发、提取和效率现实条件，Layerscape架构的创建是为了让程序员找到极为轻松的方式“释放”每一块芯片的性能。该架构延伸了当前向多核芯片设计发展的趋势（包含同构和异构），以获得性能最大化，同时也可以提取足够的复杂硬件，以便让软件开发变得高效、可维护、灵巧、快速和相对简洁。简而言之，Layerscape架构可以实现手写汇编语言代码的性能和效率与高等级语言易用性和现代代码可维护性之间的平衡。

Layerscape架构可以视为QorIQP和T系列内数据路径加速架构（DPAA）的演进——这是一种由多个CPU内核与加速器本身支持网络接口和加速器的基础设施。

Layerscape架构方框图如下所示：

图X：Layerscape系列处理器架构方框图

图1。所有LS系列芯片都采用逻辑方式（尽管并非总是从物理角度）被划分为三个层次。最高层包括任意类型的处理器，例如基于PowerArchitecture或者ARM技术的处理器。向下一层可以通过缓冲区、队列和API访问，能够提取实施项目的详细信息。

Layerscape架构可以扩充DPAA，在ISO网络模型的独立层中单独地适当加速，这取决特定的芯片。有些芯片（例如）可以处理软件压缩，而其他芯片拥有专用的硬件加速器。无论采用哪种方式，功能对程序员都是透明的，这让一个芯片的实施切换到另一个芯片的实施变得简单直接，无需修改代码。结构化编程接口会包含压缩（在这个例子中），这样代码既不会调用它，也不会被它所调用，需要了解压缩实际上是如何应用的。再次重申，提取可以保存效率与性能，也可以保持开发人员的理智。

在QorIQLS系列中，每一个通信处理器按照逻辑方式划分为三层，如图1所示。通用处理层（GPPL）、加速包处理层（APPL）和快递包（expresspacket）输入/输出层（EPIL）分别粗略地代表了标准ISO模型的高、中和低层。无论芯片是否采用物理方式进行如此划分无关紧要；程序员认同这种方式，这与单个芯片如何进行分配无关。

在最底层，快递包I/O层（图1，褐色部分）提供支持L2+转换功能的所有网络接口之间真正具有决定性的线速性能，并且包含芯片的网络数据报接口（例如Ethernet、Interlaken、SerialRapidIO？、HiGig和PCIExpress？）。重要但不相关的接口（例如USB或者SATA）将不会属于这个接口层的组成部分，但会成为芯片“系统接口”模块的一部分，如图左侧所示（图1）。尽管严格来说，PCIExpress并不是网络接口，它通常用作为堆栈中刀片之间的接口，因此也包括在此处。

中间层（图1蓝色显示区块）包含芯片的包处理元素，它们或者是硬接线加速器、可编程引擎或者二者的组合。APPL可以通过传统顺序、同步、完整运行的模型提供客户定义的、自主和附加值功能，通过嵌入式C语言结构化编程实现完全可编程。再次重申，这些元素可以通过定义明确的接口与通用处理器进行通信，采用保留极具价值的开发人员代码的方式，提取它们（和处理器的）执行的详细信息。

通用式处理器（图1，绿色显示区块）显而易见是属于通用性质，并且面向用户/开发人员免费提供，用于他们的操作系统、应用、高水平代码和其他附加值、功能。与Layerscape架构的提取、效率和硬件独立性的价值保持一致，这一层可以同时支持Power Architecture和ARM内核。一个人人皆知的事实是，Power Architecture技术通常采用二进位字节顺序，而ARM技术通常属于小端字节顺序，然而Layerscape架构可以轻松地支持这两种技术。

显而易见，模块化硬件架构适用于众多不同的芯片配置，而且是横跨平台配置一致化软件的单一架构。模块化和灵活的硬件框架包括独立可扩展的层次，可以实现QorIQ产品组合的性能和电源效率最大化。如上所述，这些配置甚至包括不同指令集系列的通用型处理器，因此允许开发人员充分利用不同的代码库。Layerscape架构的模块性向上升级和向下降级——有时是在相同的物理套接字内——同时可以保留客户的代码。

例如，一次极为基础的芯片实现可能只包括低水平接口（例如以太网）和高水平通用式处理器（即ARM或者Power Architecture内核），之间没有任何中介加速器。在这种情况下，EPIL层会对帧队列执行包解析、分类和分配（不会显示）。然后通用式CPU（或者可能为多个CPU）会消耗队列的这些数据包。

在多个以太网端口内扩展这一理念，利用Layerscape架构内置“链路聚合”（link aggregation）功能，同样的芯片可以作为第2层交换机。预分配容量更加充分的芯片可能在中间APPL包括硬件，以便实现颗粒度级的数据包分类、IPsec、SSL、LRO/TSO和其他高级联机卸载。与此类似，低水平EPIL可能会识别确定的数据包类型，并且直接将它们传送至中间APPL的相关加速器，完全绕开通用式处理器。

该解决方案的基础在于其软件允许程序员快速且轻松地利用架构的能力。这款解决方案首先从优化的网络库入手，实现硬件加速功能（例如IPSec、深度包检测、IP转发、NAT/FW等），允许嵌入式开发人员专注于增值软件的开发，而无需进行性能调优。定义清晰的数据路径和控制API都是许多网络应用的标准配置，可以采用命令性C语言编程模型针对定制化应用轻松实现扩展。除此之外，软件框架可以提供标准服务（例如调试和配置、资源管理、虚拟化和初始化），以便确保易用性。最后，可以提供关键应用（例如软件定义网络、有线传输和回程、TCP终止和路由选择）的参考实现，这不仅可以降低您的研发投资成本，而且还能够加速上市时间。

总结

Layerscape架构将如今性能最强的通信处理器与全世界都在采用的相似的模块化、高水平编程模型相互结合。这无需硬件工程设计的高等级别，便可轻松获得高级通信引擎。更加重要的是，它不需要重新学习每个芯片实现的详细细节，可以作一代QorIQ LS系列器件由其后继产品直接取代。界限分明和定义清晰的编程模型可以在芯片之间、代代之间保存下来，这是基于开发人员的工作构建形成，而非将其视为硬件实现变更任务弃之不用。简而言之，Layerscape架构将开发团队最为重要和最具价值的方面保留了下来：即它独具特色的软件。再次重申，适当的硬件才是释放软件潜力的关键所在。

### 2.1.3 Layerscape LS1024A处理器

LS1024A产品系列适用于从高端VoIP和视频家庭网关，中小型企业（SMB）高性能安全设备到以太网供电的802.11ac企业接入点和消费者网络存储产品等各种应用。

LS1024A系列处理器以现场强化的LS102MA为基础，大大提高了处理能力和VoIP密度，处理小数据包的线速，符合DRM标准的安全性以及企业级VPN和SSL吞吐量。新芯片集成了目前在CPE市场上出现的新功能，从而节省了大量的系统成本。

LS1024A利用ARM的高能效核心技术和飞思卡尔的低功耗设计流程，实现了同类产品中最低的功耗。此外，配套软件开发套件还提供了丰富的电源管理功能，以满足全球服务提供商和产品制造商的节能目标。

除了提供高吞吐量的IP Sec和SSLCPU卸载之外，LS1024A的板载安全引擎还包括一个功能强大的具有GZIP解压缩能力的深度包检测引擎。该设备的三个以太网接口允许DMZ配置为SOHO/SMB路由器和网关提供进一步的安全性。

LS1024AI/O接口与飞思卡尔创新的多层总线架构相结合，可跨所有数据接口实现无阻塞的并发事务处理，从而最大限度地减少片上数据包处理延迟。LS1024A的SATA-2接口以及强大的LRO/TSO和XOR引擎为网络附加存储应用提供了理想的解决方案。

为了提供性能可扩展性和最大的灵活性，LS1024A系列处理器包括从650MHz到1.2GHz的单个和双个ARM® Cortex® -A9内核器件，可提供高达6000DMIPS的性能。

LS1024A基于OpenWRT Linux的SDK针对单核和双核操作进行了优化。LS1024A双核设备交付的软件向后兼容LS102MA和100​​系列产品。

此外，飞思卡尔丰富的生态系统提供交钥匙解决方案，可缩短VPN/SSLSMB路由器，家庭网关，消费类NAS和企业接入点制造商的产品上市时间并降低开发成本。

下图给出LS1024A处理器的结构框图：

图X：ARMLS1024A处理器结构框图

LS1024A处理器的主要性能特征如下所示：

DDR3控制器-高达533MHz（DDR3-1066）的16/32位DDR3存储器接口，可选ECC支持。

•外围组件互连快速（PCIe）控制器-LS1024A装置包括符合PCIExpress基本规范修订版2.1和支持第一代（2.5Gbps的）和Gen2（5Gbps的）链路速率两个单道PCIe接口。

•通用串行总线（USB）2.0接口-与USB1.1向后兼容的USB高速（480Mbps）控制器和PHY。

•通用串行总线（USB）3.0接口-具有双总线架构的USB超高速控制器和PHY，支持并行USB2.0（高速，低速和全速）和USB3.0（超高速）操作。

•串行高级技术附件（SATA控制器）-两（2）个3GbpsSATA-2接口。

•时分复用（TDM）总线-全双工串行TDM总线，支持多达128个8。192MHz的时隙。

•扩展总线-提供用于连接系统外围设备的地址，数据和控制线。扩展总线为系统外设提供芯片选择，如闪存，引导ROM等。扩展总线支持5个片选：一个用于NAND，四个用于一般用途。

•IC间（I2C）总线-支持主机模式，从机模式或多主机模式。I2C总线可用于启动。

•高速串行外设接口（HS-SPI）-高达50MHz，2个从机选择。

•低速串行外设接口（LS-SPI）-高达16MHz，具有3个从机选择。LS-SPI接口可用于启动。

•通用输入输出（GPIO）接口-最多64个GPIO。八（8）GPIOS可以配置为接收中断。六（6）个GPIO可以进行脉宽调制。

•SerDes-三个可编程SerDes接口，最高可达5Gbps。

-SerDes＃0-PCIe0

-SerDes＃1-PCIe1或SATA0-通过引导进行选择

-SerDes＃2-SATA1或SGMII-通过引导选择

•Silicon Labs集成串行接口（ISI）-使用Silabs SLIC降低成本设计的3引脚接口。

•Zarlink串行接口（ZSI）-4引脚接口，使用Zarlink SLIC降低成本设计。

•双通用异步接收器/发送器（UART）-支持RS-232和流量控制。UART0支持蓝牙，频率高达3Mbps。

•IC间声音（I2S）接口-主机或从机，采样频率高达96kHz，每通道8/16或24位。

•联合测试行动组（JTAG）接口-JTAG接口提供对两个Cortex®-A9内核的访问。它支持IEEE1149。1和边界扫描制造和测试。

•参考时钟-使用48MHz或24MHz的单个振荡器/晶振。

## 2.2 PCIe和DMA

PCI-Express（官方结写为PCIe），是一个高速串行计算机总线标准，是Intel公司在2001年为了替代老的PCI和AGP标准而提出的。在2002年，PCI特殊兴趣小组拟定并推出了PCI-Express1。0标准。在2003年，PCI-Express1.1标准推出，对一些规范进行了进一步的声明和定义。在2007年，PC1-Express2.0标准推出，X1棋式的数据传输速率达到了500MB/s，与PCI-Express1.1标准相比提升了一倍。更进一步的，X4模式能够达到2GB/s的数据传输速率，而最高的X32模式能够达到l6GB/s的数据传輪速率。

既然PCI-Express总线支持这么高的数据传输带宽，那么如何才能充分利用这些带宽呢？如果使用CPU来直接负责整个数据传输过程，由于一般的嵌入式CPU并不具备非常高的主频，那么必将会拖慢整个数据传输任务的整体带宽；同时，在进行大数据传输时，这也会消耗过多的CPU资源，使得CPU无法去执行系统中的其它任务。在这种情况下，通常会选择使用PCI-Express专用的DMA控制器来进行实际的数据传输。

DMA（Direct Memory Access，直接内存访问）是一种允许外设在不使用系统处理器的情况下访问系统主内存的硬件机制。CPU只需要对DMA控制器进行相应的配置，后续的数据传输任务由DMA控制器来完成，从而大大减轻了CPU的负担，提高了系统的处理能力。

但DMA通常会导致缓存一致性问題。因为现代的CPU都是带有最存（cache）的，CPU直接读写的是缓存中的数据，而DMA访问的是外部内存中的数据。那么就会出现以下两种情况：

1．CPU更新完缓存中的数据后，没有将相应的数据更新到外部内存中，导致DMA访问到的是外部内存中旧的数据。

2．DMA更新外部内存中的数据后，缓存没有进行相应的数据更新，导致CPU访问到的是缓存中旧的数据。

对于这个问題，一般有两种解决方法：

1．使用一致性内存（coherent memory）：由硬件来确保缓存和外部内存的数据一致性。当DMA写外部内存时通知缓存控制器更新相应的数据，当DMA读外部缓存时将缓存中的数据全部清空到外部内存中。

2．对子使用非一致性内存（non-coherent memory）的系统，使用软件的方式来完成。当CPU读缓存中的数据时，由軟件来确保缓冲中的数据是有效的；当DMA读外部内存中的数据时，由软件来确保外部内存中的数据都是有效。

当包含PCI-Express总线接口的系统之间需要进行高速数据传输时，通常会使用PCI-Express Switch芯片进行系统级互联，IDT公司的89HPES12NTl2G2是一款高性能的PCIe Switch意片，专为PCI-Express Gen2包交换而优化，包含12个通道和12个端口，支持多个同时进行的点到点数据流，支持PCI-ExpressGen1和PCI-ExpressGen2包交换。此外，89HPES12NT12G2支持非透明桥（non-transparent bridge）功能，可以初始化和翻译地址和设备ID，实现跨PCI-Express域的数据交互；集成DMA控制器，可以在不加重CPU负载的情况下进行高速的数据传输。

## 2.3多核并行编程技术

多核处理器发展的同时对软件行业带来巨大的影响。在多去单核时代，程序员基本上不用考虑并行编程的问题，所以传统的軟件大多都是基于串行单线程模式编写，将传统的应用程序直接运行在多核处理器上时，程序只能运行在单个核上，多核的运算能力无法被充分利用，不能发挥出多核处理器高性能的优势。在多核处理器的要件架构中，只有采用软件多进程、多线程技术方能充分发挥硬件的性能，线程分配到每一个核上，使得每一个线程都能得到一个核运行，多个线程并行运行。另外还要注意的是单核的多线程技术和多核多线程的区别，多核多线程技术是在多个物理核上的并行操作，真正意义上的并行执行，而单核上面的并行操作，实际上只是宏观上的一种并发运行，尽管核上有多个线程，但是同一时刻仅有一个线程在运行，多个线程按照时间先后依次运行，并非真正的并行运算。针对这样的问题，人们开始引入并行编程技术，从多个方面对并行编程进行设计和优化。首先针对多核处理器操作系统进行改进优化，比如多核间进程调度算法，核间负裁均衡算法等，以更好地支持多核处理器。其次在应用程序设计架构上，除了多线程编程技术得到更加广泛地应用，人们设计实现了一些并行编模型比如OpenMP和MPI。下面将分别介绍多线程编程技术和并行编程模

在Linux编程环境下，Linux系统提供了一套多线程编程接口，即Pthread线程库。该库符合POSIX标准，被各种UNIX操作系统所支持。相比于多进程编程，多线程编程有如下优点：创建线程的效率高，线程可使用其所属进程中的资源，因而创建线程的速度要比创建进程快；线程间IPC通信方式更加简单和高效，由于进程间的地址空间是相互独立的，进程间通信需要操作系统提供特定方式的支持，比如共享内存和域套接字（Domain Socket），但是线程之问是共享全局数据的，可以直接通过全局变量通信；线程间调度切換的代价也小于进程问的切換。而且在一些网络服务器上通常会频繁地响应请求，比如本文设计的视频监控服务器，需要频繁地响应客户端和前端设备的命令或是回应，所以其通常会在短时间内处理大量的务请求。在此环境下我们就可以利用多线程技术在初始化的时候创建一定数量线程的线程池，通常情况下池中线程处于阻塞状态，当服务器收到请求的时候，就从线程地中取出空闲的线程执行该请求，执行完后该线程重新变成阻塞状态，等待下一次请求的到来。当系统比较空闲时，大部分线程都一直处于阻塞状态，线程池可以自动销毁一部分线程以回收资源。相比于传统简单的多线程编程，即“即时创建，即时销毁”，也就是一旦收到一个请求后，创建一个新的线程，然后由该线程执行任务，执行完毕任务后，线程退出。尽管创建线程的时间与创建进程相比已经大大的缩短，但是如果每次线程执行任务的时间都非常短，而且服务器接收到请求的次数非常频繁，那么服务器将处于不断地创建和销毁线程的状态。如果我们将线程执行过程分为三个过程：T1、T2、T3。

T1：线程创建时间；

T2：线程执行时间，包括线程的同步等待的时间；

T3：线程销毁时间；

那么我们可以看出，线程产生和退出的开销所占的比例为(T1+T3)/(T1+T2+T3)。如果线程执行的时间T2很短的话，这比开销可能占到50%左右[]。如果任务执行次数非常频繁的话，这笔开销将是不可忽略的。因此线程地的出现正是着眼于减少线程创建和销毁带来的开销[]。线程地采用预创建的技术[]，基于这种预创建技术，线程池将创建和销毁线程所带来的开销分推到了各个具的任务上，执行次数越多，每个任务所分担到的线程本身开销则越小，提高了多核处理器的利用率，结短了系统的响应时间。

除了多线程编程技术外，还有一些并行编程模型，比如OpenMP。OpenMP是一种面向共享内存以及分布式共享内存的多处理器多线程并行编程语言。它以线程为基础，通过编译指导语句来显示地指导并行化。OpenMP的：执行模型采用Fork-Join的形式，Fork创建新线程或者唤醒已有线程，Join则是多线程汇合。其典型的编程模式如下：

Fork-Join在开始执行的时候，只有一个主线程在运行，当主线程在运行过程遇到需要进行并行计算的时候，这时候一般由OpenMP编译指导语言指示，会派生出子线程来执行并行的任务。在并行执行过程，主线程和派生线程共同工作。在并行代码结東后，派生线程退出或者挂起，不再工作，控制流程重新回到单独的主线程中[]。其工作流程如图2。3所示；主线程在适行过程中遇到并行指导语言，然后派生出4个子线程共同完成任务，其中第四个子线程在运行过中又嵌套地派生出4个子线程完成其任务，新产生的线程组并不会影响原进程的执行，最后子线程完成任务后退出，所有的线程汇合到主线程处[]。

## 2.4闪存技术

事件驱动编程是。。。

## 2.5本章小结

本章重点针对。。。

# 3 系统总体结构

## 3.1 系统指标

### 3.1.1 系统目标

拖曳阵水声探测系统（以下简称水声探测系统）总体目标是实现具有自主知识产权的可持久连续工作的实用化拖曳式水听器线列阵（简称为拖缆），即设计并实现了一种通用型的水声探测数据采集与传输系统，可以支持主动式或被动式两种水声探测方式。

水声探测系统的应用受到两个方面的制约。第一不易维修，拖缆硬件系统庞大，而且是一个整体，下水以后出现任何问题都需要把系统整体回收，上岸维修，严重时甚至需要解剖维修；第二运营费用极高，必须使用勘探专用的船只，一次出海探测的费用可能在数十万。针对这两个制约因素，拖曳阵水声探测系统需要更高效更可靠，可以从以下几个方面考虑。

1. 系统的高可靠性

在某些情况下，如反潜作战，水声探测系统需要连续不间断的运行数月甚至数年，系统的高可靠性能减少系统维护工作量，是水声探测系统所有指标中的重中之重。

1. 对微弱信号的高分辨率

模数转换中，模数转换器的分辨率对微弱信号的检测有很直接的影响，分辨率越高，量化误差越小，越能检测出水下的微弱信号。

1. 各采集模块的高精度同步性

时间参数在四维时移水声探测测量中是反演出地形的重要因素，所以要保证每个模数转换器同时获取水所器信号，如果各个数据采样点之间存在较大的时间误差，则最终结果将缺乏有效性。

1. 大数据量的传输稳定性

水声探测拖缆的长度有几百米，有时甚至达到数千米，其中有大量的水听器基元；另外，为了更清晰的还原信号，需要有较大的采样率，这样也意味着需要釆集非常大量的数据。因此，大数据量的传输稳定性也是一个重要指标。

1. 大量数据的实时存储

为了记录水声探测线阵列采集的大量数据，需要有大容量的存储介质，同时为了配合数据的高速采集和传输，数据的存储也要有更高的实时性。

### 3.1.2 总体指标

系统总体指标如表2-1，涉及到采集系统的指标如表2-2，主要体现了模拟信号的指标及模拟信号转换为数字信号的转换指标。

|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

## 3.2 系统整体结构

图x：系统结构框图

水声探测系统工作的基本原理是：通过水下气枪发射声波传至海底，经过海地层反射至拖缆工作区域，再由拖缆系统的水所器接收信号，模拟信号经过采集系统调理并转换成数字信号，再通过拖缆系统传输至计算机磁盘或者其他存储备进行实时存储、显示、格式转换等。最后，由接收到的探测数据根据波束形成或者声援定位的算法可反演出地形地貌图。

水声探测系统结构如图2-1所示。从所处位置来看，整个水声探测系统可分为船上系统和水下系统西部分，水下系统的核心为水声探测探测拖缆，拖缆内包含等间隔排列的水听器、封装在水密性电子舱内的数字包、每个数字包包含的传输模块和采集模块，数字包之间用于通信的双绞线（命令下传通路、数据上传通路）等。船上主要为主控工作站，是水声探测数据录取系统的核心，用于实现人机交互和水下采集数据的实时存储与波形回显等功能。

本水声探测水下系统的作业过程：等间距的水听器阵列将声音信号转换为电信号，由数字包中的采集板对信号进行放大、滤波、采样后，按照固定的格式将采集板数据帧传输到传输板，传输板按照固定的数字帧格式将数据级联传输到湿端接口模块（与船上系统的接口），湿端接口模块收到数据后，把电信号转换成光信号经过单模光纤传输至计算机接口卡（与水下系统的接口），继而数据将进入了上位机，上位机一方面要对数据进行抽取、格式转换用于波形回显，一方面要把数据存储成固定的格式（如地震勘探SEG-Y格式文件），一方面要实现人机交互界面，接收用户的命令再将命令转发到水下系统。

### 3.2.1 船上系统



船上系统主要包括水声探测数据录取系统以及其他辅助部分（如电源系统、GPS/北斗时标定位系统和水下声源系统等）。如图2-2，水声探测数据录取系统是本文讨论的核心，由上位机（计算机）和线列阵接口组成。其中，线列阵接口由光纤和PCI采集卡组成，用于连接上位机和水下系统，实现光纤和PCI接口之间的数据转换，同时实现PCI接口的命令下发和数据上传。计算机完成功能如下：接收并转换PCI卡上传的数据，将数据存储为地震勘探格式的文件；控制水声探测系统的工作状态（启动、复位、停止、增加设置、参数配置等）；完成数据处理及波形回显等功能。

### 3.2.2 网关系统



### 3.2.3 数据采集系统

水下系统（也叫做拖缆），主要包括在拖缆内等距分布的水听器基元、数字包、水下声源以及拖曳收放系统等。水所器是直接拾取水下声学信号的声学传感器，数字包是水下电路的节点，每个数字包由采集模块和传输模块组成，可以对水声信号进行信号调理、模数转换并形成传输码流，数字包采用级联方式形成水下水声探测探测拖缆的物理链路；根据不同的探测应用，可以随意调整数字包的个数，水下系统的最前端与船上系统进行双向通信的数字包也被称为湿端接口模块。水下声源仅用于主动探测方式，目前常见的是高压水下气枪阵列，用于激发具有较高瞬间能量的水下声波。拖缆由高强度聚氨酯加工而成的透声性能良好的线列阵外壳、钛合金材质的数字包外壳、以及各种水密性接插件组成。拖曳收放系统主要用于控制拖缆姿态，有水鸟[]、尾部浮标（简称尾标）等，这些辅助设备能保障拖曳阵水声探测系统在探测作业中处于恒定的工作状态，如水鸟会实时调控每段拖缆使其保持在水下固定深度，尾标可以保证拖缆处于直线状态，尾部不会下沉。

水声探测采集系统是由数字包中的来集模块完成信号的数据采集，其中主要由水听器（基元）、滤波模块、放大模块、ADC组成，它是水声探测系统的数据来源，该模拟前端将决定着系统数掘结果的质量和有效性。

水所器通过测量声能量在水中传播时引起的传感器压力变化来获取信号幅值，由子线列阵中均匀分布多个通道的水听器，因此水听器的分布式信号调理电路信噪比和采集电路各通道间定时精度决定了系统对水声信号的测量精度[22]。

拖曳阵的数据采集流程如下：水听器线列阵将水中的声音信号转换成电信号，由信号调理电路进行信号的滤波放大，再经过型模数转换器（ADC）进行时间和空间的等间隔采样，ADC采样的基准时钟取自采集板本地的锁相环以及高精度的本地4KHz同步时钟脉冲，将ADC采样完成的标志位同4KHz基准源通过锁相环同步，可保证在本地工作的每个ADC及每个通道的定时精度。由子ADC输出转换完数据的时间点与基准时钟4KHz一致，而锁相环完成锁定需要一定的时间（可能需要几秒甚至更长），频繁的锁相将会降低效率，所以可以上电即使得采集板开始采集工作以便完成锁相。而采样数据是否进入传输板级联信道，取决于拖缆系统是否收到上位机下传的开始采集命令，一旦收到此命令，采样数据将会按照一定的帧格式，继而传输到水上系统，进行实时数据的处理、存储及波形显示。

* 水听器信号调理电路设计

合理的水听器信号调理电路是采集板提供有效采集数据的关键。压电式和光纤式水听器目前广泛应用于海洋探测。本文采用压电水听器，压电水听器的原理是基于压电介质的压电效应而成的。压电水听器动态范围很大，上限和下限相差以上，为了保证下信号进入ADC之前保证同等的信号幅值，所以要在进入ADC之前加入增益可调的放大电路来调节信号幅值。为了避免ADC输入信号饱和，水听器的输出信号经过放大之后进入ADC的幅值应该小于其电源电压，根据水听器指标，信号调理电路的放大模块要实现54dB~90dB可调节的电压增益。为了实现可调电压增益，在本文的设计中设计了前置放大、固定増益放大、程控增益放大三级放大电路。前置放大器选取的依据为低频噪声功率密度低的片，主要是实现低通滤波放大的功能：固定増益芯片选取的依据是带反馈电阻、放大增益稳定；程控放大实现了增益可调，选择放大倍数与水听器指标匹配的放大器。放大器的设计同时还要考虑带内增益起伏和带外倍频程衰减的要求。右弧型ADC是唯一分辨率达到24位的转换器[23]，所以不予考虑积分型等其他类型的ADC。这种ADC可完成8个通道的模数转换过程，考虑到数字包之间的传输距离及每个数字包的体积限制，每个数字包中包含2个ADC芯片，可同时转换16道水听器基元的数据。此外，采集模块还有自检功能，在每次作业前可测得谐波抑制比，直流偏移，通道一致性，串扰等各方面指标，保证勘探作业高质量的完成。

随着水听器线列阵规模的扩大（如512基元的水听器阵列可达数千米长）和信号带宽的上升，拖曳阵水声探测系统的数据传输量会迅速增加，可能会达到十兆百兆的数量级。因此合理的传输系统、拓扑结构设计、实时存储技术是研究的关键。传输系统的总体设计目标是实现水听器线列阵数据及命令的稳定传输，以及健壮的传输协议，包括命令信号、同步信号以及数据帧的发送、转发和接收等各个环节。根据所处位置，可以将传输系统分为拖曳阵水下传输系统（水下系统）以及拖曳阵与船载上位机之间的通信系统（船海系统）。

拓扑结构是网络中各站点间的连接形式，主要的拓扑结构有：总线型拓扑、星型拓扑、环型拓扑、树型拓扑、混合型拓扑等[24]，通过分析和比较各类拓扑形式的特点，水下系统使用级联式拓扑结构如图2-3所示，级联拓扑结构是由环形拓扑发展而来，将每个数字包逐次连接形成拖缆系统。

在数据传输方面，传输信道可以分为上行和下行两个部分，上行信道主要任务是数字包数据和状态信息的逐级实时上传，下行信道主要任务是解析并转发各种命令。由于上行数据率远大于下行数据率，如果采用上行和下行共用同一个信种命令。由于上行数据率远大于下行数据率，如果采用上行和下行共用同一个信双工的传输系统，这个传输系统是不对称的。水下拖缆系统由每个相同的数字包级联成流水线结构。由于传输距离和传输速率成反比关系，这种流水线型的传输将減少数字包之间的传输距高，更容易实现高速率的传输。

在通讯协议方面，本论文设计了速率可变的远距商数据传输协议。基于网络通信系统的基本参考模型，建立了适合拖曳线阵列传输特点的分层传输信道体系结构。本系统中的拖曳阵类似于服务器，上位机类似于客户端，当上位机发起采集指令时，处于客户端模式，而拖曳阵处于服务器工作模式；当上位机停止采集时，客户端不再访问服务器，通信停止。

船海传输系统主要任务是实现水下拖缆系统与船上系统上位机之间的通信。船海传输系统和船上系统组成了水声探测数据录取系统。水下拖缆的数字包设计大体一致，唯一区别的是与船上系统最近的数字包，也叫做湿端模块，湿端模块只包含供级联传输使用的传输板，不包含采集板。湿端模块与上位机的通信介质是2根单模光纤。光纤有通信容量大、中继距离长、体积小、重量轻、便于维护的优点，而湿端距离上位机距离较远且不固定，所以光线是船海传输介质的首选。

船海传输系统是水声探测数据传输至上位机的最后一个环节，是水下系统所有传输数据的累积，所以船海传输系统是整个水声探测系统有效数据率最高的环节。船海传输系统的性能将直接关系整个水声探测系统的带道能力和扩展能力，根据某军工项目的指标，本水声探测系统应该具有实时接收和处理512个水听器的数据量的能力[34]，具体地来说，本拖曳阵水声探测水下系统至少包含32个数字包，且每个数字包可供16个通道的信号采集。同时根据指标要求，每个通道的模数转换器采用24位型ADC，信号采样率最高可达4KHz。因此，本水声探测系统总的净数据率Vt为：

Vt=32X16X24X4000=49.152Mbps （2-1

根据第2.4.l小节中介绍的本项目自定义的传输协议，每个数据包将采集模块每个时刻采集的 l 6道数据组成一个数掘帧后向上一级数字包传输。该数据帧由80字节组成，每个字节为8bit。具体组成如图2-5所示。

帧头标识了数字包号及数据帧的帧类型、帧编号、时间戳、增益值及后期系统展时预留空问等信息，数据段用于存储16个水听器某一时刻采集的数据，每个通道某一时刻采集的数据存储为4个字节，也就是32位[34]。为了减小信号衰减和实现信号的远距离传输，采用8b-10b直流平衡码进行编码后进行传输。因此，水声探测数据录取系统的传输速率心为：

Vm=32X（16X4十l4十2）X4000X10=102.4Mbps （2-2

因此，为了满足水声探测系统的要求，本数据录取系统必须具有强大的实时数据交换，数据传输和数据处理能力。

## 3.3 本章小结

本章在绪论的基础上对声吶总体系统日标进行介绍，说明了声口内系统的组模块及其工作流程，重点分析了系统的传输系统及其设计指标，为后续章节提供研究的基础，后续章节将以传输系统日标为中心进行探讨。

# **4 系统总体设计**

## 4.1 系统硬件设计

附上总体设计框图

## 4.2 系统软件设计

### 4.2.1 节点外部接口设计

节点与节点间通过自定义协议进行命令和数据的传输；

### 4.2.2 节点模块划分

数据接收模块，数据整理模块，数据发送模块，命令管理模块。。。

### 4.2.3 节点模块间接口设计

设计不同命令进行模块间交互

## 4.3 本章小结

# **5 数据采集**系统**软件详细设计**

## 5.1 重要数据结构

介绍包括自定义协议及顶层业务逻辑在内的整体数据结构

## 5.2 主要处理流程

### 5.2.1 主线程流程

介绍节点从数据接收到发送整个流程

### 5.2.2 命令交互流程

介绍接受桥接命令，各模块间间交互流程，给出整个交互框图；

### 5.2.3 数据交互流程

## 5.3 驱动设计（重点介绍）

### 5.3.1 自定义协议

### 5.3.2 NXP与FPGA交互设计

## 5.4 故障诊断模块

### 5.4.1 FPGA通信诊断

### 5.4.2 串口通信诊断

### 5.4.3 网络通信诊断

### 5.4.4 闪存通信诊断

### 5.4.5 内存通信诊断

## 5.5 网络优化设计

## 5.6 本章小结

# **6 系统测试与结果**

## 6.1 测试环境

可否拿实验室测试环境

## 6.2 测试内容与结果

### 6.2.1 高速数据传输

验证新设计的协议达到的速率

### 6.2.2 采集处理显示

主控界面

## 6.3 本章小结

# **7 总结和展望**

## 7.1 总结

## 7.2 展望

# 参考文献

# 附 录