分类号： 单位代码：

密 级： 学 号：



硕士学位论文



**中文论文题目：基于ARM的海洋油气勘探水深探测系**

**统软件设计**

**英文论文题目：Software Design of Ocean Oil and Gas Exploration Sound Detection System Based on ARM**

申请人姓名： 陈祖现

指导教师：

合作导师：

专业名称： 电子信息技术及仪器

研究方向： 嵌入式系统

所在学院： 生物医学工程与仪器科学学院

**论文提交日期 2018年1月**

**声 明**

本学位论文是我在导师的指导下取得的研究成果，尽我所知，在本学位论文中，除了加以标注和致谢的部分外，不包含其他人已经发表或公布过的研究成果，也不包含我为获得任何教育机构的学位或学历而使用过的材料。与我一同工作的同事对本学位论文做出的贡献均已在论文中作了明确的说明。

研究生签名： 年 月 日

**学位论文使用授权声明**

浙江大学有权保存本学位论文的电子和纸质文档，可以借阅或上网公布本学位论文的部分或全部内容，可以向有关部门或机构送交并授权其保存、借阅或上网公布本学位论文的部分或全部内容。对于保密论文，按保密的有关规定和程序处理。

研究生签名： 年 月 日

# 致 谢

# 摘 要

**关键词：**海洋石油探测，ARM NXP，PCIe，数据传输，高速差分信号

# Abstract

II

**Key word:**

# 目 次

[致 谢 I](#_Toc501387993)

[摘 要 II](#_Toc501387994)

[Abstract III](#_Toc501387995)

[目 次 1](#_Toc501387996)

[1绪论 4](#_Toc501387997)

[1.1课题背景与意义 4](#_Toc501387998)

[1.2海洋地震勘探简介 5](#_Toc501387999)

[1.3国内外相关技术研究现状 6](#_Toc501388000)

[1.3.1国外研究现状 7](#_Toc501388001)

[1.3.2国内研究现状 8](#_Toc501388002)

[1.4课题研究内容 9](#_Toc501388003)

[1.5本文组织结构 9](#_Toc501388004)

[2相关技术介绍 12](#_Toc501388005)

[2.1嵌入式处理器 12](#_Toc501388006)

[2.1.1 嵌入式处理器概述 12](#_Toc501388007)

[2.1.2 Layerscape系列处理器 13](#_Toc501388008)

[2.1.3 LS1024A处理器 15](#_Toc501388009)

[2.2 PCIe接口技术 16](#_Toc501388010)

[2.3 DMA技术 17](#_Toc501388011)

[2.4 CRC校验 18](#_Toc501388012)

[2.5本章小结 22](#_Toc501388013)

[3 系统总体结构 23](#_Toc501388014)

[3.1 系统指标 23](#_Toc501388015)

[3.2 系统整体结构 25](#_Toc501388016)

[3.2.1 上位机系统 25](#_Toc501388017)

[3.2.2 数据汇聚系统 26](#_Toc501388018)

[3.2.3 采集传输系统 27](#_Toc501388019)

[3.3 本章小结 29](#_Toc501388020)

[4 系统总体设计（区分子系统，可参考改为采集传输系统总体设计） 31](#_Toc501388021)

[4.1 硬件总体设计 31](#_Toc501388022)

[4.2 软件总体设计 32](#_Toc501388023)

[4.2.1 结构设计 32](#_Toc501388024)

[4.2.2 外部接口设计 36](#_Toc501388025)

[4.3 本章小结 37](#_Toc501388026)

[采集传输系统软件实现 38](#_Toc501388027)

[5.1 外部接口 38](#_Toc501388028)

[5.1.1 传输协议 39](#_Toc501388029)

[5.1.2 命令协议 42](#_Toc501388030)

[5.1.3 数据协议 43](#_Toc501388031)

[5.1.4 CPU与FPGA交互协议 44](#_Toc501388032)

[5.1.5 CRC校验实现 45](#_Toc501388033)

[5.2 系统主线 47](#_Toc501388034)

[5.3 命令交互 49](#_Toc501388035)

[5.3.1 命令接收模块 49](#_Toc501388036)

[5.3.2 命令处理模块 50](#_Toc501388037)

[5.4 数据交互 52](#_Toc501388038)

[5.4.1 业务网络 52](#_Toc501388039)

[5.4.2 实现机制 54](#_Toc501388040)

[5.4.3 DMA缓存区划分 55](#_Toc501388041)

[5.5 故障诊断 56](#_Toc501388042)

[5.5.1 链路诊断 56](#_Toc501388043)

[5.5.2 板内诊断 56](#_Toc501388044)

[5.5.2.1 FPGA诊断 56](#_Toc501388045)

[5.5.2.2 串口诊断 56](#_Toc501388046)

[5.5.2.3 网络诊断 56](#_Toc501388047)

[5.5.2.4 闪存诊断 56](#_Toc501388048)

[5.5.2.5 内存诊断 56](#_Toc501388049)

[5.6 本章小结 56](#_Toc501388050)

[6 系统测试与结果 57](#_Toc501388051)

[6.1 测试环境 57](#_Toc501388052)

[6.2 测试内容与结果 57](#_Toc501388053)

[6.2.1 高速数据传输 57](#_Toc501388054)

[6.2.2 采集处理显示 57](#_Toc501388055)

[6.3 本章小结 57](#_Toc501388056)

[7 总结和展望 58](#_Toc501388057)

[7.1 总结 58](#_Toc501388058)

[7.2 展望 58](#_Toc501388059)

[参考文献 59](#_Toc501388060)

[附 录 60](#_Toc501388061)

# 1绪论

## 1.1课题背景与意义

随着现代化工业的迅速发展，能源已经成为现代化发展不可或缺的一部分，而石油在能源中又占领着举足轻重的地位。我国经济的处于高速发展，对石油的需求也越来越大，石油需求的缺口已经逐渐影响到我国常规能源结构的战略安全。为了缓解石油能源的紧缺，我国在积极寻找国外石油资源的同时，也加大了国内石油的勘测和开发。据2017年《国际石油经济》数据统计，自2000-2017年全世界新增加的油气中有70%以上来自海洋。另外，在深海区域中发现的油气占全世界新增能源的50%以上，这充分说明深海区域内的油气储藏量已经成为当下能源的主要承载者。

中国具有十分广阔的海域，也具有十分丰富的海洋油气资源储藏量，潜力巨大。在我国南海区域，有着被称为第二个波斯湾的海洋油气积聚区，与波斯湾，欧洲北海和墨西哥湾并称为世界四大海洋油气积聚区。然而，截至目前，主要的海洋油气勘测技术及设备依旧掌握在外国人手中，进口国外的海洋油气勘测设备需要支付高昂的费用。因此，研究具有自主知识产权的海洋油气勘测技术，生产具有自主知识产权的海洋油气勘测设备，打破国外海洋油气勘测技术垄断，实现我国在深海油气勘测技术领域的跨越式发展，具有重大意义。

迄今为止，人们发现的能在水中传播的能量主要是电磁波和声波，由于电磁波在水下衰减十分厉害，而声波根据频率的不同在水中远距离变化很大，例如自然地震产生的声波传输距离为100-5000km级别。因此，水声探测技术在海洋勘测技术领域中占有着非常重要的地位。地震勘探技术是水声探测技术的一种典型应用，也是目前海洋油气勘探的主流技术。海洋地震勘测设备主要由空气枪，拖曳线缆系统，电子控制系统组成。空气枪作为人工震源向海底发送声波，拖曳线缆系统种含有多个水听器及声波数据采集传输模块，电子控制系统负责拖曳线缆中水听器接收的声波数据的汇聚与记录。大型的海洋地震勘测设备中有数百个水听器，拖缆线阵的长度也是达到了数十千米。如何实现水听器数据的同步采集与传输是海洋地震勘测技术的关键。

所以在海洋油气勘测如此严峻的形势下，开发设计成熟、稳定、低成本的海洋地震勘测数据同步采集传输系统具有非常重要的工程价值。本文利用驱动编程技术，设计并开发了基于NXP ARM处理器的嵌入式同步数据采集传输系统，并设计出基于以太网协议修改的数据传输协议，实现了海洋地震勘测设备数据同步采集及高速传输功能。系统可靠，成本低，为实现大规模海洋油气勘测提供了可靠的解决方案，具有非常高的实用价值。

## 1.2海洋地震勘探简介

海洋地震勘探技术在原理和方法上，与陆地地震勘探技术相同，但由于海洋环境较陆地环境更为恶劣，海上地震勘探技术相比于陆地地震勘探技术有所区别，主要体现在导航定位系统、震源系统和地震波接受方法三个方面。由于海上情况的特殊性，必须选择高精度的导航定位系统。就目前而言，主要的导航定位技术可分为GPS卫星导航定位、激光定位和水声探测定位等。海上导航定位技术已经发展成为一整套成熟的技术可随时为海洋油气勘探提供船只、震源和水听器的准确位置，极大的提升了海洋油气勘探的定位精度，改善了勘探效率。

在海洋地震勘探技术中，震源也和陆地地震勘探技术也有所差别，海洋地震勘探并非炸药震源，而是采用空气枪、蒸汽枪、电火花等非炸药震源产生地震波，其中主要运用空气枪作为震源，运用比例占95%以上。

另外，在地震波的接收方式上，海洋地震勘探也与陆地地震勘探有所区别，海洋地震勘探采用船只拖着一条长拖缆（等浮电缆）的形式进行采集。船拖着等浮电缆在海上航行，等浮电缆上装置着一定数量的水鸟装置用于控制等浮电缆的深度，接收地震波的传感器以及数据采集传输节点按照指定的排列方式分布在等浮电缆中。

当地震勘探船只在海上进行勘探作业时，拖着等浮电缆以一恒定速率沿着预先设定好的测试航线前行，根据测试航线上预先设定好的炮点开启震源发出地震波，一般设置两炮点之间间距相同。由于上船只在海上航行速率恒定，所以震源每次开启的事件也是等间隔的。另外，因为海洋上不像陆地上的情况会收到各种地形或者其它障碍物的影响，地震测试线路可以均匀分布，勘测过程就可以无间段的进行。用于接收水下采集的地震波数据的汇聚中心系统放置在船上，除此之外，地震船上还配备卫星导航定位系统，水鸟控制系统，分别用来进行船只的定位和等浮拖缆的深度控制。结合船上导航定位系统与水下等浮拖缆上的定位控制系统，可实现拖缆中不同数据通道的精确定位。

在处理流程上，海洋地震勘探与陆上地震勘探相同，主要也分为地震波数据的采集、传输、记录和解析四大环节。地震数据的采集就是震源发出地震波，水下采集传输系统接收地震波模拟信号，并对模拟信号进行放大、滤波和数字化处理；地震数据的传输是指按照一定的协议，将数据向上传输至船上的数据汇聚系统；数据的记录是指将数据汇聚系统接收到的数据包传至上位机，并按照一定格式存储在磁盘中；地震数据的解析就是将记录的地震波数据按照地震波相关原理解析成海底图纸结构剖面图等图像信息的形式，供富有经验的地质专家分析油气储藏情况。

采用拖缆式的海上油气地震勘探技术示意图如图1.x所示：

图1.x：海上油气地震勘探技术示意图

## 1.3国内外相关技术研究现状

从上个世纪70年代以来，水声探测技术广泛应用于水下目标检测，油气勘探，海洋资源开发等多个领域。在海洋油气勘探领域，存在着诸如电磁勘探，海底节点及海底电缆等技术，但是海底电缆由于其高精度的勘探水平，使得海洋地震勘探技术始终处于海洋油气勘探的主流地位。

### 1.3.1国外研究现状

从上世纪70年代起，海洋地震勘探技术陆续在国外兴起，经过几十年的发展，在全球范围内基本形成了以法国Schlumberger公司、serce1公司，美国ION公司、HTI公司为主导，其它公司依靠自身独特的优势寻找市场生存空间以及发展机遇的格局。

法国Schlumberger公司开发出的“Q-Marine”海上采集系统是目前世界上最先进的海洋地震勘测设备。该系统最多可同时拖曳20根等浮电缆，每根等浮电缆全长12km，以及配备4000多个水听器，总共可接收80000多个通道数据。同时，在水听器灵敏度、定位精确度、拖缆的可调节深度以及震源的强化控制成都等方面，大都处于当前全世界领先地位。该系统可提供质量无可比拟的海洋地震波数据。

美国ION公司，原名为美国I/O公司，在上世纪末，ION公司只能生产辅助型的海洋勘探设备，如今却已经成为世界第二大海洋地震勘探设备供应商。ION公司率先发明了当前最新的第六代海洋地震设备的核心技术——基于MEMs的全数字水听器。该公司之所以能够成功，与其都尖端的技术追求和产品性能多元化理念是分不开的。其生产的设备普遍用途广泛，可用于诸如油气勘探、环境监测等多个领域。

法国SERCEL公司也是目前全球领先的海洋地震勘探设备供应商之一，其最著名的海洋地震勘探设备以SEAL命名，SEAL系统主要包括由数据采集系统与设备通信接口组成的水下系统和由控制模块、显示模块组成的水上系统。SEAL系统的主要优势在于小型化，其水听器在拖缆上是线列排布的，拖缆缆体直径只有不到50mm，移动操作方便，系统结构灵活度高。目前SERCEL公司最新的SEAL系统设备型号是Seal428。

美国HTI公司提供的海洋油气勘探系统以SeaMUX命名，该系统采用22AWG双绞线信号传输线，并且其设计的拖缆为双向连接模型，方便的同时也增加了数据传输的鲁棒性。

除此此外，美国FairField，加拿大Geo-X等几家公司也推出了各具特色的相关产品。表1.1列出了4个主导公司的设备及相关的产品特点。

表1.1 部分国外公司产品

|  |  |  |  |
| --- | --- | --- | --- |
| 公司 | 产品型号 | 最大通道数 | 产品特点 |
| Schlumberger | Q-Marine | 80,000（多缆） | 精确度高，可控性强 |
| ION | DigiSTREAMER | 19,200（多缆） | 精度高，用途广泛 |
| SERCEL | Sentinel | 1260 | 小型化，操作方便 |
| HTI | SealMUX | 960 | 强大的鲁棒性 |

### 1.3.2国内研究现状

我国海洋石油勘探技术起步较晚，在上世纪80年代，我国在海洋油气地震勘探领域实现从无到有的重大突破。1973年，我国引进了第一台海洋地震勘探设备——SN338B勘探仪。1999年，引进美国Fairfied公司的BOX海洋地震勘探数据采集传输系统。这是一套具备1800个水声通道的水下地震数据采集传输系统，在当时已经十分先进，但同时也付出了极为高昂的费用。

进入新世纪后，随着国务院对“908专项”的正式批准，我国掀起了海洋资源开发技术研究热潮，国内越来越多的高等院校及研究所开始进行海洋油气勘探设备——拖曳式水声探测系统的相关研究。包括水听器、数据传输速率以及传输距离等方面进行研究。在水听器方面，清华大学的廖延彪教授使用PGC光纤发明了干涉型水听器，该水听器相比于传统的压电式水听器具备灵敏度更高，探测范围更广的优点，能够实现对微弱海洋地震信号的检波；国防科技大学的胡永明教授使用滤波技术，实现光纤水听器的高混叠抵抗力[14]。在数据采集传输系统方面，中科大的宋克柱教授使用型数模转换器（ADC）和流水线式的结构优化了地震数据的传输距离以及天津大学的段发阶教授研发了基于LVDS的传输方式，实现了鲁棒却较高速的水声数据传输。除此之外，国内还有许多其它科研单位对水声探测技术进行研究，也取得非常不错的成果。但是，总的来说，我国的海洋水声探测技术依旧处于初步阶段，与国外大部分海洋油气勘探方面非常成熟的公司所生产的设备相比，在性能在还是存在很大的差距。

## 1.4课题研究内容

本文研究开了一个基于ARM架构的NXP LS1024处理器的海洋油气勘探数据采集传输系统。该系统实现了水下声学数据的实时采集、稳定高速的远距离传输和各种逻辑业务处理；研究及设计的内容主要可分为以下几个方面：

1. 研发基于以太网修改的自定义传输协议

为了获取高清晰度的海底地质情况，需要增加海洋地震声波的采样，这无疑会增加整个系统数据传输的负担，传统的百兆以太网传输协议已经不能满足需求，而千兆以太网需要传输的链路是百兆以太网的两倍，不利于系统小型化，基于此本文研究设计了基于以太网修改的自定义数据传输协议，在不增加数据传输链路的前提下，加快数据传输熟虑，完美的负载了高密度的水下声学数据传输。

2. 实现处理器与FPGA之间的高速通信

海洋水声采样数据通过RS485串口传至LS1024A处理器，这些大量的水声采样数据需要从处理器传至FPGA，再由FPGA的SerDES接口发送出去。为了实现LS1024A处理器与FPGA之间的高速数据通信，同时降低采集传输系统在LS1024A处理器与FPGA数据传输上的耗时，本文使用了PCIe技术、DMA技术以及Linux编程技术，并结合GPIO中断的异步通信机制，设计了处理器与FPGA之间的高速传输接口。实现处理器与FPGA之间规范且高速的数据传输。

3. 设计故障诊断系统

海洋油气勘探系统工程庞大，数据采集传输节点数量非常多，交付后需要打三防、封装，不利于硬件调试，且芯片使用久后容易出现老化损坏。针对这些问题，本论文设计故障诊断系统定位故障芯片、接口（板内线路），方便了节点交付前期的调试及后期故障诊断，极大的节省了人力成本。

## 1.5本文组织结构

本文的组织结构安排如下：

第一章：绪论。主要论述了基于NXP ARM处理器的海洋油气勘探数据传输系统的研究背景及意义。阐述了海洋地震勘探技术在油气勘探领域的应用，国内外研究现状及本论文研究内容和组织结构。

第二章：相关技术介绍。本章首先介绍了嵌入式处理器的相关概述，然后介绍了基于ARM架构的NXP LS系列处理器以及本系统所运用的LS1024A处理器；最后介绍了高速数据传输PCIe接口技术、内存直接访问DMA技术。

第三章：系统总体结构。本章首先介绍了本系统的目标及总体指标，然后介绍了系统整体结构，并将系统整体结构分成三个子系统：船上系统、网关系统和采集传输系统分别进行介绍。

第四章：系统总体设计。本章首先描述了本系统所基于的硬件平台框架。然后介绍了系统软件的概要设计。包括系统的模块划分、每个模块的功能以及整个系统的软件业务流程。

第五章：系统软件详细设计。本章首先介绍了本系统总体的软件框架，讨论了该框架下各个模块之间的任务通信、数据传输方式、任务组织形式。然后详细介绍了自定义协议的具体通信机制，CPU与FPGA数据传输的具体实现以及故障诊断系统内容，最后对本系统进行性能及功能测试，给出测试结果。

第六章：总结与展望。对本论文所研究的工作进行总结评价，分析了系统优缺点。并对本系统的进一步优化进行展望。

# 2相关技术介绍

本论文研发的基于LS1024A的海洋油气勘探数据采集传输系统，使用嵌入式技术开发系统软件框架，使用PCIe接口技术和DMA技术实现处理器和FPGA之间的数据传输。本章将介绍本系统在整个研发过程当中所设计到的关键技术，包括嵌入式处理器，高速串行通信总线接口（PCIe）、内存直接访问技术（DMA）和循环冗余校验（CRC）。

## 2.1嵌入式处理器

嵌入式处理器是嵌入式系统的核心部件，掘不完全统计，目前全世界的嵌入式处理器品种已经有成千上万种之多。随着人工智能、物联网等行业的快速发展，人们对于嵌入式处理器的需求也不断增高，同时也对嵌入式处理器的运算能力、可扩充能力、系统稳定性、功耗和集成度等各方面提出了更高的要求，为了不断适应各方面需求，嵌入式处理器的体系结构也经历了指令集从复杂指令集运算（Complex Instruction Set Computing，CISC）、精简指令集运算（Reduced Instruction Set Computing，RISC）、显式并行指令集运算（Explicitly Parallel Instruction Computing，EPIC）、到超长指令字指令集运算（Very Long Instruction Word，VLIW）,位宽从4位、8位、16位、32位到64位；寻址空间从64kB到256MB甚至更大；运算速度从0.l MIPS到5000 MIPS甚至更快；常用封装从8个引脚到725个引脚甚至更多。另外，处理器的集成度进一步提高，并且功耗也有了明显的降低；。

### 2.1.1 嵌入式处理器概述

嵌入式处理器可以分为以下几类：嵌入式微处理器（Embedded Microprocessor Unit，EMPU），嵌入式微控制器（Microcontroller Unit，MCU），DSP处理器（Embedded Digital Signal Processor，EDSP）以及嵌入式片上系统（System on Chip）。

嵌入式处理器的基础是通用计算机中的CPU，专门设计在指定装配的电路板上，只保留与嵌入式应用有关的母板功能，但是电路板上必须包括总线接口、ROM、RAM、以及各种外接设备等。目前主要的嵌入式微处理器有X86、DSP、PowerPC、MIPS、ARM系列等。

一般情况嵌入式微处理器具备以下4个特点：

1、实时的多任务处理能力。能够完成实时多任务，并且具有较短的中断响应时间，从而使内部的代码和实时内核的执行时间减少到最低限度；

2、强大的存储区保护能力。由于嵌入式系统的软件结构已模块化，为了避免各软件模块之间出现非预期的交叉作用，必须设计功能强大的存储区保护机制，同时也有利于软件诊断；

3、可扩展的处理器架构。能够最迅速地开发出满足应用的最高性能的嵌入式微处理器；

4、较低的功耗。嵌入式微处理器大都用在便携式场景，比如无线设备，移动通信设备等需要靠电池供电的嵌入式系统，其需要的功耗只有毫瓦甚至微瓦级别。

### 2.1.2 Layerscape系列处理器

Layerscape架构是NXP公司基于ARM架构推出的新一代片上系统（System on Chip）的底层软件架构，旨在充分提取、开发现实条件，让程序员能够以非常轻松的方式高效地“释放”每一块芯片的性能。Layerscape架构延伸了目前多核芯片设计发展的趋势，以便让芯片性能最大化，同时，该架构也可提取足够复杂的硬件，使得软件开发变得更加灵巧、高效、可维护并且相对简洁。简而言之，Layerscape架构实现了手动编写汇编代码的高性能、高效率，高级语言的简易性和代码易维护性三者之间的平衡。

Layerscape内部架构框图如下所示：

图2.1：Layerscape架构内部框图

如图2.1所示，在Layerscape架构中，按照逻辑方式划分可将处理器划分为以下三层：最底层快递包输入/输出层（EPIL），中间层加速包处理层（APPL）和最顶层通用处理层（GPPL），分别粗略地代表了标准OSI模型的低、中和高层。

最底层快递包I/O层提供了具有决定性线速性能的支持L2+转换功能的所有网络接口，同时还包含了诸如Ethernet、Interlaken和RapidIO等网络数据包接口。虽然PCI Express并不属于网络接口，但由于其通常在堆栈中刀片之间的接口，，故将其概括在此处。至于其它一些重要但与此不相关的接口，比如USB接口或者SATA接口，不属于该接口层的组成部分，其被分至芯片系统接口（System Interface）模块，如图左侧所示。

中间层加速包处理层包含芯片的包处理元素，这些元素可通过定义规范明确的接口与传统处理器通信。它们有的是可编程引擎，有的是硬接线加速器，或者是二者的组合。通过传统同步的、顺序的、完整运行的模型，加速包处理层可提供客户自定义的附加值功能，并且可通过嵌入式C语言的结构化编程实现。

最顶层通用式处理器层属于通用性质层，面向用户/开发人员免费提供，可用于操作系统、高级语言代码、应用和其它附加值功能。与Layerscape架构提倡的效率和硬件独立性的价值观念保持一致。这一层可以同时支持ARM内核与Power Architecture。正如我们所知道的，ARM架构技术通常属于小端字节序（Little-Endian），而Power Architecture技术通常采用大端字节序（Big-Endian），但是Layerscape架构很完美地支持了这两种技术。

Layerscape架构结合了全世界普遍采用的模块化、高水平编程模型以及目前性能最强的通信处理器，使得无需进行高级别的硬件工程设计，便可轻松获得高级通信引擎。除此之外，更难能可贵的是它可以直接作为一代QorIQ LS系列处理器直接被其后继产品所取代而不用重新去学习每一个芯片的详细细节。具有清晰定义和界限的编程模型可以在芯片之间、代代之间保留下来，这并非是视硬件工程实现更新任务弃之不用，而是基于开发人员的工作构建产生。简而言之，Layerscape架构保留了团队在开发过程中最重要和最有价值的东西保留了下来：即它独具特色的软件。

### 2.1.3 LS1024A处理器

本论文研究的数据采集传输系统以LS1024A处理器为核心进行设计，LS1024A处理器以LS102MA为基础进行改进，具有非常高的处理能力，其I/O接口与飞思卡尔创新的多层总线架构相结合，可跨所有数据接口实现无阻塞的并发事务处理，从而最大限度地减少片上数据包处理延迟，优化了数据包的处理速度。另外，LS1024A利用ARM的高能效核心技术和飞思卡尔的低功耗设计流程，使其实现同类产品中最低的功耗。符合本论文研究系统的低功耗，小型化指标。

LS1024A处理器的架构图如图2.x所示。在LS1024A内部集成两个ARM Cortex A9内核器件，其主要性能特征如下：

* 精简指令集（Reduced Instruction Set Computing，RISC）体系结构；
* 单内核主频达到1.2GHz，共可提供高达6000 DMIPS的处理性能;
* 每个内核都有自己的高速缓存单元，包括32KB的高速指令缓存，32KB的数据缓存以及总共256KB的L2缓存;；
* 一个带宽高达533MHz的16/32位DDR3 SDRAM控制器；
* 一个高速串行外设接口（HS-SPI），带宽高达50MHz，2个从机选择；
* 一个低速串行外设接口（LS-SPI），带宽为16MHz，3个从机选择；
* 两个支持Gen1（2.5Gbps）和Gen2（5Gbps的）的PCIe接口；
* 三个可编程SerDES接口，最高带宽可达5Gbps；
* 64个通用输入输出接口（GPIO）；

图2.2：ARM LS1024A处理器结构框图

## 2.2 PCIe接口技术

PCI-Express（Peripheral Component Interconnect Express），官方简写为PCIe，是一个高速串行计算机总线标准，其原名为“3GIO”，是由Intel公司在2001年提出的，旨在替代老的PCI，PCI-X和AGP标准[]。PCIe是高速串行点对点双通道高带宽传输，连接PCIe两端接口设备分别独享通道带宽，不占用总线带宽，可支持端对端的可靠性传输。在2002年，PCIe交由PCI-SIG（PCI特殊兴趣组织）并由其拟定并发布了PCI-Express1.0标准，才正式改名为“PCI-Express”。在2003年，PCI-SIG发布PCI-Express 1.1标准，进一步对一些规范重新进行声明和定义。在2007年，PC1-Express 2.0标准发布，其中，X1模式的数据传输速率达到了500MB/s，比PCI-Express1.1标准数据传输熟虑提升了一倍。另外，X4模式的数据传输速率达到2GB/s，而最高的X32模式的数据传輪速率甚至能够达到16GB/s。目前最新的PCIe标准PC1-Express 3.0，其比特率为8Gbps，约为上一代标准带宽的两倍。并且增加了数据发射接收均衡、锁相环改善以及时钟数据恢复等一系列十分重要的功能，极大的改善了数据传输和保护性能。

既然PCIe总线标准支持如此高的传输带宽，如果直接使用CPU来负责整个PCIe的数据传输过程，CPU需要从来源把数据的每一个片段拷贝到暂存器，再写到新的地方，这必然导致整个系统的业务处理能力下降。再加上一般的嵌入式CPU主频普遍较低，这时如果再进行大数据传输，CPU的绝大部分资源将会浪费在数据传输上，以至于CPU没有空闲去执行系统的其它业务。通常在这种情况下，我们会选择PCIe专用的内存直接访问机制（Direct Memory Access）来进行实际的数据传输。

## 2.3 DMA技术

DMA（Direct Memory Access）是一种允许外接设备在不使用系统CPU的情况下直接访问系统内存的硬件机制。它允许不同速度的外设进行沟通，不需要依赖CPU的中断负载。CPU只需要对DMA控制器进行相应的配置，后续的传输动作本身由DMA控制器来执行和完成，这样的操作不仅没有增加CPU的工作拖延，反而可以将CPU腾出去执行其它任务，大大提高了系统的处理能力。

DMA的使用在带来高效数据传输的同时也导致了缓存一致性的问題。由于当前的CPU都带有缓存（cache），CPU直接读写cache的数据，而DMA访问的是外部内存中的数据。因此就会出现以下两种情况：

1．CPU读取超前：即当DMA更新完外部内存中的数据后，cache没有进行该数据的更新，导致CPU访问到cache中的旧数据；

2．DMA读取超前：即当CPU更新完cache的数据后，没有将该数据更新至外部内存，导致DMA访问到外部内存中的旧数据。

对于这个问題，一般有两种解决方法：

1．使用一致性内存（Coherent Memory）：由硬件来确保cache数据和外部内存数据的一致性。当DMA向外部内存写数据后，通知缓存控制器更新cache数据，防止CPU读取超前；当DMA向外部内存读数据前，通知缓存控制器将cache数据全部清空到外部内存中，防止DMA读取超前。

2．对于使用非一致性内存（non-coherent memory）的系统，通常使用软件控制的方式来解决。当CPU向cache读数据时，由软件确保cache中的数据是最新的，防止CPU读取超前；当DMA读外部内存中的数据时，由软件来确保外部内存中的数据是最新的，防止DMA读取超前。

## 2.4 CRC校验

嵌入式系统处理器与其外接设备之间、与上位机之间通过各种传输接口传输数据时，不可避免的会被各种噪声影响，导致传输数据出错的情况。为了提高系统的可靠性，需要对传输的数据进行差错控制。循环冗余校验（Cyclic Redundancy Check，CRC）以其简单的编码解码方法、高效的检错能力被广泛运用。

CRC循环冗余校验时一种线性分组码[3]，在控制一定冗余的前提下就具备较强的检错能力。含有CRC校验码的传输数据信息由信息码元和检验码元两部分构成，其中信息码元为当前数据包的原始数据，检验码元为软件通过CRC添加的拓展位，其结构如下图所示：

图2.3：具有CRC校验码的传输数据信息结构图

假设传输的n位信息码为，将这n位的信息码M的每一位看成多项式的系数，在这个多项式的后面添加k个0，其多项式展开为：，将此多项式当作被除式，选择一个k次的多项式当作除式，相除后可得商式和最高次为k-1的余式，即：





多项式相除采用模2除法，加减采用没有进位借位的模2运算，从形式上讲等同于异或运算，因此，相同的多项式相加或者相减都为0。在式2.2两边都加上余式，则有：



从式2.3可知，式2.3左边表达式为除式的整数倍，它正好是多项式往左移k位后附加余式的结果，该多项式的系数为，其中高位的n位为原始的信息码，即有效数据，低位的k位则为CRC检验码，发送端最终发送出去的信息为，接收端在接收到信息时，将的多项式展开式除以协议定好的除式，判断余数是否为0，如果余数为0，则可判定信息在传输过程中并未出现差错，否则即表示传输过程出错。

图2.3演示了一个CRC循环校验码的生成过程，被除数“10101010”对应的多项展开式为：，除数“10011”对应的多项展开式为：，即CRC-4-ITU，所得的R6即为CRC校验码。

图2.4：CRC校验生成示例

通过上述例子可以看出：

* 每次迭代Rx的首位决定Gx的值，如果Rx首位为1，则Gx为“10011”，否则为“0”，示例中略去Rx首位为0的情况，所以看到的Gx都为“10011”；
* 每次迭代Rx的首位都会被移除，这样就可以舍去G的最高为来运算；
* 每次迭代只对信息码的前x位有效，考虑构建一个x位的寄存器Reg。

综合上述三点，计算步骤可改为读取信息码的前x位到寄存器Reg中，抛弃首位，向左移，同时将信息的后一位移入寄存器Reg，如果抛弃的首位是1，则与舍去最高为的G异或，如果抛弃的首位是0，则与0异或，循环至信息最后一位移入寄存器，计算可得CRC校验码。

传统的校验函数按位移动信息码，每处理1字节的信息码时，需要进行8次以为操作，校验速度很慢，这在RAM资源紧张的嵌入式操作系统中是非常不合理的。于是便有了直接查表法。同样以被除数“10101010”，除数“10011”为例，将被除数按每个块4位数据划分，算上填0的4位，共被分成了3个块。

表2.1 被除数分块表

|  |  |  |  |
| --- | --- | --- | --- |
| M | Block 1 | Block 2 | Block 3 |
| 1010 | 1010 | 0000 |

下图展示了4次迭代步骤，浅色背景表示在寄存器Reg中的数据。

|  |  |  |
| --- | --- | --- |
|  | Block 1 | Block 2 |
| Reg  Reg’  G0 | 1010  ~~1~~010  001 | 1010  1010  **1000** |
| Reg  Reg’  G1 | ~~1~~011  ~~10~~11  00 | 0010  0010  **0000** |
| Reg  Reg’  G2 | ~~10~~11  ~~101~~0  0 | 0010  1010  **0110** |
| Reg  Reg’  G3 | ~~101~~0  ~~1010~~ | 1100  1010  **0011** |

图2.5 CRC比特型迭代计算流程图

经过4次迭代计算，Block 1的数据被移出，不去关心，重点关心4次迭代对Block 2的影响，注意表中加粗数字的变化。明显G0的末四位（加粗数字，下同）取决于Block 1的首位，G1的末四位取决于Block 1迭代一次后的第二位（也就是Block 1的第一位和第二位决定），同理G2、G3的末四位也是由Block 1决定。由此可以考虑通过Block 1的值预先算出一张表，共有个数，其内存放着不同Block 1数字经过4次迭代后的G’，通过其值即可立马算出下一个块Block 2的校验值，省去了大量的移位操作和除法运算，极大地提高了运算效率。

|  |  |  |
| --- | --- | --- |
| Reg  Reg’  G | Block 1 Block 2  Block 2 Block 3  G’ | 使用Block 1查表得G’ |
| Reg  Reg’  G | Block 2’ Block 3  Block 3 Block 4  G’ | 使用Block 2’查表得G’ |

图2.6 CRC查表法迭代计算流程图

## 2.5本章小结

本章针对基于LS1024A处理器的海洋油气勘探采集传输系统在研发过程中所设计到的关键技术做了简要的介绍。包括嵌入式处理器平台、高速串行接口技术PCIe、内存直接访问技术DMA和循环冗余校验CRC，为本系统的后续研发工作提供了一定的理论基础。

# **3 系统总体结构**

增加本章介绍内容大致说明，并指出本论文主要做哪部分

## 3.1 系统指标

海洋油气勘探水声探测系统（以下简称水声探测系统）的指标非常苛刻，这是由于水声探测系统的不易维修性和高运营费用所决定的。等浮拖缆硬件系统十分庞大，通常在水下作业时如果出现问题，需要将整条拖缆通过绞车收回至船上，并带至岸上维修，每一次维护都及其不方便；再加上勘探作业需要专用的船只，每一次出航作业所耗费的人力财力都在数十万级别。鉴于此，指定水声探测系统的指标必须兼顾以下几点：

1. 整体系统的可靠性

船只出海作业时，有时候可能会连续数月在海上进行勘探，再加上海上环境的不稳定性，时常会有较大风浪等外界因素，强可靠性的系统能够节省很多不必要的人力财力开销，同时也能够省去系统维护的工作量，在所有指标中，这点是重中之重；

1. 数据传输的稳定性、高速性

等浮拖缆的长度由几百米至数千米不等，一般情况下每一个传输节点在拖缆上的间隔都有几十米，同时为了能够更加清晰的还原声学信号，往往需要较大的采样率，大的采样率也意味着大的数据量，所以数据传输的高速性是也系统的一个重要指标。但是高速的传输一般会伴随着稳定性的降低，传输丢包，导致一部分信息没采集到，其带来的影响往往大于低采样率的影响。所以，应先保证数据传输稳定，再兼顾高速；

1. 数据采集的同步性

水声探测系统属于四维探测，保证所有的采集模块在相同时间采集水听器数据是数据最终能不能反应出真实地貌的先决条件。如果各个采集模块并不能同步的采集水听器数据，甚至偏差较大，那么采集的数据无疑是无效的；

1. 数据的采样率

为了能够更加清晰的还原水声数据，解析出更加真实的海底地质形态，必须具备非常高的数据采样率，同时，更高采样率的采样率也更能够捕捉到微弱的水声信号；

综合考虑以上4点，制定系统的总体指标如表3.1所示：

表3.1 海洋油气勘探水声探测系统指标

|  |  |
| --- | --- |
| 指标名 | 参数 |
| 节点数 | 80个 |
| 节点通道数 | 16 |
| 节点间距 | 50米 |
| 水听器间距 | 3.125米 |
| 节点尺寸 | 长度≤80mm，宽度≤16mm，高度≤9mm |
| 工作电压 | 6～15V |
| 节点功耗 | ≤3.5W |
| 采样频率 | 12K |
| ADC分辨率 | 16 |
| 系统增益 | 0-60Db，最小可调刻度6dB |
| 支线数据线 | ≤2根 |
| 干线数据线 | ≤4根 |
| 支线传输距离 | ≥50米 |
| 干线传输距离 | ≥90米 |
| 工作温度 | -10℃～50℃ |
| 存储温度 | -40℃～70℃ |
| 可承受最大静压力 | 4.5Mpa |

## 3.2 系统整体结构

水声探测系统的基本原理为：水下空气枪震源向海底发送地震声波，声波经过海底不同地质的反射至等浮拖缆监控区域，并由拖缆内部的水听器接收；接收的声波模拟信号被采集板以一定的采样频率采集转换成数字信号，声波数字信号经过一定的处理后经传输系统传至数据汇集系统（网关），并由网关系统对一定时间内拖缆上采集节点传输上来的数据进行整理，传输至上位机系统，上位机系统对接收到的数据进行实时的显示、存储。最后将探测的数据经过相关算法及定位解析反演出所勘探海域地形地貌图。

水声探测系统的整体系统框图如下图3.1所示。从图3.1可知，整个水声探测系统大致可分为上位机系统、数据汇聚系统和采集传输系统三个部分。上位机系统为显示控制工作站，主要用于实现人机交互和采集数据的实时显示与存储。数据汇聚系统主要起到对水下采集数据的汇聚整理功能，并实现协议的逆转换，通过以太网将整理后的数据传输至上位机；采集传输系统为整个水声探测系统的核心，等浮拖缆内包含均匀分布的水听器，以及封装在水密性电子舱内的数据采集模块，每个数据采集模块之间通过双绞线实现数据、命令的传输，以及采样时钟的同步。

图3.1：系统整体结构框图（图片改用黑色，并用红色虚线框突出自己做的部分）

### 3.2.1 上位机系统

上位机系统是水声探测系统的船上部分，是人机交互的核心。从功能上讲，可以将上位机系统划分为两个部分：一部分负责数据接收、显示及记录的录取平台；另一部分为控制系统。其结构框图如下图3.2所示：

图3.2：上位机系统示意图

上位机系统主要需要实现以下功能：

* 实现人机交互，接收来自操作人员的命令信息，向水下发送命令流，通过网关系统同步分发至水下数据采集系统，控制系统工作状态（采集/停止采集、增益等）；
* 接收来自数据汇聚系统的海洋地震波数据，将接收到的数据存储至系统磁盘中，并对接收的海洋地震数据进行实时的显示或者部分显示；
* 震源控制系统，实时控制震源发出地震波；
* 导航控制系统，明确每一部分地震数据来源；
* 水鸟控制系统，实时控制等浮拖缆在海洋的深度。

除上述几点主要功能外，上位机系统还具备磁盘数据回放、日期信息显示、震源炮号记录显示、清晰的帮助文档等简易后期操作的辅助功能。

### 3.2.2 数据汇聚系统

数据汇聚系统负责采集水下采集传输系统的数据接收、预处理、打包整理和传输至上位机系统。因此，数据汇聚系统的性能直接影响到整个水声探测系统的性能。如果数据汇聚系统的设计不合理，将导致系统的性能不足，使其带宽不能负载采集传输系统上传的数据量，导致系统瘫痪。

数据汇聚系统内部按功能划分主要可分为5个模块，分别为命令管理模块、数据处理模块、水下数据/命令收发模块、超时控制模块和水上数据收发模块。其模块关系图如下图3.3所示。

图3.3 数据汇聚系统内部模块结构图

命令管理模块：主要负责转发上位机参数配置和水下系统工作状态控制等命令，接收水下系统的命令回应给上位机。同时向数据处理模块发送相关控制信息。

数据处理模块：按照需求定义将数据收发模块接收到的数据整理成一定格式，并响应超时控制模块信息，如果发现丢包情况则做填0处理；

水下数据/命令收发模块：接收等浮拖缆内采集传输系统上传的海洋地震数据，完成数据接收的同步，在开始接收时，通知触发控制器开始计时，结束时触发信号通知数据处理模块开始整理，并按照自定义协议解析出采样的数据，发送给数据处理模块。

超时控制模块：计时每个数据接收周期，如果发现接收超时的情况，则发送触发信息通知数据处理模块未收到指定标签的数据包；

水上数据收发模块：将整理完成的海洋地震数据，通过以太网发送至上位机系统；

### 3.2.3 采集传输系统

采集传输系统，也叫水下系统。主要包括在等浮拖缆内等间隔分布的采集传输节点和水听器。水听器是一种声学传感器，负责接收海洋声学模拟信号；采集传输节点由采集模板和传输板组成，采集板负责采集水听器获取的模拟信号，进行信号调理和数模转换后，将数字信号传输给传输板，由传输板整理后形成传输码流。采集传输节点采用级联方式的物理链路分布在拖缆中。

作为水声探测系统的模拟前端，采集板性能的好坏直接决定了采集数据的质量和可靠性。其构成主要包括滤波模块、增益模块和模数转换模块。滤波模块主要负责滤除海底的高频噪声，提高数据信噪比；放大模块可放大微弱的声学信号，使模拟数据在采样后不至于失真；模数转换模块按照一定的采样频率，对滤波放大后的模拟信号进行采集，ADC的采样基准时钟来自于主节点产生的高精度的板间同步时钟以及自身的锁相环，转换成数字信号发送给传输板。由此可见，采样频率的高低将直接影响到数据的精确性。为了获得更加清晰的地震声波数据，本论文研究设计的系统采样频率由最初的6kHz提升为12kHz。

在数据传输方面，本系统的传输通道可分为上行通道和下行通道两个部分，上行通道主要用来实现水声数据、状态信息、命令响应的逐级上传，下行通道的主要任务则是传递水上系统下达的命令信息。由于数据传输距离与传输的带宽基本成反比关系，综合考虑总线型拓扑结构、星型拓扑结构、环形拓扑结构和混合型拓扑结构，本系统采用由环形拓扑结构演变而来的级联式拓扑结构，每一个采集传输节点在采集发送自己的数据包的同时，也充当来自其它节点数据包的中继，这样即可实现数据的高速传输，又兼顾了传输距离。

另外，为了增加传输系统的稳定性，本系统引入了双环路传输机制，即对采样的数据进行奇偶划分，奇数标签的数据包往左传输，偶数标签的数据包往右传输，最后由数据汇聚系统进行统一整理。如果发送一遍链路中断的情况，则系统自动改变成所有数据往另一边链路传输至数据汇聚系统。

本采集传输系统的拓扑结构如下图所示：

图3.4 采集传输系统拓扑结构图

综上，本采集传输系统的工作流程如下：水听器通过测量由于声波能量变化引起的声学传感器形变获取信号幅值，产生水声模拟信号；数据采集板对水听器采集的水声模拟信号进行过滤、放大以及按照一定频率进行AD采样后，转换成水声数字信号传输给传输板。传输板在通过传输系统下行通道接收到来自上位机的开始采样命令时，打开传输接口RS485，获取地震声波数字信号，并对数据进行整理，贴标签，并根据标签号，链路通断情况，将数据包发出，上传至数据汇聚系统，最后由数据汇聚系统完成所有节点的数据整理，传输至上位机进行实时显示及存储记录等操作。

根据本水声探测系统指标，本水声探测系统应该具有80个采集传输节点，每个节点16个通道，也就是总共需要1280个水听器，同时根据指标要求，采样频率为更高的12KHz，且每个通道必须使用16位的模数转换器。由此可计算本水声探测系统至少需要的传输带宽为：



如式3.x所示，随着水声探测系统采样频率的增加及系统规模的扩大（采集传输节点个数增加伴随的水听器规模快速增长），导致水声探测系统的数据量数倍增长，由原先的数十兆比特每秒的数量级已经变为如今的最低带宽245.76Mbps，已经远远超过百兆以太网的极限，如果使用千兆以太网，数据传输链路将会增大一倍，不利于系统的小型化。且由于之前的系统已经按照以太网设计，所有的业务逻辑，命令格式都已经按照以太网协议设计，重新设计一套包含采集、传输和所有业务逻辑规则的水声探测系统任务量太过庞大，且不利于系统的稳定，工程上最怕的就是失控。鉴于此，本论文提出并设计了一种基于以太网修改的自定义传输协议，在所有涉及IP协议层以上的逻辑不变的前提下，自主研发数据链路层通信协议，结合FPGA的SerDES接口，设计并实现数据链路数及顶层业务逻辑不变的前提下，满足本系统传输熟虑指标的通信传输协议。

另外，为了更加完善的达成系统指标，本论文还提出并设计了系统诊断模块，为系统的前期调试和后期维护，节省了大量的人力财力成本。

## 3.3 本章小结

本章首先重点介绍了本论文研究的海洋油气勘探水声探测系统的具体系统指标。其次概要地介绍了整个水声探测系统的具体框架，然后将整个系统分成上位机系统、数据汇聚系统和采集传输系统三个部分进行了说明，为后续章节研究提供了整体框架，并更具指标要求引出本论文研究核心：自定义协议及系统诊断模块。

# **4 系统总体设计（区分子系统，可参考改为采集传输系统总体设计）**

海洋油气勘探水声探测系统采集传输子系统基于LS1024A处理器为核心的硬件平台，主要由主端处理器模块和从端FPGA模块两部分，主端处理器模块承担了大部分系统功能，包括声学数据采集、数据处理、数据编码和数据存储，从端FPGA模块主要负责接收主端处理器整理好的声学数据并将其按照标签号发送出去，以及将从上一级节点发送过来的数据包转发至下一级节点。主端处理器与从端FPGA之间通过PCIe实现数据的传输，共同实现采集传输系统的数据采集、处理、编码、存储、发送和转发功能。本章将从系统的硬件结构和软件结构两个方面对系统进行总体设计。

## 4.1 硬件总体设计

水声探测采集传输子系统是基于NXP公司推出的LS1024A处理器设计，其硬件系统总体设计框架如下图所示：

图4.1：采集传输子系统硬件总体设计框架（字太小）

数据采集传输系统节点主要实现接收前端模块数据并对其按照自定义协议进行整理和上传。节点以NXP公司推出的高性能嵌入式处理器LS1024A为核心。LS1024A利用ARM的高能效核心技术和飞思卡尔的低功耗设计流程，是目前同类产品中功耗最低的嵌入式处理器，集成了两个ARM Cortex A9内核器件，单内核主频达到1.2GHz，共可提供高达6000 DMIPS的处理性能；

系统扩展128Mb SPI Flash闪存存放系统的启动镜像和512Mb DDR3内存作为系统的运行内存；通过Xilinx公司的Artix-7系列FPGA设计基于FPGA的启动配置模块控制系统启动；通过RS485接口接收采集的数字声波数据；通过PCIe x1接口实现与FPGA的数据通信；通过GPIO口进行中断响应，实现与FPGA的异步通信；通过MAX232设计RS232串行通信接口用于系统调试；通过外接50M晶振结合内部PLL锁相环产生系统时钟；通过JTAG口用于烧写处理器程序。

FPGA外接串行器DS92LV1021A、解串器DS92LV1212A、驱动芯片CLC001，均衡器LMH0074。发送模块由串行器和驱动芯片组成，串行器将并行数据解析为差分信号，并通过驱动芯片提升长线传输的驱动能力；接收模块由均衡器和解串器组成，传输进来的差分信号经过均衡器均衡后发送至解串器恢复成并行数据，输入到FPGA中进行处理。

## 4.2 软件总体设计

水声探测采集传输子系统软件总体设计主要可分为软件结构设计和外部接口设计。结构设计将系统按照功能大致划分为三个层级单元进行分别介绍，外部接口设计主要针对节点和汇聚模块的通信协议进行概要的介绍。

### 4.2.1 结构设计

海洋油气勘探水声探测系统软件为尽可能的降低系统功耗，自主设计boot引导程序启动，整个软件系统的模块结构如图4.2所示：

图4.2：采集传输子系统软件总体设计框架

如图4.2所示，采集传输系统软件层级结构主要可划分为三层，包括最底层Boot启动单元，第二层系统初始化单元和第三层系统应用单元。其中第二层系统初始化单元包括初始化系统参数、中断注册、串口驱动、DDR驱动、FLASH驱动、PCIe驱动、DMA驱动和网络驱动，第三层系统应用单元结合功能及模块化思想，划分为命令接收模块、命令处理模块、数据采集与发送模块和诊断模块四个模块。各单元的功能及设计决策如下：

Boot启动单元为整个程序最开始阶段，其功能为从FLASH闪存中读取系统代码，通过DMA方式拷贝到DDR中运行起来，最后跳转程序指针到高级语言C的main入口处，开始执行C部分程序代码。其相关描述及设计决策如表1所示：

表1 BOOT启动单元（表格字体统一，都为宋体）

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | BOOT启动单元 | **标识** | JD\_BOOT |
| **用途** | 引导程序启动，初始化节点DDR等硬件环境。 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 可进行代码在线更新，根据情况选择从哪份代码运行 | | 需将代码备份在flash中，保证掉电不丢失。 | |

系统初始化单元主要完成系统应用运行前的一些列初始化操作，包括系统参数、中断注册、DDR驱动、FLASH驱动、串口驱动、PCIe驱动、DMA驱动和网络驱动，其相关信息描述及设计决策如表2所示：

表2 系统初始化单元

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 系统初始化模块 | **标识** | JD\_CSH |
| **用途** | 进行节点的参数配置，注册中断处理函数以及初始化FLASH、DDR、串口等驱动设备 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 进行节点ID及IP等参数配置、完成驱动设备的初始化 | | 初始化的系统参数需保存在flash中，保证掉电参数仍有效 | |

系统初始化单元各项内容说明如下：

* 系统参数

在水声探测系统中，每个节点都应必须由自己唯一的身份证明（ID），以确认上位机收到的每个数据包由那个节点采集，这对数据的定位至关重要，除此之外，每一个节点还具备IP地址、硬件MAC地质等固定信息。初始化系统单数的作用就是要在程序启动后未进入应用层前完成这些固定参数的初始化操作，并将每个固定参数保存至FLASH闪存中，使其数据断电后不丢失。

* 中断注册

处理器与FPGA之间的数据传输时序控制由GPIO口实现，处理器需事先将相关的GPIO引脚通过中断注册函数注册到中断服务程序中，当检测到I/O中断shi ，触发执行中断处理程序。除了GPIO外，串口也需要注册中断服务程序。

* DDR驱动

配置DDR控制器的相关寄存器，实现处理器与DDR之间的数据交互；

* FLASH驱动

配置SPI接口控制器的相关寄存器，实现处理器与SPI FLASH之间的数据交互，用于保存一些系统的固定参数；

* 串口驱动

串口的主要功能是为了实现处理器对AD数据的接收（RS485）以及后期的调试（RS232），RS485的波特率应配置为12800，RS232波特率配置为9600；

* PCIe驱动

配置PCIe控制器，实现处理器与FPGA之间的数据传输。当系统触发GPIO中断时，根据中断触发引脚的不同，中断服务程序通过PCIe接口向FPGA的双口RAM中交替发送声波数据。

* DMA驱动

配置DMA控制器，实现处理器与FPGA之间数据的直接搬运，使处理器只需进行搬运前期的配置，搬运过程中不需参与。减少系统延时。

* 网络驱动

设计以太网网络层以上协议不改的前提下自定义数据链路层协议，实现网络通信，传输速率至少达到300Mbps以上。

系统应用单元的任务是实现一套完成的采集传输系统业务逻辑，所有业务逻辑按功能划分可分为命令接收模块、命令处理模块、数据采集传输模块和诊断模块，其相关描述和设计决策如表3所示：

表3 系统应用单元

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | 系统应用单元 | **标识** | JD\_WLQD |
| **用途** | 接收传输链路上的命令，分析处理发往本地的命令，采集传输声波数据，诊断芯片、接口故障 | | |
| **设计决策** | | | |
| **设计需求** | | **设计约束** | |
| 实现一套完整的顶层业务逻辑，包括响应命令、采集传输数据和诊断故障 | | 命令的接收处理及回应需在1秒内；  以2ms一个节拍发送数据包 | |

系统应用单元各模块功能如下：

* 命令接收模块

接收传输链路上传的命令，判断命令是否发往本节点，如果是，则命令有效，将命令散转到命令处理过程中，且命令的接收处理及回应需在1秒内。如果不是，则丢弃。

* 命令处理模块

针对不同的命令，进行相应的处理，并发送回应。命令的处理及回应需在1秒内。

* 数据采集与发送模块

将水声数据通过RS4855搬运到处理器中，响应外部2ms一个节拍的中断，将水声数据或者处理器自行产生的自检数据进行打包后通过PCIe接口发送到FPGA，最终由FPGA传输至数据汇聚系统。

* 诊断模块

根据上位机命令实现节点内串口（RS232,RS485）、网络、处理器与SPI Flash、处理器与DDR以及处理器与FPGA共五个方面的通信检测，并反馈结果给上位机。

### 4.2.2 外部接口设计

采集传输子系统与数据汇聚子系统之间通过自定义的接口协议互相传输数据和信息。清晰的协议接口能够节省系统不必要的开销，提高整个系统的性能；灵活的协议接口设计能够使系统在前期开发和后期维护中，具有很大的扩展空间；同时，在外部协议接口加入适当的检验码纠错还能够增加系统的可靠性。因此，采集传输子系统的自定义协议外部接口设计相当重要。

采集传输子系统外部接口可理解为OSI模型中的数据链路层接口，主要实现采集传输节点与数据汇聚系统之间的网络通信，其协议帧格式为网络监听帧头SAV配上数据包DATA形式，协议具体结构如图4.3所示：

图4.3：底层外部接口结构图

数据包的检测通过SAV来识别，SAV的固定构成为{6’h2A,6’h2A,6’h2A,6’h2B}，大小为4\*6bits，当检测到SAV后立刻获取数据包主体。

数据包中包含数据包头HEAD、包头CRC校验、真实传输的有效数据DATA以及有效数据的CRC校验。包头HEAD长度为11字节，包括目的地质IP、源地址IP、有效数据长度、数据包传输方向、端口、作用类型以及2字节的数据保留位。

有效数据DATA可以为真实采样的水声数据、上位机下发的命令数据或者采集传输节点的命令回应信息等。

## 4.3 本章小结

本章从硬件和软件两个方面对基于ARM的海洋油气勘探水深探测系统进行了总体设计。硬件系统主要包括一个LS1024处理器和一个FPGA，两个芯片之间通过PCIe与GPIO中断接口实现数据传输。软件系统由三个单元组成，包括BOOT启动单元、系统初始化单元和系统应用单元，并大致介绍了各系统单元的功能及其内部结构。最后介绍了采集传输系统的外部接口，给出了协议帧的具体框架并做简要介绍。

# **采集传输系统软件实现**

在本文研发的基于ARM的海洋油气勘探采集传输系统软件中，由自主研发的通信协议确定外部接口，由PCIe实现CPU与FPGA之间的高速数据传输，由命令接收模块、命令处理模块实现节点与上位机的命令交互，由数据采集发送模块实现声波数据的上传，由板内诊断模块和链路诊断模块协同完成诊断系统。整个节点软件基于自主研发的系统框架研发。本章将首先介绍采集传输系统的外部接口，然后描述系统的主线流程，再详细介绍主线流程下各个模块，论述命令交互、采集传输和故障诊断功能的具体实现。

## 5.1 外部接口

本论文研究设计的采集传输系统针对传输速率指标及小型化指标专门设计了清晰、灵活、可靠性强的外部接口，并基于该外部接口研发了采集传输系统的软件实现及故障维护。外部接口在整个水声探测系统中的作用范围如图5.1红色虚线框所示：

图5.1 节点、网关、上位机通信方式概要图

从图中可知，外部传输接口的作用范围主要集中在采集传输节点与网关的通信上，网关可向采集传输节点发送广播和单播命令，采集传输节点向网关回应命令及上传采集数据，都采用自定义的通信协议。网关在接收到节点或者上位机的通信信息时，对协议进行一个交替转换后再转发给上位机或者节点，除此之外，对命令的内容和数据的转发几乎是透明的，主要业务逻辑集中在采集传输节点上实现。因此，采集传输节点的外部接口是否设计合理至关重要。

整个外部接口可总体概括为传输协议、命令协议、数据协议、处理器与FPGA之间的交互协议以及CRC可靠性验证五个模块，下面将逐个进行介绍。

### 5.1.1 传输协议

传输协议定义了上下行链路通信的帧格式，为实现数据的监听、接收、转发和验证提供系统规范，其具体格式如图5.1所示。

图5.1 外部接口传输协议结构图

传输协议帧格式为网络监听帧头SAV配上数据包DATA的形式，数据包的检测通过网络监听帧头SAV来识别，SAV的固定构成为{8’AA,8’hAA，8’hAB}，大小为3\*8bits，当检测到SAV后，FPGA通过FIFO或者RAM缓存得到一个包的数据，再对包头目的地址进行判断，若目的地址是本地地址则将数据缓存到用以存放本地数据的ram中，若目的地址不是本地地址，则将数据缓存在存放转发数据的ram中。监听处理流程如图5.2所示：

图5.2：数据包监听处理流程图

数据包主体由头部和数据两部分组成。头部主要包含传输协议的交互信息；数据部分则是网络包的主要内容，分为控制命令和实际采集数据，其长度不确定。头部大小为12Bytes，包括2Bytes的目的IP地址，2Bytes的源IP地址，2Bytes的长度信息，1Byte的方向信息，1Byte的端口信息，1Byte的功能选择信息，2Bytes的保留字节以及1Byte的头部CRC校验码。

IP内容主要区分广播包与IP指定包。广播包统一格式为255.255，IP指定包第1个字节固定为192，第二个字节确定节点地址。当接收到目的IP地址为255.255时，接收并转发给处理器，当检验到目的地址为192.xxx时，与本地地址进行校对，若向同，转发给处理器，若不同则转发给下一个节点；若目的地址为其它格式，则直接丢弃。

IP信息定义表参照如表5.1所示：

表5.1 IP信息定义表

|  |  |
| --- | --- |
| 具体意义 | IP(2Bytes) |
| 广播包 | 255.255 |
| IP指定包 | 192.XXX(0 - ?) |

Length中携带了后面Data部分的整体数据长度（不包括Data后面的CRC部分），根据系统指标可得出最大数据包大小为Bytes，故Length的长度取2Bytes。其中2代表2毫秒，数据包每两毫秒传输一次，12代表采样率12kHz，16代表声通道数，24代表分辨率，除以8换算成字节单位。

Direction内容确定硬件上双环路的数据包传输方向，数据包在默认情况下，左右交替发送数据包，当一边链路故障时，不交替发送，所有的数据包都从链路正常的一端发送。内容解析如表5.2所示：

表5.2 Direction字节定义信息表

|  |  |
| --- | --- |
| 具体意义 | Direction(1Byte) |
| 左向 | 0x01 |
| 右向 | 0x02 |
| 双向 | 0x03 |

Port中的内容用于软件内容的判断逻辑。功能选择信息主要用来指示该数据包用于实现的功能，主要分为数据包发送端口、命令包接收及响应端口、调试信息上报端口、诊断描述端口和延时测量等。默认设置为数据包，其具体值与相应的功能对应如表5.3所示：

表5.3 Port字节定义信息表

|  |  |
| --- | --- |
| 具体意义 | Function Select(1Byte) |
| 数据包发送端口 | 0x00 |
| 命令包接收及响应端口 | 0x01 |
| 调试信息上报端口 | 0x02 |
| 诊断模式端口 | 0x03 |
| 延迟测量端口 | 0x10 |
| 时钟切换端口 | 0x11 |

保留字节2Bytes，均默认置1。当功能选择为时钟频率切换时，该保留字节代表将要切换的频率。

### 5.1.2 命令协议

命令协议定义了采集传输节点与上位机之间的命令交互，为实现命令接收、命令处理和命令响应提供系统规范，其具体格式如图5.3所示。

图5.3：外部接口命令协议结构图

命令包主体存在于数据包的DATA，以端口号区分DATA中是数据包还是命令包，为增加系统灵活性，命令包大小不固定，根据其附加通信数据Payload的不同而变化，除附加通信数据外，其通信格式主要包括版本号Version、命令序列号Sequence、命令大类Type、命令内容Context、命令长度Length、掩码Mask和预留位Reserve。

版本号Version：用于保存每次采集传输节点代码更新记录，以便于后期维护管理。

命令序列号Sequence：上位机每向节点发送一次命令，序列号Sequence递增1，节点在进入命令处理前线对序列号进行判断是不是最新序列号，以防止相同命令被处理多次。序列号溢出则从0开始。

命令大类Type：结构清晰，层次感分明的代码往往更便于开发设计及后期维护，随着后期系统需求的增加，节点需要实现的功能更加智能化，后期需要增加的命令肯定也会越来越多，鉴于此，本系统将命令划分为两个层级，提取大类，目前主要分为常规命令类、信息提取类、代码更新类和调试命令类四大类。

命令内容Context：命令内容为上位机具体需要实现的功能，结合命令大类Type共同实现跳转至命令处理函数。

命令长度Length：存放命令包的整体长度；

掩码Mask：Mask长度达14字节，其作用为再次验证命令包是发送至本采集传输节点。14个字节共112个比特位，通过判定Mask对应ID号位的比特位是否为1进行判断，如果是，则判定该命令包是传输至本节点，如果为0，则丢弃。因此，如果Mask全为1，可得知其为广播包。

保留位Reserve用于后期功能拓展；

附加通信数据Payload：附加通信数据一般用于存放节点回应信息的一些数据，例如命令处理成功、命令处理失败、命令异常等。另外，payload还可用于存放调试信息。

### 5.1.3 数据协议

数据协议定义了采集传输节点与数据汇聚系统之间的数据交互，为数据汇聚系统进行所有节点采集的声波数据整提供系统规范，其具体格式如图5.4所示。

图5.4：外部接口数据协议结构图

数据协议定义了采样数据在DATA中的存放格式，便于数据汇聚模块进行打包整理时抽取。其主题由节点号ID、时间标签号timetag和采样数据实体组成。

时间标签号timetag大小为1字节，每个数据包递增，系统根据这个标签号的奇偶性确定发送方向，奇数标签向左发送数据包，偶数标签向右发送数据包；

采样数据sample data中存放了2ms的采样数据，由于采样时钟为12KHz，所以2毫秒一共采样了24次，每次共有16个通道的数据，每个通道的分辨率为24位，因此，一个数据包的采样数据大小为字节。

### 5.1.4 CPU与FPGA交互协议

CPU与FPGA交互的具体实现是在节点板内，但此处讨论主要针对此两者协议上的交互，因协议上的交互最终也是为了配合外部接口，故将其划分至外部接口描述，其数据交互具体实现的驱动设计，将在后续小节作详细讨论。

CPU与FPGA交互协议讨论的要点为为什么数据包在FPGA接收后需要转发给CPU以及什么数据包在FPGA接收后不需要转发给CPU，而是自己进行相关处理后直接转发至下一节点。数据包类型主要分为2种，一种是采样数据包，另一种是功能包。采样数据包包括自身采样数据包和转发自上一节点的采样数据包；功能包主要实现水上系统的命令，包括开始/停止采样、时钟切换、延迟测量等功能。FPGA实现对数据包头部的解析以及CRC检验。根据解析结果，FPGA将数据包发送至相应模块进行后续处理。除自身采样数据包外，FPGA在收到数据包时都首先对数据包包头进行检验，再做后续处理。

* 自身采样数据包

若数据包为自身采样数据包，FPGA通过中断的形式通知CPU来取采样数据，CPU通过PCIe接口从FPGA的双口RAM读取采样数据，进行相应处理后再通过PCIe总线发送至FPGA，FPGA根据包头信息产生包头CRC校验码，再转发至下一个节点。

* 转发采样数据包

若数据包为转发采样数据包，FPGA在判断目的地址后便可得知，直接将其转发至下一个节点。

* 为延迟测量包

若数据包为延迟测量包，延迟测量包由网关发出并统计，对于延迟测量包，只有数据包头部，数据长度为0，FPGA若判定该数据包为延迟测量包，再判断该延迟测量包目的地址是否本地地址，若是则将源地址填充为本地地址，目的地址改为网关地址，并根据包头信息产生包头CRC校验码，从同向端口回包；若不同，则转发至下一个节点。网关统计每个节点的延迟值后给每个节点发延迟配置命令包，数据内容是节点的延迟值。节点同样判断该延迟配置包地址是否与本地地址匹配，若是，则获取该延迟值，并做延迟逻辑（延迟逻辑的实现通过节点的同步时钟计数实现，每个节点按照延迟值的大小先后给将同步时钟发给AD采样的主时钟），否则转发给下一个节点。

* 时钟切换数据包

若数据包为时钟切换数据包，对于时钟切换数据包，其数据部分包含每个节点地址以及相应的延迟值。FPGA若判定该数据包为时钟切换数据包，应通过PCIe发送模块将该数据包发送至CPU，由CPU去做数据部分的CRC32校验并获取相应的延迟值。CRC32校验成功之后再由CPU通过PCIe总线将数据发送至FPGA，FPGA根据包头信息产生包头CRC校验码，再转发至下一个节点。

* 其余功能包

若数据包为其余功能包，FPGA在检验包头判定为发往本地时，将该数据包通过PCIe发送模块发送至CPU，由CPU去做数据部分的CRC32校验，检验成功并处理后，再由CPU通过PCIe总线将数据发送至FPGA，FPGA根据包头信息产生包头CRC校验码，转发至下一个节点。

### 5.1.5 CRC校验实现

本系统研发的传输协议按照数据包信息的功能分别对数据包包头和数据部分进行CRC校验。对于包头部分，由单独的CRC校验码对包头进行单独的CRC校验。包头CRC校验采用CRC-8校验方式，因此包头CRC长度为1Byte。

数据部分则是网络包的主要内容，分为控制命令和实际采集数据，其长度不确定，但长度信息可以通过包头的Length值得到，同样，数据部分也有单独的CRC校验码用来进行数据部分的CRC单独校验。数据部分的CRC校验采用CRC-32校验方式，因此数据部分的CRC长度为4Bytes。本系统CRC校验流程图如图5.5所示：

图5.x：CRC校验流程图

当系统监听到数据包时，首先对接收到的数据包的包头CRC进行检验，如果解析不通过，则丢弃该数据包继续监听。如果检验通过，则解析数据包包头，判定是否发往本节点，如果不是则转发，如果是，则转发给处理器，处理器在接收到数据包时，首先检验数据包的CRC，如果检验不通过，则丢弃该数据包，继续监听，如果通过，转入命令处理等模块，处理完成后生成回应码以及对应的数据包CRC，发送给FPGA，FPGA根据包头信息及CRC校验码生成规则，生成包头校验码填充至协议数据帧，转发至下一节点。

如果在监听数据帧时发生中断，生成采集数据包，则针对采集数据包产生CRC校验码，发送给FPGA，FPGA根据包头信息及CRC校验码生成规则，生成包头校验码填充至协议数据帧，转发至下一节点。

传统的比特型校验函数每处理1字节的信息码时，需要进行8次以为操作，校验速度很慢，这在RAM资源紧张的嵌入式操作系统中是非常不合理的。因此，本论文采用查表法的方式实现CRC校验。首先通过外部代码计算得出CRC32码码表存入数组crc32\_table[256]中，此后在待校验的字节序列表中的每一个字节参与校验时，将其与前一个CRC校验码异或，再以该异或值为码表索引获得当前CRC校验码。

查表法的方式实现了从比特位到字节位的扩展，从原理上来讲大约能省去87.5%的计算量，相当于7倍的速度提升。经大量的样本测试，CPU利用传统方式对10KB数据进行CRC校验时所消耗的时间大约为22ms，利用查表法方式校验10KB的数据所耗费的时间大约为3ms。所以用查表法的方式可以大大提高校验速率，进而在提高系统可靠性时又尽可能地保证了数据传输不受影响。

图5.6：CRC校验的比特型方法和查表法性能对比图

## 5.2 系统主线

外部接口设计了数据包在外部链路上的传输协议，本节开始将主要介绍节点内部的软件实现，首先从软件主线流程开始讲起，其次分别介绍各功能的具体实现。软件系统主线流程框图如图5.7所示：

图5.7 软件系统主线流程图

采集传输节点在系统上电后，首先运行boot引导程序启动，将系统代码通过DMA从Flash闪存搬运至DDR SDRAM内存，搬运完成后跳转指针，运行系统程序。系统程序启动后，首先进行初始化操作，配置PLL锁相环设置系统工作时钟频率，初始化串口、PCIe等驱动，注册中断处理函数以及配置节点默认参数，完成这些操作后进入命令接收循环。如果收到网络命令，首先判断命令是否有效（是否发往本节点、命令序列号对不对等），如果无效，则发送回应，如果有效，继续判断当前该命令是否为进入诊断模式命令（因当要对系统进行诊断时，不希望发生中断请求，所以对诊断命令单独设置一个系统工作模式——诊断模式），如果是进入诊断模式命令，关闭系统中断，进入诊断模式，否则继续判定其是否为退出诊断模式命令，是则开中断，进入常规模式，否则进入命令处理阶段。诊断命令只能在诊断模式下响应，常规命令只能在常规模式下响应。

## 5.3 命令交互

采集传输节点命令交互的直接对象为网关系统，但是由于网关系统在整个水声探测系统中主要起到中转作用，对命令信息几乎是透明的。因此，节点命令交互的对象实质上就是上位机，命令交互示意图如下图所示：

图5.x 上位机、网关、节点命令交互示意图

如上图所示，网关在接收到上位机命令时不去关注命令的具体内容，直接转发给节点，但其在转发出去后不管节点是否有回应，都会向上位机回应一个转发成功命令，以保证上位机与网关直接通信正常，如果节点异常未回应，也可直接定位异常部位发生在网关与节点之间。节点正常回应后，网关通过协议解析转换为以太网数据包转发给上位机。

节点与上位机的命令交互按照功能可细分为命令接收模块、命令处理模块两个方面，下面将逐个进行介绍。

### 5.3.1 命令接收模块

命令接收模块的首要功能为当接收到网络数据包时，对网络数据包进行判断其是否为发往本节点的数据包，其次，判定命令的格式是否符合要求，如是否为协议内定义的命令，是否命令重发，已经处理国该命令等。

命令接收模块的逻辑流程图如图5.x所示：

图5.x 命令接收模块逻辑流程图

如上图所示，命令接收模块在收到数据包时，首先对协议栈进行解析，通过IP地址判断该数据包是否为发送至本节点的数据包，如果不是，则直接丢弃，无回应。如果是发往本节点的数据包，则解析命令格式的公共头部，判断命令格式是否正确，是否出现命令多处理，命令不匹配等情况，如果命令格式不正确，则发送格式不正确系列回应，如果命令格式正确，则调用命令处理模块进入命令处理流程。

### 5.3.2 命令处理模块

当命令数据包通过命令接收模块的各式规则校验后，进入命令处理模块，命令处理模块的首要功能就是解析并响应各种命令，其具体流程框图如图5.x所示：

图5.x 命令处理模块逻辑流程图

命令处理模块在接收到命令数据包时，为进一步保证命令时发往本节点，需要通过掩码的方式再次验证该节点是否发往本节点，如果不是，无回应，如果是，则进入命令大类判断，命令大类主要分为：模式转换类命令、控制类命令、信息获取类命令、代码更新类和诊断类等命令。

引入模式转换类命令主要是为了避免在进行系统诊断时，产生系统中断，影响诊断结果，因此退出诊断模式命令和诊断类命令只能在诊断模式下响应，其余命令也只能在常规模式下响应。

## 5.4 数据交互

采集传输系统的外部接口和命令交互，主要针对采集传输节点外部的通信。本节将从网络业务、实现机制、DMA循环队列三个方面重点介绍采集传输节点板内CPU与FPGA之间数据传输的具体实现。

### 5.4.1 业务网络

如图5.x所示：处理器和FPGA组成一个业务网络，在业务网络中，包括消息通信、业务引用、缓存传递和数据/命令传输四种通信方式。其中消息通信主要表现在控制信息的传递方面，业务引用指明了整个系统业务方面的大致流向，缓存传递表示数据包缓存备份，数据/命令传输表明处理器和FPGA的数据传输方式。

处理器部分的业务网络基于一个大的中断服务程序框架，包括Manage、Receive、Deal、Storage、Transmit和Retransmit，FPGA部分的业务网络对于处理器来讲可概括为Detect、Transmit和Receive，各业务之间通过四种通信方式进行通信。

图5.x 采集传输模块业务网络图

采集传输系统业务中，主要包含如下的消息通信和数据流通信过程。

* 消息流

系统上电后，Manage默认拉高向FPGA Detect发送开始采样命令的指定GPIO口，向处理器Receive、Deal、Storage、Transmit发送开始业务命令。当收到网络命令时，Deal处理业务向Manage反馈信息，Manage再根据反馈信息控制各项业务的启停；

FPGA Detect在接收到开始采样命令时，启动AD进行采样，并检测采样的数据是否达到指定数量，如果达到指定数据量，则拉高相应GPIO产生中断信号，通知处理器来读取数据；

采集传输节点在收到中断请求时后运行初始化时注册的中断服务程序ISR，启动Receive接收FPGA采样数据，接收完成后通知Deal进行业务处理；

Deal业务分析数据包属性并解析后，依据不同功能反馈给Manage或者通知Transmit发送数据、命令响应给FPGA。如果是发送打包完成后的采样数据，则同时需要通知Storage将数据备份至DDR SDRAM，以供丢包重传。如果是丢包重传命令，则通知Manage后，Manage通知Retransmit进行丢包重传。

* 数据流

在采集传输节点的业务网络中，FPGA的Transmit可认为是整个网络数据的生产者，处理器中断服务程序ISR为网络数据的消费者或者装饰者。最终通过处理器的Transmit将消费过后的回应信息或者装饰过后的数据信息传输给FPGA的Receive，整个数据流包含如下所述的传输过程。

Detect在检测到RAM中已经采集了指定次数的声波数据，通知Transmit发送数据，Transmit接收到通知后，拉高GPIO产生处理器中断，处理器响应红缎进入中断服务程序ISR；

中断服务程序ISR启动Receive接收声波数据，通过PCIe接口从FPGA的Transmit读取数据包，读取完成后交由Deal处理数据包；

Deal处理完数据包后根据数据包属性不同区分下一步逻辑，如果是命令包，则提取出命令信息反馈给Manage，如果是采样数据包，则打包后通知处理器Transmit发送数据包给FPGA，同时通知Storage备份数据包至内存。

处理器Transmit将打包后的采样数据包通过PCIe接口传输给FPGA Receive，最终由FPGA发送至物理传输链路上，转发至下一采集传输节点或者数据汇聚系统。

### 5.4.2 实现机制

处理器与FPGA之间通过PCIe接口进行数据传输的机制大致如下图5.x所示：

图5.x 数据传输实现机制示意图

FPGA通过将自身缓存区RAM映射到处理器的物理地址空间中，处理器只要访问RAM映射来的这段内存区域，就相当于访问到FPGA中该RAM的数据。因此，只要处理器向FPGA 发送缓冲区的映射内存区域读数据，就相当于FPGA向处理器发送数据，只要处理器向FPGA接收缓冲区的映射内存区写数据，就相当于处理器向FPGA发送数据。

处理器在访问从FPGA映射过来的内存区域时，可以使用处理器直接存取的方式，也可以使用DMA的方式。由于本论文研究的采集传输系统数据规模比较庞大，使用处理器直接存取的方式会大量的影响系统性能，所以本论文DMA的方式实现处理器与FPGA之间的数据传输。

此外，本系统使用多个GPIO口连接处理器和FPGA进行消息通信，其中最主要的两个为：当FPGA采集到指定大小的数据包后，通知处理器去配置DMA读取数据；当处理器向FPGA接收缓存区发送完数据后，通知其数据发送完成。

综上所述，水声数据采集传输的大致流程为：FPGA在采集完水声数据后，通过GPIO向处理器发送一个中断，通知处理器来读取数据，处理器配置完DMA后由其自主地通过读取从FPGA发送缓存区映射的内存区域将FPGA的发送缓存区数据读取到DMA接收缓存区，DMA完成传输后通知自身处理器；当处理器处理完数据包时，配置DMA，通过向从FPGA接收缓存区映射的内存区域写数据将DMA接收缓存区数据发送到FPGA的接收缓存区，DMA完成传输后通知自身处理器，并通知FPGA数据发送完成。

### 5.4.3 DMA缓存区划分

本论文研究的采集传输系统FPGA在2ms产生一次中断向处理器发送采集的声波数据，在如此频繁的中断情况下，合理配置DMA接收缓存区尤为重要。例如当FPGA将采集数据刚发送完成给处理器的SRAM，但处理器尚未开始处理该部分数据，来了网络命令，这时又产生一个中断，数据传输开始，势必导致前一次传输未处理的数据被覆盖，导致系统出现异常。为此，本论文提出一种DMA循环队列缓存区，即将一部分SRAM划分为16个DMA缓存区，其中8个接收缓存区和8个发送缓存区，其具体结构如下图5.x所示：

图5.x DMA循环缓存区分配示意图

如图所示，DMA数据结构主要可分为帧描述符和数据缓存，描述符中存放着DMA状态及控制寄存器，用于配置DMA的工作方式，包括指向下一个帧描述符的指针、是否开启DMA，传输方向，传输数据量等。数据缓存区用于存放待传输的数据。当系统响应一次中断时，数据包被分配到其中一个DMA缓存区，第二个中断来临时，将缓存区切换至当前缓存区指向的下一个缓存区，这样能够在尽可能不浪费RAM资源的前提下最大限度的确保数据不被覆盖，提高系统的可靠性。因发送缓存区数据被覆盖的原理及可能性与接收缓存区相近，故发送端缓存区的DMA缓存区分配方式同接收端缓存区相同。

## 5.5 故障诊断

### 5.5.1 链路诊断

### 5.5.2 板内诊断

### 5.5.2.1 FPGA诊断

### 5.5.2.2 串口诊断

### 5.5.2.3 网络诊断

### 5.5.2.4 闪存诊断

### 5.5.2.5 内存诊断

## 5.6 本章小结

# **6 系统测试与结果**

## 6.1 测试环境

可否拿实验室测试环境

## 6.2 测试内容与结果

### 6.2.1 高速数据传输

验证新设计的协议达到的速率

### 6.2.2 采集处理显示

主控界面

## 6.3 本章小结

# **7 总结和展望**

## 7.1 总结

## 7.2 展望

# 参考文献

# 附 录