# 54B装备测试/故障定位交互

## **一．装备测试**

### **1.1功能**

为确保54B节点板各芯片间可以正常交互，有效正确地传输数据，节点板将新增加工作模式：装备测试（zbcs\_mode）。FPGA再收到由DSP写入寄存器指令后，开始进入装备测试模式，同时DSP关闭主节点输出的同步时钟，确保从节点不产生数据的左右中断。

### 1.2实现方法

由于节点板BF516的GPIO口线资源有限，“装备测试模式”将采用往EBIU总线地址写数据形式与FPGA进行交互。FPGA总线地址分配如下：

Old：

|  |  |  |  |
| --- | --- | --- | --- |
| 实现功能 | EBIU地址 | 数据定义 | 寄存器 |
| 进入装备测试模式 | ADDR[9:0]=10'd1  (0x20100002 DSP) | 16'h5555：默认采集数据模式  16'haaaa：装备测试模式 | 状态（DSP写） |
| RS485芯片收发控制 | ADDR[9:0]=10'd2  (0x20100004 DSP) | 16'h5555：RS485收数据  16'haaaa：RS485发数据 | 状态（DSP写） |
| 控制FPGA左右中断 | ADDR[9:0]=10'd3  (0x20100006 DSP) | 16'h5555：左右中断均拉高  16'haaaa：左右中断均拉低 | 状态（DSP写） |
|  |  |  |  |

注：

1.由于EBIU与FPGA交互数据宽度为16位，所以一个地址将填写2byte数据。

2.装备测试地址空间选择AMS1。

3.FPGA代码考虑资源不够问题，仅对data[0]进行判断。（2017.2.17）

2017.2.21 修订

1.54B原来TVG增益控制地址也是在AMS1，0x2010 0004，所以485控制收发会受到影响，需要改地址。AD1859采集到的数据在0x2010 0000到0x2010 0004，所以装备测试地址需要改变。

New：

|  |  |  |  |
| --- | --- | --- | --- |
| 实现功能 | EBIU地址 | 数据定义 | 寄存器 |
| 进入装备测试模式 | ADDR[9:0]=10'd8  (0x20100010 DSP) | 16'h5555：默认采集数据模式  16'haaaa：装备测试模式 | 状态（DSP写） |
| RS485芯片收发控制 | ADDR[9:0]=10'd9  (0x20100012 DSP) | 16'h5555：RS485收数据  16'haaaa：RS485发数据 | 状态（DSP写） |
| 控制FPGA左右中断 | ADDR[9:0]=10'd10  (0x20100014 DSP) | 16'h5555：左右中断均拉高  16'haaaa：左右中断均拉低 | 状态（DSP写） |
|  |  |  |  |

## 二．故障定位

### **2.1功能**

为了更快定位54B湿段阵段故障问题，现节点板将新增以下功能。下列功能均采用“往EBIU总线地址写特定数据形式”与FPGA进行交互通讯。

1. 判断主节点的同步时钟（3.072MHz）是否正常接收。收到的时钟是否准确无误，若有错误，将判断过快还是过慢，若时钟快到一定容限，为了防止DSP工作不正常，将FPGA中断关闭，不输出数据。
2. 判断从节点是否可以正常利用时钟输出采集数据。若主节点的传输的同步时钟有问题，从节点同步工作时钟可以在 “本地从节点晶振1.536MHz” 和“主节点3.072MHz”中切换。
3. 判断从节点主板FPGA和DSP之间数据转发是否正常工作。从节点根据516命令将原先s2p中缓存数据改为模拟数据来转发。模拟数据格式：每一个包数据大小为784Byte，每个数据填写数据不变，每个采样点为从0每次加128。

若模拟数据DSP准确接收说明1.FPGA和DSP之间数据可以正常转发；2.副板AD1361的串行数据转为并行数据（s2p module）工作不正常。

### 2.2实现方法

#### 2.2.1FPGA地址分配

由于节点板BF516的GPIO口线资源有限，“故障定位模式”将采用往EBIU总线地址写数据形式与FPGA进行交互。FPGA总线地址分配如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 实现功能 | FPGA地址 | 数据定义 | 寄存器类型 | 读写  （DSP） |
| 进入故障定位模式 | ADDR[9:0]=10'd16  (0x20100020 DSP) | 16'h5555：默认采集数据模式  16'haaaa：故障定位模式 | 配置寄存器 | 读写（软件确定可以采样） |
| 主节点同步时钟诊断 | ADDR[9:0]=10'd17  (0x20100022 DSP) | 16'h5555：时钟频率过快，未到门限，不保护  16'h4555：时钟频率过快，到门限，保护不给中断  16'haaaa：时钟频率过慢  16'h2aaa：没有收到时钟  16'hffff： 时钟频率正常 | 状态寄存器 | 读 |
| 从节点同步时钟切换 | ADDR[9:0]=10'd18  (0x20100024 DSP) | 16'h5555：默认外部同步时钟  16'haaaa：用本地晶振时钟 | 配置寄存器 | 读写 |
| 模拟数据S2P数据切换 | ADDR[9:0]=10'd19  (0x20100026 DSP) | 16'h5555：默认S2P数据转发  16'haaaa：模拟数据转发 | 配置寄存器 | 读写 |
| 开始采样模式、停止采样模式（对外部时钟进行判断） | ADDR[9:0]=10'd20  (0x20100028 DSP) | 16'h5555：默认开始采样模式  16'haaaa：停止采样 | 配置寄存器 | 读写 |
| 时钟判断 | ADDR[9:0]=10’d21  (0x2010002a DSP) | 16’h5555:不计数判断  16’haaaa:开始计数判断 | 配置寄存器 | 读写 |

注：

1.由于EBIU与FPGA交互数据宽度为16位，所以一个地址将填写2byte数据。

2.装备测试地址空间选择AMS1。

#### 2.2.2 FPGA具体实现方法

##### 1. 外部3.072MHz同步时钟 (Osc check module)



该模块功能对外部时钟精度进行判断，同时通知DSP时钟过快过慢情况。

由于“节点启动”比“同步时钟到从节点”时间来的快，同时考虑时钟初始化抖动等影响；模块需要先对同步时钟进行一段时间的计数判断，在确保时钟已经稳定后，我们再对同步时钟进行精度判断。

利用两个计数器，25Mhz时钟触发，一个计3.072Mhz的时钟，一个计25Mhz时钟，当3.072Mhz计数器计到5000时，停止计数，判断25Mhz计数器的计数值是否在预期之内。

1. 若在预期范围内，则认为3.072Mhz时钟正常工作，将EBIU地址总线ADDR[9:0]=10'd17置为16'hffff。
2. 若计数值偏大（超过640范围）则说明同步时钟过慢，将EBIU地址总线ADDR[9:0]=10'd17置为16'haaaa；
3. 若计数值偏小（超过640范围），同时计数值没有太小（超过20000）。则说明同步时钟过快，将EBIU地址总线ADDR[9:0]=10'd17置为16'h5555。
4. 若计数值太小（小于13564）说明同步时钟过快频率大于9Mhz。FPGA将采取保护，不给出左右中断，避免DSP不会因数据量过大而工作异常。 （时钟要比原来快3倍，要关闭中断~）

2017.2.15

1.删除前面对外部同步时钟的计数判断，增加软件对“故障定位寄存器”的控制，在软件通知进入故障定位模块后，说明从节点时钟已经可以稳定收到，不需要增加启动时的计数判断。

2.通知软件：给故障定位寄存器，（ADDR[9:0]=10'd16

写入开始命令）写入后，过1s来读各个寄存器状态。

3．增加无时钟寄存器状态。

4. 时钟比3.072MHz快3倍就启动保护机制，关闭中断。40690/3=13564

##### 2.时钟切换（Osc Switch）



该模块功能再确定外部同步时钟出现错误时，可以切换本地时钟，用于确保声学信号采集模块功能是否可以正常工作。此时采样率为6K，左右中断间隔4ms，采样点数保持不变，数据量保持不变。

##### 2.内部数据切换（模拟s2p模块 Simulate s2p module）

该模块功能用于确认副板AD是否工作正常。

该模块模拟s2p数据格式，FPGA发送数据间隔还是按照2ms一个包，每个包填写数据都一样，每个包大小不变是768byte。每次采样点的模拟数据增加128。

 